

МУЛЬТИМЕДИЙНАЯ СНК С ПРОЦЕССОРНЫМИ ЯДРАМИ POWERPC И NMC3

Филимонова Ирина Петровна, Безкорвайный Иван Васильевич,
Дрягалкин Дмитрий Игоревич, Чумаченко Георгий Олегович,
Залётов Владимир Юрьевич, Андрианов Андрей Владимирович
ipf@module.ru, i.bezkorovainy@module.ru

ЗАО НТЦ "Модуль"
125190, г. Москва, а/я 166
Тел. +7(495)531-30-80
<http://www.module.ru>

Аннотация: В докладе представлена интегральная высокопроизводительная, энергоэффективная мультимедийная микросхема (далее СБИС МИВЭМ), разработанная в компании ЗАО НТЦ «Модуль» в исполнении «система на кристалле» на базе универсального процессора с архитектурой PowerPC и процессорных ядер цифровой обработки сигналов с архитектурой NeuroMatrix.

СБИС МИВЭМ имеет в своем составе два процессорных ядра PowerPC, четыре процессорных ядра NMC3, мультимедийную подсистему, состоящая из блока вывода видео, блока захвата видео, блока вывода аудио, блока кодирования/декодирования видеоизображений, интерфейсы с внешней памятью типа DDR3, SRAM, NAND, NOR и широкий набор интерфейсов ввода/вывода, как высокоскоростных (PCIe 4x, USB2.0, Fibre Channel), так и низкоскоростных (UART, I2C, SPI) и сетевых (Gigabit Ethernet).

СБИС МИВЭМ предназначена для применения как в носимых, так и в стационарных системах обработки мультимедийной информации. Рассматривается несколько классов объектов, для которых возможно применение изделия: блоки преобразования телевизионных сигналов для бортовой аппаратуры и бортовые высокопроизводительные малогабаритные вычислительные машины.

Ключевые слова: система на кристалле, мультимедийная микросхема, процессорное ядро PowerPC, процессорное ядро цифровой обработки сигналов NeuroMatrix.

MULTIMEDIA SYSTEM-ON-CHIP WITH POWERPC AND NMC3

Filimonova Irina, Bezkorovainy Ivan,
Dryagalkin Dmitry, Chumachenko George, Zaletov Vladimir, Andrianov Andrey
ipf@module.ru, i.bezkorovainy@module.ru

JSC RC "Module"
P.O. Box 166, Moscow, Russia, 125190
<http://www.module.ru>

Abstract: The current article presents an integrated high-performance, energy-efficient multimedia system on a SoC VLSI MIVEM, developed by RCM "Module" based on central processor cores with PowerPC architecture and digital signal processor cores with NeuroMatrix architecture.

VLSI MIVEM has two PowerPC CPU cores, four NMC3 DSP cores; a multimedia subsystem, including video devices to use for video outputs and video capture, audio device to use for audio outputs, video encoding/decoding device; a wide range of input/output interfaces for high-speed (PCIe 4x, USB2.0, Fiber Channel), low-speed (UART, I2C, SPI) and network (Gigabit Ethernet) interfaces with external memory of DDR3, SRAM, NAND and NOR.

VLSI MIVEM is designed for use in both portable and stationary multimedia processing systems. Several classes of objects are considered, for which it is possible to use the product: TV signal conversion units for on-board equipment and onboard high-performance small-sized computers.

Keywords: system-on-chip (SoC), multimedia SoC, central processing units (CPU) PowerPC, digital signal processing (DSP) NeuroMatrix.

I. ВВЕДЕНИЕ

В настоящее время основной поток информации представляет собой мультимедиа информацию (тексты, звуки, видеоизображения, графика и т. п.). Современные цифровые технологии дают все больше возможностей для создания, обработки и её передачи, а также обеспечивают интерактивное взаимодействие пользователя с такого вида информацией. Рост объема и качества такой информации предьявляют с каждым годом все больше

требований по производительности и энергоэффективности к системам отображения, обработки и передачи мультимедиа информации. В связи с этим возникает необходимость совмещения в одной микросхеме большого количества разнообразных интерфейсов передачи такой информации, а также её приема и обработки.

Поэтому современная мультимедийная микросхема должна быть высокопроизводительной, многофункциональной и энергоэффективной системой на кристалле (далее СнК), на основе которой возможно создание устройств обработки видеоизображений с поддержкой современных цифровых видео и звуковых форматов.

Рынок отечественных высокопроизводительных мультимедийных микросхем представлен узким набором СнК. Применение данных микросхем, в основном, носит промышленный характер и в контексте аэрокосмических приложений становится малоприменимым [1]. В ЗАО НТЦ «Модуль» было решено разработать мультимедийную СБИС, оснащенную высокопроизводительным процессором на базе многоядерных технологий, с необходимым набором интерфейсов для решения задач промышленного назначения, в том числе, и для авиационной промышленности.

На рынке аппаратных средств для электронных систем, которые предназначены для бортовых устройств, до сих пор доминируют процессоры с архитектурой PowerPC [2]. Одно из ключевых преимуществ архитектуры PowerPC традиционно была более высокая производительность, рассчитываемая на ватт. Другим – наличие большого количества готовых программных решений для класса задач в области радаров, авионики и систем работы с изображениями.

В докладе описывается высокопроизводительная микросхема СБИС МИВЭМ на базе процессорных ядер архитектуры PowerPC и процессорных ядер цифровой обработки сигналов NeuroMatrix, с большим набором поддерживаемых интерфейсов, позволяющей решить большой класс задач, стоящих перед электронной промышленностью.

II. ХАРАКТЕРИСТИКИ И СТРУКТУРНАЯ СХЕМА СБИС МИВЭМ

СБИС МИВЭМ обеспечивает выполнение функций центрального вычислителя, обработки, распознавания, кодирования, декодирования и выдачи видеосигнала. Структурная схема СБИС МИВЭМ приведена на рисунке 1.

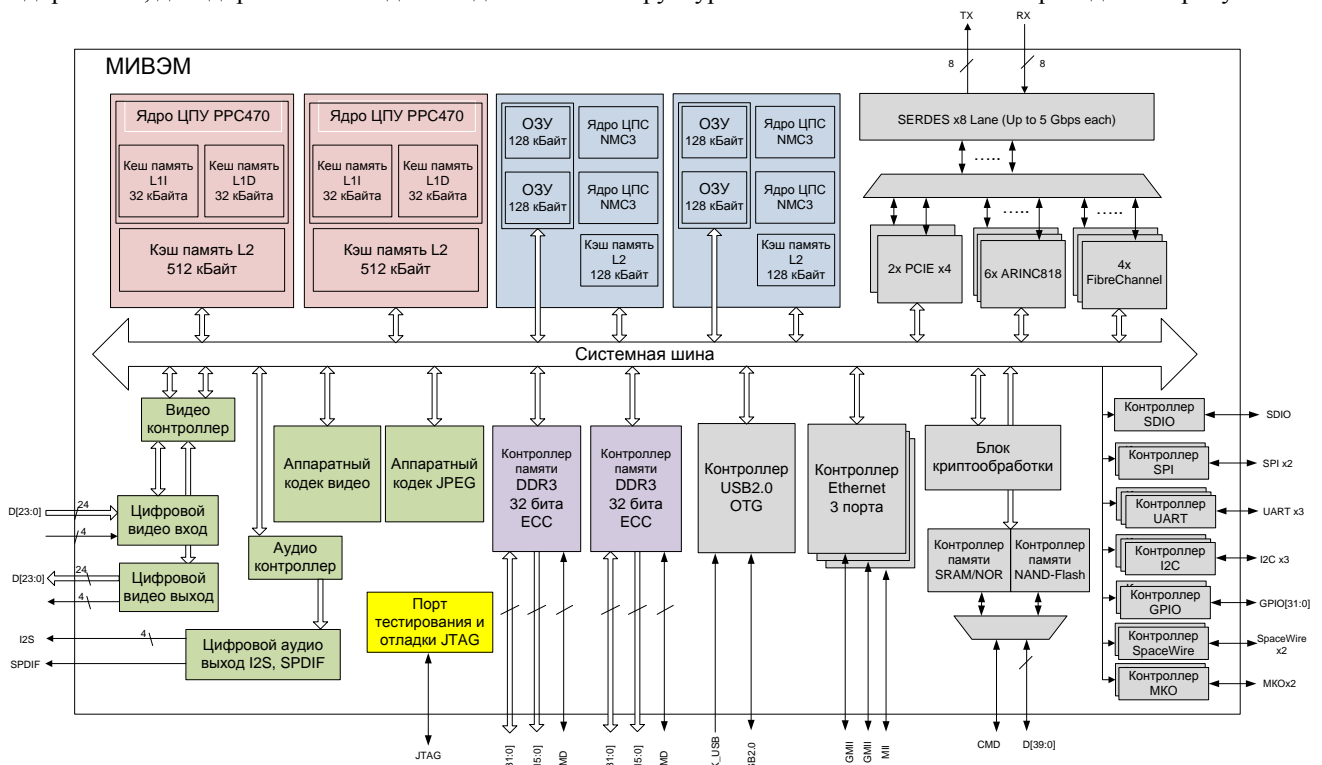


Рисунок 1 – Структурная схема СБИС МИВЭМ

В состав СБИС МИВЭМ входят:

- Центральная процессорная подсистема в виде 2 кластеров, каждый из которых включает одно ядро архитектуры PowerPC PC470S и когерентную кэш-память второго уровня;
- Процессорная подсистема ЦОС в виде 2 кластеров, каждый из которых включает по два ядра архитектуры NeuroMatrix NMC3 и кэш-память второго уровня;
- Мультимедийная подсистема, содержащая цифровые видео, аудио интерфейсы и мультистандартный кодер/декодер;

- Интерфейсная подсистема, поддерживающая как высокоскоростные (PCIe 4x, USB2.0, Fibre Channel), так и низкоскоростные (UART, I2C, SPI) и сетевые (Gigabit Ethernet) интерфейсы ввода-вывода;
- Внешняя и внутренняя память системы.

Основными техническими параметрами микросхемы являются:

- Технология изготовления – КМОП, 28 нм, (малопотребляющая технология);
- Диапазон рабочих температур – от -40 до +125 °С;
- Напряжение питания ядра – 1В;
- Корпус HFCBGA-1024;
- Максимальная тактовая частота – 800МГц (CPU) / 400МГц (DSP);
- Типовое потребление СБИС – до 5 Вт;

III. ЦЕНТРАЛЬНАЯ ПРОЦЕССОРНАЯ ПОДСИСТЕМА

Центральная процессорная подсистема состоит из двух процессорных ядер PPC470S, каждое из которых способно работать на тактовой частоте 800 МГц. В состав каждого ядра входят собственные кэш-памяти первого уровня (L1-кэш данных (L1D) объемом 32 КБ, и кэш команд (L1I) объемом 32КБ). Каждое ядро подключено к кэш-памяти второго уровня (L2-кэш объемом до 512 КБ). Высокоскоростной коммутатор шины PLB6 обеспечивает протокол поддержания когерентного состояния кэш-памятей второго уровня.

Выбор процессорной архитектуры PowerPC обоснован тем, что она получила широкое применение в таких областях как аппаратура для космических систем и гражданской авиации, высокопроизводительных серверных решениях, автомобильной электронике и др. Широкое распространение архитектура PowerPC получила благодаря открытой стандартизованной системе команд, поддержке как в коммерческих, так и свободно распространяемых средствах разработки ПО (например, среда разработки Multi от Green Hills Software и GNU Compiler Collection), наличием большого количества доступного и разнообразного программного обеспечения, в том числе операционных систем. Архитектура PowerPC имеет высокую относительную производительность ~2,5 DMIPS/МГц и ~2,5 MFLOPS/МГц [3]. Также архитектура PowerPC имеет устойчивость к сбоям (контроль данных по четности, контроль завершения операций на шинах). Дополнительным преимуществом процессорной архитектуры PowerPC является то, что она сертифицирована для применения в гражданской авиации. Данное обстоятельство предполагает сокращение издержек на проведение сертификации бортового радиоэлектронного оборудования, построенного на процессорной архитектуре PowerPC.

Рост производительности процессорного ядра PPC470S обеспечивается за счет [3]:

- RISC архитектуры с поддержкой суперскалярности при организации 4-х конвейеров, каждый из которых имеет длительность 9-ти ступеней и возможность выполнять до 5 операций за такт,
- внеочередного исполнения команд (out-of-order);
- наличия устройства для работы с данными в формате с плавающей точкой.

Данные по производительности были получены на тестовых образцах СБИС МИВЭМ и представлены в таблице 1.

Таблица 1 – Производительность процессорного ядра PowerPC в СБИС МИВЭМ

Производительность	~2,5 DMIPS/МГц и ~2,5MFLOPS/МГц
Технология	КМОП, GF LP, 28нм
Максимальная частота	800МГц
Напряжение питания ядра	1.0 В

IV. ПРОЦЕССОРНАЯ ПОДСИСТЕМА ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

СБИС МИВЭМ имеет в своем составе две идентичные процессорные подсистемы цифровой обработки сигналов (далее ПЦОС). Структура такой подсистемы изображена на рисунке 2.

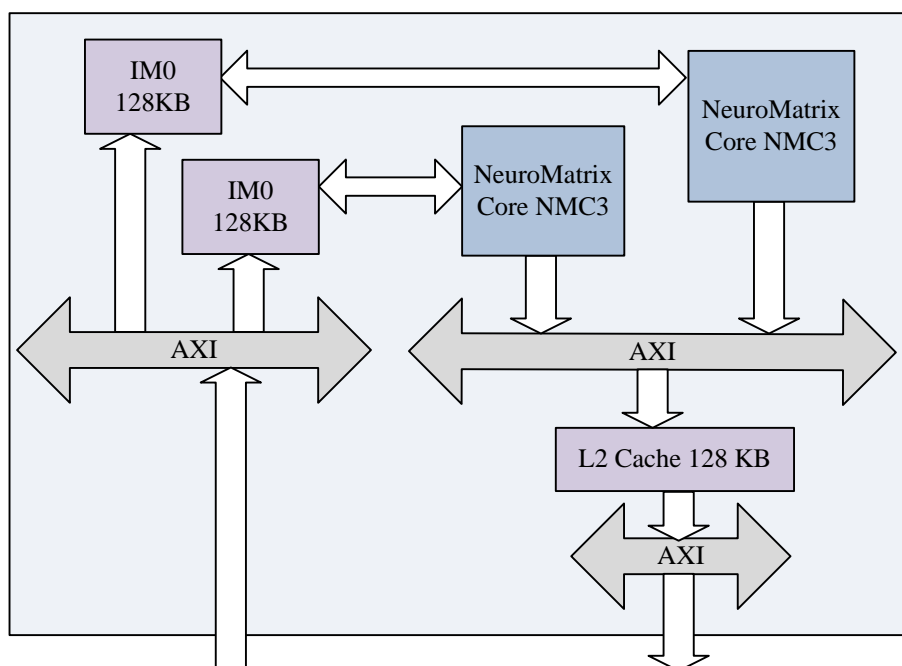


Рисунок 2 – Структура процессорной подсистемы ЦОС СБИС МИВЭМ

Каждая подсистема включает в себя два процессорных ядра NeuroMatrix Core NMC3 и общую для двух ядер кэш-память второго уровня (L2-кэш объемом до 128 КБ), а также два банка памяти объемом 128 КБайт каждый. Все блоки подсистемы ЦОС работают на частоте до 400 МГц.

Ядро ПЦОС NeuroMatrix Core NMC3 состоит из двух основных частей: RISC- ядра, выполняющего скалярные арифметические, логические операции и операции сдвига над 32-разрядными данными, формирующего операции по управлению потоком команд, и матрично-векторного сопроцессора, осуществляющего арифметические и логические операции над 64-разрядными векторами данных произвольной разрядности. Обмен процессорного ядра с внешним миром осуществляется с помощью шести 64-разрядных шин: команд (IB), скалярных данных (SDB), векторных входных данных (VDIB), весов (WB), входных данных векторного регистра (VRB) и векторных выходных данных (VDOB).

Архитектура ПЦОС ядра позволяет эффективно решать широкий круг задач, включая различные векторно-матричные вычислительные операции, вычисление преобразования Фурье, Адамара, цифровую фильтрацию, цифровую коммутацию ([4] - [5]).

Основные технические характеристики RISC- ядра:

- Разрядность данных – 32 бита;
- Разрядность команд – 32 и 64 бита;
- Размер адресного пространства – 4Гх32 бит;
- Выполнение трех скалярных операций за такт (АЛУ-операция, модификация адреса и операция ввода/вывода);
- Производительность – 1 MIPS / 1 МГц или 3 MOPS/ 1 МГц.

Основные технические характеристики матрично-векторного сопроцессора:

- Разрядность данных – программно задается от 2 до 64 бит (все данные упакованы в 64-разрядные слова);
- Базовая операция – умножение матрицы целочисленных данных на матрицу целочисленных данных;
- Одновременное выполнение двух функций насыщения над потоком входных данных;
- Производительность (MAC – количество операций умножение с накоплением, выполняемых за один процессорный такт):
 - 2 MAC для 32-разрядных данных;
 - 4 MAC для 16-разрядных данных;
 - 24 MAC для 8-разрядных данных;
 - 80 MAC для 4-разрядных данных;
 - 224 MAC для 2-разрядных данных.

Подсистема ЦОС в СБИС МИВЭМ может использоваться для различной обработки видео- и аудиоданных.

Кроме того, память каждой подсистемы может использоваться как системное ОЗУ общего назначения.

V. ВНУТРЕННЯЯ И ВНЕШНЯЯ ПАМЯТЬ

СБИС МИВЭМ имеет развитую подсистему памяти, включающую в себя:

- ПЗУ начального загрузчика;
- Внутрикристалльное статическое ОЗУ – общий объем 768 Кбайт, с разбиением на 5 банков (включая 4 банка в подсистемах ЦОС).
- Два канала внешней динамической памяти:
 - Тип поддерживаемой памяти - DDR3 SDRAM;
 - Разрядность шины данных, бит – 32 (40 бит с ECC);
 - Разрядность шины адреса - 16 бит;
 - Количество сигналов выбора микросхемы (chip select) – 2;
 - Максимальная частота интерфейса DDR3 - 800 МГц (эффективная скорость 1600 млн. передач/с);
- Контроллеры SRAM- и NOR-памяти имеют следующие функциональные особенности:
 - Поддерживают различные модели SRAM- и NOR-памяти с асинхронным интерфейсом;
 - Имеют настраиваемые значения временных параметров обмена с SRAM- и NOR-памятью;
 - Поддерживают до 6 банков памяти с шириной шины адреса до 26 бит адреса и шириной шины данных 32 бита;
 - Поддерживают аппаратное обнаружение и коррекцию ошибок (ECC) - коррекция 1 ошибки на 32 бита данных, обнаружение 2 ошибок на 32 бита, ширина шины данных для ECC 8 бит.
- Контроллер NAND-памяти имеет следующие функциональные особенности:
 - Настраиваемые значения задержек временной диаграммы обмена с NAND-память;
 - Поддерживает набора команд ONFI 2.3;
 - Поддерживает до 5 байт адреса;
 - Имеет внутренний буфер на 2КВ;
 - Ширина шины данных равна 8 битам;
 - Поддерживает аппаратную коррекцию ошибок - 2 алгоритма: 4 ошибки на 512 байт и 24 ошибки на 1024 байт;
 - Поддерживает работу по прерыванию и аппаратную защиту от записи;
 - Поддерживает MLC и SLC FLASH-памяти;
 - Поддерживает конфигурируемый размер блока и конфигурируемый размер страницы;
 - Имеет DMA с настройкой порядка байт.

Контроллеры памяти SRAM/NOR и NAND используют один набор внешних выводов и не могут использоваться одновременно.

VI. ИНТЕРФЕЙСНАЯ ПОДСИСТЕМА

СБИС МИВЭМ обладает широким набором внешних интерфейсов, в число которых входят как широко распространённые, используемые для построения вычислительных систем общего назначения интерфейсы PCI Express v2.0, Gigabit Ethernet, USB 2.0, SDIO, SPI, I2C, SRAM, NAND-Flash, NOR-Flash и GPIO, так и специализированные интерфейсы SpaceWire, ARINC-818, ГОСТ Р 52070-2003 и FiberChannel.

Интерфейс PCI Express v2.0 может поддерживать до 4-х линий со скоростью передачи информации по одной линии до 5 Гбит/сек. Данный интерфейс позволяет расширять функциональность СБИС МИВЭМ за счет подключения к нему внешних микросхем прикладного назначения. Например, данный интерфейс может быть использован для подключения внешней микросхемы графического ускорителя, контроллера SSD-накопителей, и, кроме того, может быть использован для объединения двух микросхем МИВЭМ, т.к. контроллер PCI Express интерфейса поддерживает два режима работы – Root и Endpoint.

Интерфейсы Gigabit Ethernet (2 шт.) могут функционировать на скорости 10, 100 и 1000 Мбит/сек. Их наличие позволяют разрабатывать на базе СБИС МИВЭМ вычислительные модули, которые интегрируются в состав распределенных информационно-управляющих систем, основной средой взаимодействия компонент в которой является сеть Ethernet. Кроме того, контроллеры интерфейсов Gigabit Ethernet поддерживают функциональность отладочного интерфейса, через который внешняя система может получить доступ к внутреннему адресному пространству СБИС МИВЭМ.

Интерфейс USB 2.0, аналогично интерфейсу PCI Express v2.0, может использоваться для расширения функциональности СБИС МИВЭМ за счет подключения внешних микросхем прикладного назначения или USB-устройств. При этом интерфейс USB 2.0 поддерживает механизм OTG, что позволяет СБИС МИВЭМ функционировать и как USB-Host, и как USB-Device.

Интерфейс SDIO позволяет подключать к СБИС МИВЭМ SD-карты памяти или устройства с совместимым интерфейсом. Возможность подключения SD-карт, в частности, используется в одном из режимов загрузки СБИС МИВЭМ для считывания образа вторичного загрузчика и образа ядра ОС, что упрощает процесс отладки разрабатываемого для СБИС МИВЭМ встроенного системного ПО.

Интерфейс SRAM позволяет подключить к СБИС МИВЭМ микросхемы SRAM-памяти, в том числе, отечественного производства и использовать их в качестве основной оперативной памяти.

Интерфейсы NAND-Flash и NOR-Flash позволяют подключить к СБИС МИВЭМ, соответственно, микросхемы NAND-памяти и NOR-памяти. Оба типа данных ПЗУ-памятей могут быть, наряду с SDIO-картой памяти, использованы как источники образа вторичного загрузчика и ядра ОС.

Интерфейс ARINC-818 предназначен для подключения СБИС МИВЭМ к внешней коммутационной среде, функционирующей в соответствии со спецификацией ARINC-818. Интерфейс поддерживает прием и передачу несжатых видео потоков со скоростью до 1 Гбит/сек. Передающий тракт контроллера интерфейса ARINC-818 позволяет формировать выдаваемый видео поток на основе наложения двух независимых видео потоков. Принимающий тракт может осуществлять функции препроцессорной видеообработки изображения. Функции видеообработки выполняются в следующем порядке:

- 1) сбор гистограммы яркости;
- 2) коррекция яркости;
- 3) зачернение;
- 4) подготовка к полупрозрачному совмещению;
- 5) кадрирование.

Интерфейс ARINC-818 предназначен для подключения СБИС МИВЭМ к внешней коммутационной среде, функционирующей в соответствии со спецификацией Fiber Channel.

Интерфейс ГОСТ Р 52070-2003 предназначен для обмена информацией со скоростью до 1 Мбит/сек и контроля передачи информации по резервированному (дублированному) мультиплексному каналу передачи данных (МКПД, ЛПИ) в режимах контроллер шины (КШ), оконечное устройство (ОУ), монитор шины (МТ, МШ). Он обеспечивает выполнение всех требований к организации обмена информацией и контроля передачи информации, изложенных в ГОСТ Р 52070-2003 (MIL-STD-1553B).

Интерфейс SpaceWire – это сетевой интерфейс, использующийся для построения сетей в аппаратуре космического назначения. Отличительной особенностью Space Wire является отсутствие жестких требований к скорости передачи данных – стандартом определяется только диапазон скоростей (от 2 Мбит/с до 400 Мбит/с) и скорость, на которой производится установка соединения.

Интерфейсная подсистема СБИС МИВЭМ включает 2 контроллера Space Wire, соответствующих спецификации ECSS-E-ST-50-12C. Каждый из контроллеров обладает встроенным контроллером прямого доступа к памяти (DMA) с поддержкой внешней таблицы дескрипторов и позволяет вести обмен на скоростях от 2 до 400 Мбит/с. Дополнительно контроллер SpaceWire реализует протокол RMAP (ECSS-E-ST-50-52C), обеспечивающий прямой доступ внешних устройств к внутренней памяти СнК, и обладает способностью автоматически подстраивать скорость работы передатчика под скорость приёма данных.

VII. МУЛЬТИМЕДИЙНАЯ ПОДСИСТЕМА

Мультимедийная подсистема СБИС МИВЭМ предназначена для обработки, ввода и вывода видеоданных и вывода аудиоданных и содержит аппаратные блоки, предназначенные для выполнения данных функций.

Мультимедийная подсистема состоит из двух подсистем ввода/вывода видеоданных (сокр. VIDEO_HLB), аудиоконтроллера (сокр. AUDIO_HLB), и подсистемы кодирования и декодирования видеоизображения (сокр. CODEC_HLB).

Подсистема ввода/вывода видеоданных предназначена для обеспечения вывода на внешнее устройство отображения видео и графической информации с помощью выходного цифрового интерфейса. А также для захвата видео или графического изображения, передаваемого с внешнего устройства с помощью входного цифрового интерфейса.

Подсистема ввода/вывода видеоданных состоит из:

- VDU – видеоконтроллера высокого разрешения.
- GRAB – устройства захвата видеоизображения.

На рисунке 3 приведена структурная схема подсистемы ввода/вывода видеоданных.

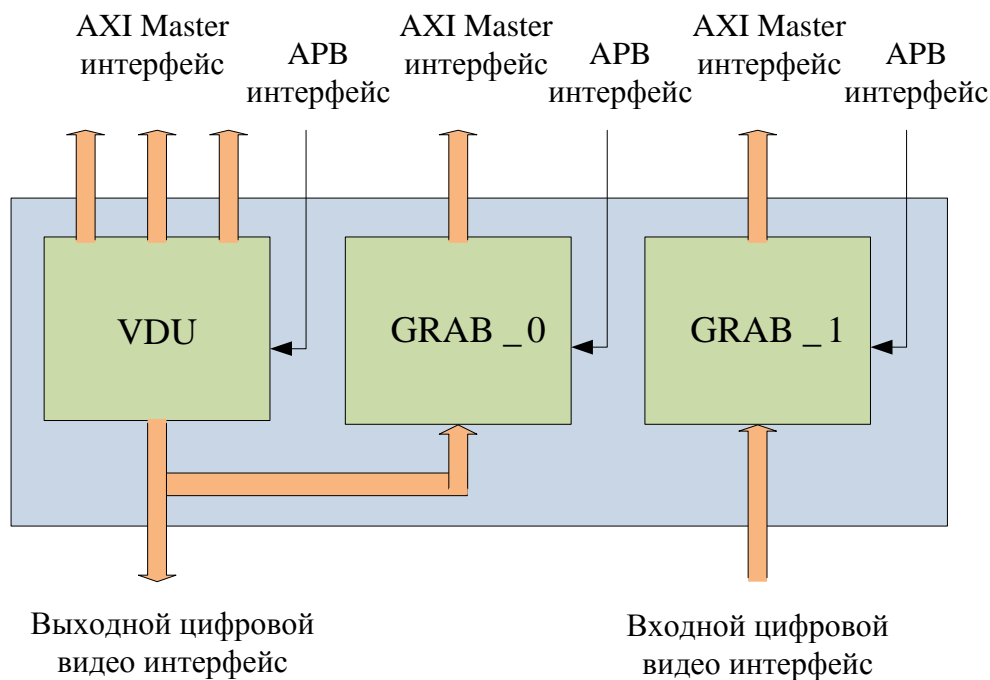


Рисунок 3 – Структурная схема подсистемы ввода/вывода видеоданных

Видеоконтроллер предназначен для формирования и выдачи развертки по стандартам VESA и CEA, вплоть до разрешений высокой четкости, поддерживает аппаратное наложение слоя графики и меню на основное видеоизображение с программируемым коэффициентом прозрачности, а также позволяет масштабировать видеоизображение с произвольными коэффициентами по вертикали и горизонтали. Контроллер имеет стандартные внешние интерфейсы.

Характеристики видеоконтроллера высокого разрешения (VDU):

- Поддерживаемые форматы хранения видеоданных:
 - линейное с двух плоскостным и трех плоскостным хранением компонент,
 - макроблочное с двух плоскостным хранением компонент;
- Формат представления компонент YCbCr видеоданных — 4.2.0, 4.2.2;
- Поддерживаемые форматы хранения графических данных — 5:6:5, 1:5:5:5, 4:4:4:4, 8:8:8:8;
- Поддерживаемые разрешения вывода видеоданных — SDTV/EDTV/HDTV вплоть до FullHD HDTV1920x1080p 60Hz;

Устройство захвата видеоизображения предназначено для захвата активной части видеоизображения из развёртки стандартной и высокой чёткости, предварительной обработки видеоизображения и записи его во внутреннюю память системы. Устройство работает с видеоизображением прогрессивного и чересстрочного формата и поддерживает функции гама-коррекции изображения и преобразования цветового пространства.

Характеристики устройства захвата видеоизображения (GRB):

- Поддерживаемые форматы хранения видеоданных:
 - Линейный, с двух плоскостным и трех плоскостным хранением компонент, YCbCr;
 - Линейный, с одно плоскостным и трех плоскостным хранением компонент, RGB;
 - Формат захватываемых видеоданных: YCbCr 4:4:4, YCbCr 4:2:2, RGB 888;
 - Поддерживаемые форматы записи графических данных: YCbCr 4:4:4, YCbCr 4:2:2, ARGB 8888;
- Поддерживаемые разрешения захватываемых видеоданных: SDTV/EDTV/HDTV вплоть до FullHD HDTV1920x1080p 60Hz;

Подсистема аудиоконтроллера включает:

- I2S – контроллер многоканального звука с интерфейсом I2S;
- SPDIF – контроллер цифрового звука с интерфейсом SPDIF;
- AUDIO_DMA – контроллер ПДП для обеспечения аудиоконтроллера звуковыми данными;

На рисунке 4 приведена структурная схема аудиоконтроллера.

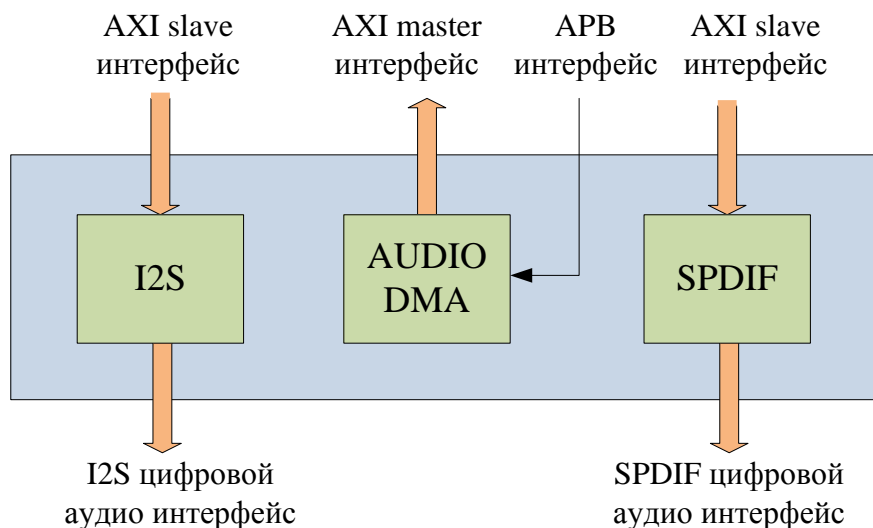


Рисунок 4 – Структурная схема аудиоконтроллера

Интерфейс I2S, предназначен для вывода цифрового многоканального аудиосигнала на звуковую аппаратуру. На вход контроллера I2S поступают массивы цифровых отсчетов аудиосигнала разрядностью от 16 до 24 бит, которые преобразуются в последовательные битовые потоки в соответствии со спецификацией протокола I2S, таким образом, контроллер способен принимать и преобразовывать массивы отсчетов для четырех стереоканалов одновременно, что позволяет поддерживать вывод многоканального звука вплоть до схемы 7.1

Интерфейс SPDIF предназначен для вывода одноканального и двухканального несжатого цифрового аудиосигнала и сжатого многоканального аудиосигнала. На вход контроллера SPDIF поступает информация конфигурации аудиоканалов, пользовательские данные, массивы цифровых отсчетов аудиосигнала разрядностью 16, 20 или 24 бита, которые преобразуются в последовательные битовые потоки в соответствии со стандартами IEC 60958 и IEC 61937 и выводятся наружу.

Контроллер AUDIO_DMA читает по AXI шине 64-х разрядные данные из внешней памяти, преобразует их в 32-х разрядные данные и передает по AXI шине в один из звуковых контроллеров. Звуковые контроллеры I2S, SPDIF преобразуют получаемые данные в битовые потоки и передают их по соответствующему цифровому звуковому интерфейсу.

Характеристики аудиоконтроллера:

- Поддерживаемые интерфейсы: SPDIF и I2S.
 - Поддерживаемая разрядность цифровых отсчетов аудиосигнала (кол-во разрядов): 16; 20; 24;
 - Формат представления цифровых отсчетов аудиосигнал: big-endian, littleendian;
 - Поддерживаемые стандартные частоты дискретизации звука, КГц: до 192 КГц;
- Системная частота: от 50 МГц и выше (тестирование велось при 162 МГц);
- Входная звуковая частота: кратна 22,5792 МГц, либо кратна 24,576 МГц.

Подсистема кодирования и декодирования видеоизображения включает:

- VIDEO CODER/DECODER – устройство аппаратного кодера/декодера видеосигнала;
- JPEG_CODER – устройство аппаратного кодера графических изображений;

На рисунке 5 приведена структурная схема подсистемы кодирования и декодирования видеоизображения.

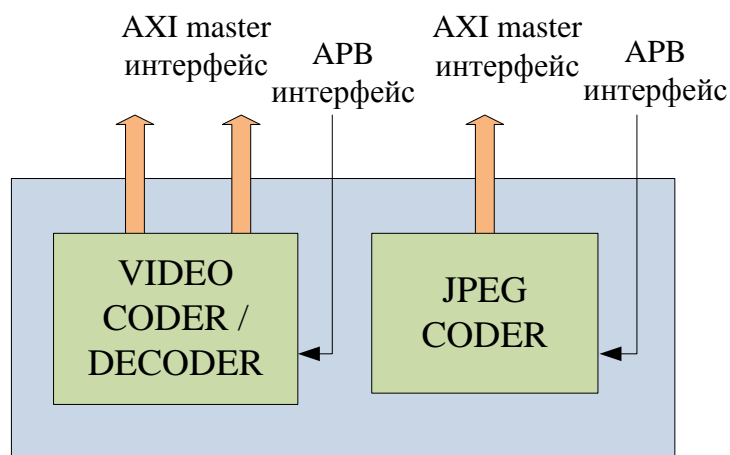


Рисунок 5 – Структурная схема подсистемы кодирования и декодирования видеоизображения

Блок CODA - блок обработки видеосигналов представляет собой мультистандартное решение IP-видео формата "Full HD". Он позволяет декодировать сжатое динамическое изображение в форматах H.264 BP/MP/HP, VC-1 SP/MP/AP, MPEG-1/2, MPEG-4 SP/ASP, H.263P3, DivX/XviD, AVS (вкл. AVS+), RV-8/9/10, VP8, MVC и Theora до разрешения уровня HD (1920x1080). Данный кодек может кодировать видеосигналы формата H.264, MPEG-4 и H.263 до уровня высокой четкости (далее HD) – 1920x1080. В блоке VPU может выполняться кодирование, декодирование видеосигналов в режиме реального времени или же проводиться одновременное кодирование и декодирование нескольких потоков видеоизображений, имеющих разные форматы, с разным разрешением.

Блок JPEG (JPEG Processing Unit – блок обработки изображений в формате JPEG) – это высокопроизводительный кодек JPEG для IP-камер, способный осуществлять кодирование и декодирование изображений в базовом (Baseline) и движущемся (Motion) форматах JPEG. Блок поддерживает скорость кодирования цветного изображения формата 4:2:2 до 155 мегапикселей/сек и скорость декодирования цветного изображения формата 4:4:4 до 100 мегапикселей/сек.

VIII. ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ, ОТКАЗОУСТОЙЧИВОСТЬ И ТЕХНОЛОГИЧЕСКИЕ ДЕФЕКТЫ

В связи с переходом на технологический процесс 28 нм для достижения высокой производительности возникла необходимость контролировать потребляемую мощность. Для решения данной проблемы были использованы малопотребляющие элементы КМОП библиотеки стандартных элементов GF LP и заказные блоки, например, контроллер динамической памяти DDR3 MC LP и физические интерфейсы DDR3, USB PHY. В данных блоках предусмотрены готовые специальные решения, позволяющие значительно снизить потребляемую ими энергию, и реализована возможность пребывания блоков в режиме ожидания. Таким образом, типовая потребляемая мощность СБИС МИВЭМ составляет не более 5 Вт при напряжении питания ядра 1 В. Так же для контроля потребляемой мощности в разных частях микросхемы размещены три термодатчика, которые позволяют измерять напряжение питания и температуру самой микросхемы. Показания могут быть считаны через программно-доступные конфигурационные регистры.

Для повышения отказоустойчивости предусмотрена расширенная система генерации прерываний во избежание "зависания" всей системы. С помощью сторожевого таймера Watchdog можно контролировать зависание центральной процессорной системы и осуществлять принудительный сброс всей микросхемы. Высокопроизводительная системная шина PLB6 поддерживает развитый механизм отслеживания зависаний транзакций. В свою очередь, центральное процессорное ядро PowerPC может выдать сигнал 'Machine Check' наружу, свидетельствующий об обнаружении неисправностей в работе ядра [6].

Для защиты от единичных сбоев в кэш-памяти ядер ЦПУ первого уровня и внутренней статической памяти типа SRAM реализована система проверки бита четности, так же в кэш-памяти второго уровня, внутренней статической памяти типа SRAM и контроллере внешней динамической памяти DDR3 SDRAM есть устройства на базе кодов обнаружения и коррекции ошибок ECC. Обнаружение дефектов внутренних памятей при производственном тестировании осуществляется при помощи встроенной системы автоматического самотестирования MBIST (Memory Built-In Self-Test). Также кэш-памяти 2-го уровня и внутренние памяти типа SRAM снабжены резервными столбцами. Для активации резервных элементов введены устройства встроенной системы автоматического обнаружения дефектов в ячейках памяти BISR (Built-in-Self Repair) [7]. Использован подход многократной замены, при котором конфигурация резервных элементов хранится в регистрах [8]. Это позволяет не только увеличить выход годных, но и компенсировать поврежденные элементы в процессе эксплуатации. Несмотря на то, что добавление резервных столбцов увеличивает площадь памяти не более чем на 12%, тем не менее, время выборки данных и временные характеристики памяти практически не изменяются.

Наряду с BIST и BISR системами оценки выхода годных микросхем предусмотрено пространство программно-доступных конфигурационных регистров, где отображается статусная и тестовая информация.

Отладка самой микросхемы осуществляется стандартными аппаратно-программными средствами архитектуры процессорных ядер PowerPC с помощью JTAG и TRACE портов [9]. Например, на рынке доступны аппаратные средства отладки — RISCWatch от IBM и MULTI от Green Hills.

IX. ЗАКЛЮЧЕНИЕ

Разработана отечественная высокопроизводительная энергоэффективная мультимедийная микросхема СБИС МИВЭМ с архитектурой на базе ядер PowerPC процессора общего назначения и ядер NeuroMatrix Core NMC3 процессора цифровой обработки сигналов, с тактовой частотой системного синхросигнала 800 МГц по технологическим нормам 28 нм и с применением IP-блоков собственной разработки. Пиковая производительность процессорного ядра PowerPC470S составляет 1,6 ГФлопс для операций умножения со сложением для одной команды за такт, производительность процессорного ядра NeuroMatrix Core NMC3 - 224 MAC для операций умножение с накоплением за один процессорный такт. Важной особенностью данной микросхемы является наличие высокоскоростных и низкоскоростных интерфейсов как для бортовых систем: PCIe4x, FibreChannel, Arinc818, MIL-STD-1553, так и для космических аппаратов: SpaceWire. Это, в свою очередь, позволяет расширить функциональные возможности данной СБИС в электронике гражданского назначения, в том числе, в авионике.

СБИС МИВЭМ предназначена для использования в качестве центрального процессора для устройств, требующих высокой вычислительной производительности и системах обработки мультимедийной информации. Объектами, для которых предназначено изделие, могут являться мультимедийные системы гражданского назначения, такие как: IP-камеры, телевизионные приставки, видеокамеры с функцией распознавания изображений, видеорегистраторы, а также в сетевых устройствах, например, маршрутизаторах. СБИС МИВЭМ может применяться в бортовых малогабаритных высокопроизводительных вычислителях, которые могут быть использованы для задач управления, сигнальной обработки и обработки мультимедийной информации. Вычислители на базе процессорных ядер PowerPC имеют наивысший сертификационный уровень для применения в гражданской авиации.

X. ЛИТЕРАТУРА

[1] Русский эксперт - Российские микропроцессоры. URL: http://ruxpert.ru/Российские_микропроцессоры (дата обращения 21.01.2017).

[2] ЗАО «РТСофт» Последние тенденции на рынке технологий и продуктов для компьютерных систем специального назначения. URL: <http://www.russianelectronics.ru/leader-r/review/31584/doc/40293> (дата обращения 18.09.2017).

[3] James Cuffney, Chris Harrison, Celso Furtado. Introduction to the IBM PowerPC476FP Embedded Processor Core, ©Copyright International Business Machines Corporation, Sept. 18, 2009

[4] Черников В.М., Вискне П.Е., Шелухин А.М., Шевченко П.А., Панфилов А.П., Косоруков Д.Е., Черников А.В. Семейство процессоров обработки сигналов с векторно-матричной архитектурой NeuroMatrix // Электронные компоненты. – 2006. - № 6. - С. 79-84.

[5] Черников В.М., Вискне П.Е., Шелухин А.М., Панфилов А.П. Отечественные высокопроизводительные процессоры цифровой обработки сигналов векторно-матричной архитектуры, перспективы развития // Материалы конференции «Перспективы развития высокопроизводительных архитектур. История, современность и будущее отечественного компьютеростроения». Сборник научных трудов ИТМиВТ. - М.: ИТМиВТ им С.А.Лебедева РАН. – 2008. - Вып. №1. - С. 52-59.

[6] IBM, PowerPC 476FP Embedded Processor Core, ©Copyright International Business Machines Corporation, v.2.2, Jul. 31, 2014.

[7] Щигорев Л.А. Организация саморемонта блоков статической оперативной памяти с резервными элементами// Проблемы разработки перспективных микро- и нанозлектронных систем-2016 Сб. трудов. / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИПИМ РАН, 2016. Часть III. С. 178-185.

[8] Щигорев Л.А. Особенности использования резервных элементов статической оперативной памяти в многоядерных СБИС, использующих архитектуру процессора NEUROMATRIX //18-я Международная конференция «Цифровая обработка сигналов и ее применение – DSPA-2016», Москва, доклады, Т.2, 2016, С. 806-811.

[9] IBM, JTAG TAP Controller with PowerPC 4xx Cores, ©Copyright International Business Machines Corporation, v.1.4, Sept. 26, 2012.