

## СБИС НА БАЗЕ ЯДРА NMC3 ДЛЯ ПРОГРАММНОГО ПРИЕМНИКА НАВИГАЦИОННЫХ СИГНАЛОВ

Косоруков Дмитрий Евгеньевич, Эйсымонт Алексей Леонидович, Осипов Владимир Геннадиевич, ктн Панфилов Аркадий Павлович, ктн Черников Владимир Михайлович, Вискне Павел Евгеньевич, Шелухин Александр Михайлович, Насонов Илья Игоревич - ЗАО НТЦ "Модуль"

Kosorukov Dmitry, Eysymont Alex, Osipov Vladimir, Dr Panfilov Arkady, Dr Chernikov Vladimir, Vixne Pavel, Sheluhin Alexander, Nasonov Ilya - RC Module  
E-mail: dkos@module.ru

### NeuroMatrix Core 3 based GNSS program receiver SOC

**Аннотация** — В статье представлены результаты разработки программного навигационного приемника класса система-на-кристалле на базе ядра NeuroMatrix® NMC3, ориентированного на векторно-матричную обработку потока данных произвольной разрядности.

**Ключевые слова** — NMC3, NeuroMatrix, программный навигационный приемник, векторно-матричная обработка, СБИС, система на кристалле, ПЦОС, SDR, ГЛОНАСС, GPS, Galileo.

**Abstract** - The paper describes the System on a Chip for software GNSS baseband receiver based on NEUROMATRIX® NMC3 processor core. This processor core has vector matrix architecture that is oriented for stream data of variable bit width processing.

**Key words:** NMC3, NeuroMatrix, Software defined radio receiver, ASIC, System on a Chip, digital signal processing, GLONASS, GPS, GALILEO.

#### I. ВВЕДЕНИЕ

Развитие цифровых систем связи, телевидения, спутниковой навигации и связанное с этим создание многочисленных стандартов передачи и кодирования сигналов делают актуальной задачу создания универсальных аппаратных средств - так называемого цифрового программного радио (software defined radio SDR в зарубежной литературе)[1] – [2].

Примером такого подхода может служить полностью программный навигационный приемник от компании SPIRIT Telecom. Данный приемник предназначен для бытового применения и состоит из модуля высокочастотного конвертора, подключаемого к персональному компьютеру. Все необходимые вычисления производит процессор персонального компьютера типа Atom или Core2Duo с SSE расширением системы команд. При изменении стандартов или при появлении новых навигационных систем необходимо только обновить программное обеспечение, а аппаратная часть остается без изменения. Но данная реализация имеет и свои минусы, а именно необходимо наличие мощного персонального компьютера.

Подавляющее число приложений, где необходимо иметь программные приемники, относятся к встроенным системам и не позволяют использовать привычные компьютеры. Решение задачи лежит в применении процессоров цифровой обработки сигналов (ПЦОС) высокой производительности. Усложнение структур сигналов и их многообразие требуют разработки новых архитектур процессоров цифровой обработки сигналов с производительностью свыше 10 GMAC и построения на основе ядер таких процессоров микросхем типа система на кристалле.

С другой стороны уменьшение технологических норм позволяет поднять тактовую частоту и повысить производительность СБИС. В традиционной же реализации навигационного приемника частота работы СБИС для первичной обработки привязана к частоте поступающих данных и переход на лучшие технологические нормы не обеспечит увеличение производительности.

Поэтому была поставлена задача разработки программного навигационного приемника, архитектура которого может быть перенесена с минимальными изменениями на более совершенные технологии и при этом производительность приемника при переходе на лучшую технологию должна возрасти.

В докладе обсуждаются результаты разработки оригинального цифрового программного приемника класса SDR, который предназначен для применения в различных системах навигации на базе процессорного ядра с запатентованной архитектурой NeuroMatrix Core NMC3.

#### II. ВВЕДЕНИЕ В АРХИТЕКТУРУ

Общепринято разделение процесса обработки навигационных сигналов на два этапа – первичная и вторичная обработка. На этапе первичной обработки происходит частотный перенос сигнала (гетеродинирование), передискретизация, форматирование отсчетов и корреляционная обработка. На этапе вторичной обработки выделяется информационная составляющая и дальнейшая целевая обработка. После первичной обработки существенно понижается темп отсчетов в потоке данных. Снижение темпа позволяет произвести дальнейшую, вторичную обработку отсчетов на процессорах общего назначения.

Основными операциями первичной обработки являются:

- Вычисление свертки.
- умножение с накоплением;

- преобразование Фурье
- поиск максимума;
- комплексное умножение векторов.

Первичная обработка является наиболее затратной и наличие процессора способного выполнить данную задачу является основной задачей, которая должна быть решена при проектировании программного навигационного приемника. Только после обоснования возможности выполнить первичную обработку на ядре NMC3, было принято решение использовать именно данное ядро [3].

Программная обработка подразумевает запись входных данных во внутреннюю память и их последующую обработку процессорным ядром. Так как входные данные могут поступать из разных источников и иметь разный формат, то для приведения входных данных к формату удобному для обработки и для записи в память был введен блок каналов предварительной обработки (каналы ПОС). Кроме того, в данный блок были выведены функции, требующие однократного применения, позволяющие значительно снизить входной поток.

Для вторичной обработки желательно наличие арифметического узла с плавающей точкой. Помимо вторичной обработки так же необходим управляющий процессор для управления всей системой (загрузка начального кода, инициализация интерфейсных блоков для обмена данными с внешними устройствами). Для минимизации аппаратуры было принято решение, что вторичной обработкой и управлением займется один и тот же процессор. Так как на данный момент большинство интерфейсных IP блоков имеют стандартные шины для подключения (PLB6, AMBA AXI...), то лучше, чтобы управляющий процессор имел данные шины.

### III. АРХИТЕКТУРА ПРОЦЕССОРНОЙ СИСТЕМЫ НА БАЗЕ ЯДРА NMC3

Основой процессорной системы для первичной обработки служит ядро ПЦОС NeuroMatrix Core NMC3, разработанное в ЗАО НТЦ "Модуль". Предыдущее поколение данного ядра было реализовано в процессорах Л1879ВМ1 (NM6403) и 1879ВМ2 (NM6404). Данное ядро реализовано в процессоре 1879ВМ4 (NM6405) ([7] – [8]).

Ядро состоит из двух основных частей: RISC- ядра, выполняющего скалярные арифметические, логические операции и операции сдвига над 32-разрядными данными, формирующего операции по управлению потоком команд, и матрично-векторного сопроцессора, осуществляющего арифметические и логические операции над 64-разрядными векторами данных произвольной разрядности. Обмен процессорного ядра с внешним миром осуществляется с помощью шести 64-разрядных шин: команд (IB), скалярных данных (SDB), векторных входных данных (VDIB), весов (WB), входных данных векторного регистра (VRB) и векторных выходных данных (VDOB).

Матрично-Векторный сопроцессор содержит операционное устройство регулярной структуры, похожее на матричный умножитель (см. рисунок 1).

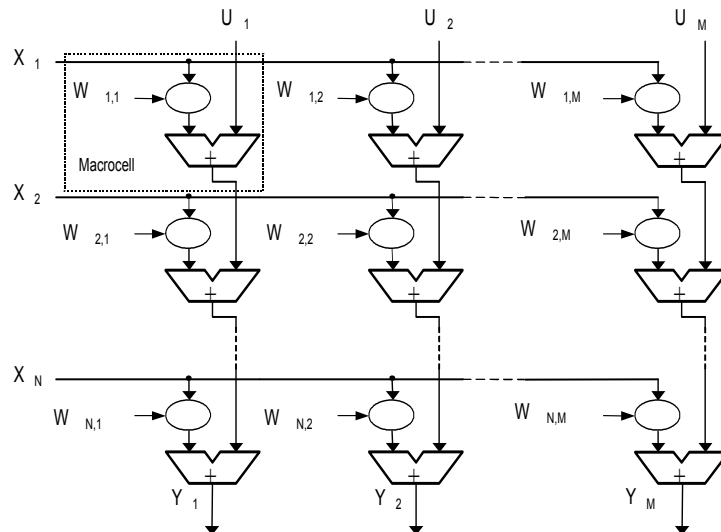


Рис. 1. Операционное устройство векторного сопроцессора

Данное устройство состоит из ячеек, содержащих 1-разрядную память (триггер) и некоторую комбинационную логику. Пользователь может поделить матрицу ячеек на макроячейки, используя программно доступные конфигурационные регистры. Эти регистры задают границы между строками и столбцами макроячеек таким образом, что каждая макроячейка выполняет операцию умножения элемента входного вектора  $X_i$  на заранее загруженный вес  $W_{ij}$ , а затем результат прибавляется к выходному значению верхней макроячейки, расположенной в том же столбце. Таким образом, за один такт в каждом столбце независимо вычисляется свой результат.

Число операций умножений с накоплением зависит от разрядности входных операндов и весов. Конфигурация векторного узла может меняться динамически в процессе вычислений. Можно начать вычисления с небольшой разрядностью и с большой производительностью, а затем, по мере накопления разрядности в промежуточных результатах, перейти к обработке данных большей разрядности за счёт снижения быстродействия. Ниже на рисунке 2 представлена зависимость производительности от разрядности входных операндов и весов.

Таким образом, архитектура векторного сопроцессора даёт уникальную возможность варьировать между производительностью и точностью вычислений для базовой процедуры:

$$Y_m = U_m + \sum_{n=1}^N X_n \times W_{n,m}$$

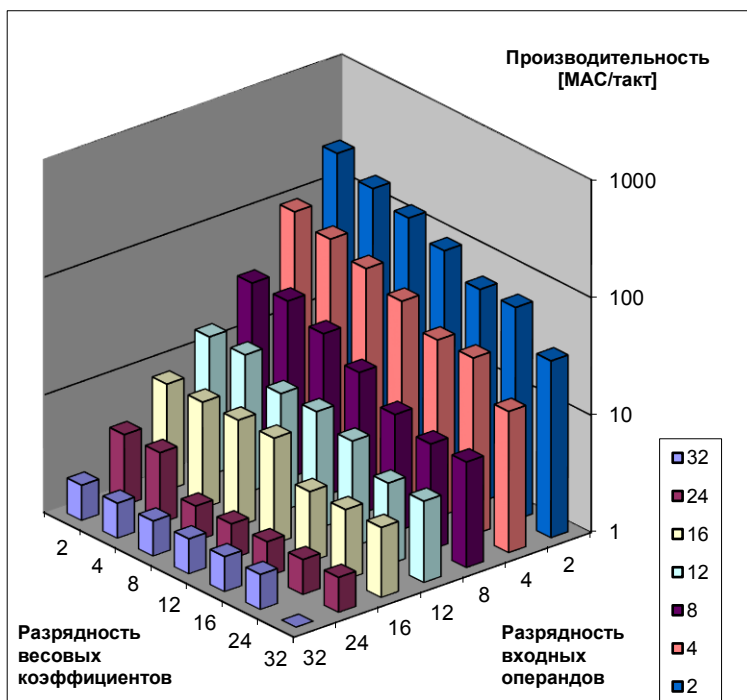


Рис. 2. Зависимость производительности от разрядности входных данных

В зависимости от приложения можно выбрать необходимую разрядность входных данных и результата (точность вычислений). Число умножений и сложений (MAC), выполняемых за один такт, зависит от разрядности операндов. Наибольшая производительность – 224 MAC – достигается при работе с 2-разрядными операндами. Имеется возможность поднять точность вычислений, если увеличить разрядность операндов до 32-х. В этом случае достигается производительность 2 MAC с получением 64-разрядного результата.

Загрузка новых весовых коэффициентов в операционное устройство осуществляется за столько тактов, сколько требуется загрузить строку весовых коэффициентов, т.е. от 1 до 32 тактов. Чтобы скомпенсировать задержку при изменении весов, используется теневая матрица. Новые коэффициенты грузятся в теневую матрицу в фоновом режиме и затем за один такт переписываются в рабочую.

Для предотвращения переполнения аппаратно реализована функция насыщения над 64-разрядными словами упакованных данных, причём границы насыщения задаются с помощью программно доступных регистров управления этой функцией. Функция насыщения не уменьшает разрядность входных операндов, но уменьшает число значащих разрядов в каждом элементе входного вектора.

Данная архитектура позволяет эффективно решать широкий круг задач, включая различные векторно-матричные вычислительные операции, вычисление преобразования Фурье, Адамара, цифровую фильтрацию, цифровую коммутацию ([5] - [6]).

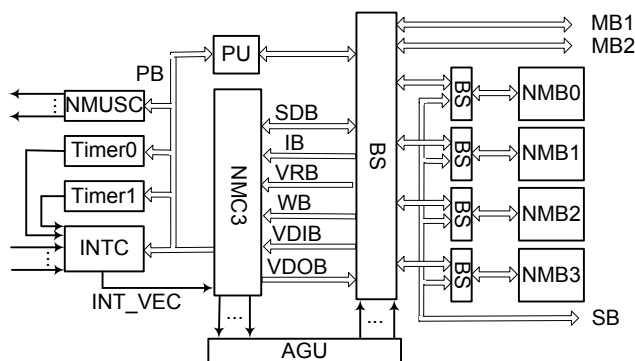


Рис. 3. Структура процессорной системы на базе ядра NMC3

Процессорная система на базе ядра ПЦОС NeuroMatrix Core NMC3 (см. рисунок 3) содержит следующие функциональные узлы:

NMC3 (NeuroMatrix Core 3) – ядро ПЦОС NeuroMatrix Core.

NMUSC (NMU System Controller) – системный контроллер процессорной системы NMU. Данный контроллер содержит программно доступный со стороны NMC3 периферийный регистр, который выполняет функции управления прерываниями другим процессорным системам.

TIMER0 и TIMER1 – два 32-разрядных таймера. Таймеры идентичны по функциям, независимы друг от друга и предназначены для отсчета задаваемых интервалов времени для ядра NMC3. Каждый из таймеров может работать как в непрерывном режиме, так и в режиме однократного запуска.

PU (Permutation Unit) – блок упаковки/распаковки векторов данных. Данный блок выступает в роли сопроцессора для NMC3, и его задачей является преобразование потоковых данных в такой формат, который более удобен для обработки в NMC3 (распаковка/переупаковка) или для хранения в памяти (упаковка). Применение PU позволяет повысить эффективность ядра NMC3 на таких задачах, как корреляция или фильтрация, при этом хранить коэффициенты для той же корреляции или фильтрации, а также результаты обработки в компактном виде. PU аппаратно поддерживает следующие операции:

- Распаковка входного вектора в выходной с элементами заданной большей разрядности (до 64 разрядов), чем в исходном векторе, с возможностью распространения знака или нуля внутри элемента.
- Распаковка входного вектора с элементами одноразрядных данных. При данной операции единица во входном слове кодирует значение – “-1”, а ноль – “1”. Данная функция позволяет экономить память при хранении длинных корреляционных последовательностей.
- Упаковка входного вектора в выходной с элементами заданной меньшей разрядности (до 1 разряда), чем в исходном векторе, с возможностью выбора любых необходимых разрядов (соседних) внутри элементов с отбрасыванием остальных.
- Преобразование входного вектора в диагональную матрицу (может использоваться для ускорения скалярного произведения векторов в NMC3).
- Запись элементов входного вектора в столбцы выходной матрицы или обратное этому преобразование.
- Доступ к векторам, хранящимся в памяти, с адресацией (начальным смещением) до элемента этих векторов (вплоть до 1 разряда).
- Возможность работы с блоками данных в памяти как с циклическими буферами (вычисление адреса данных по модулю заданного числа).

INTC (Interrupt Controller) – контроллер прерываний, который формирует запрос для NMC3 и соответствующий ему адрес-вектор INT VEC.

AGU (Address Generator Unit) – блок адресных генераторов, который получает запрос на обмен данными с памятью от ядра NMC3 (начальный и конечный адрес, смещение, число обращений) и затем сам формирует адреса и управляет шинным коммутатором BS, освобождая от этого процессор. Благодаря 6 шинам ядра NMC3 и наличию в блоке 6 адресных генераторов, возможно осуществить до шести операций ввода-вывода за один такт.

BS (Bus Switch) – шинный коммутатор, позволяет процессорному ядру NMC3 и блоку PU организовать передачу данных от 4 банков внутренней памяти и двух внешних шин MB1, MB2 к внутренним шинам ядра.

NMB (NeuroMatrix Memory Bank) – банк памяти, который может адресоваться до 32-х или 64-х разрядного слова.

Обмен данными с другими процессорными системами и блоком общей памяти осуществляется через шины MB1, MB2 (инициатором обмена является ядро NMC3 или блок PU) или по шине SB (инициатором обмена является внешняя процессорная система).

Наиболее эффективная работа ядра NMC3 достигается при работе с собственными банками памяти NMB3 – NMB0.

#### IV. КАНАЛЫ ПОС

Как было сказано ранее, канал ПОС реализует функции, требующие однократного применения, позволяющие значительно снизить входной поток и производит упаковку результата в 64-х разрядные слова для записи в память с которыми может работать ядро NMC3. Помимо этого канал ПОС производит выбор источника сигнала. Разработанная структура блока каналов ПОС приведена на рисунке 4.

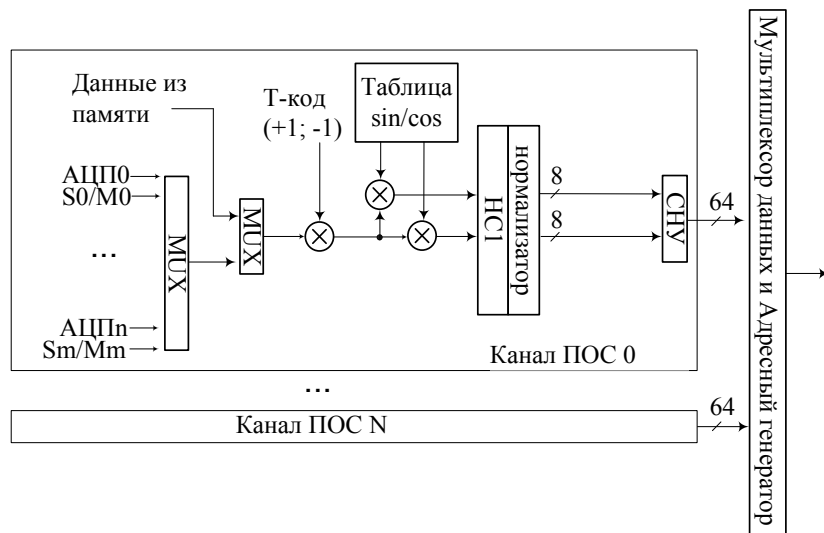


Рис. 4. Структура блока каналов ПОС

Каждый канал ПОС имеет независимые входные мультиплексоры, которые позволяют выбрать источник входных данных: АЦПn – АЦП0, входы Sm/Mm – S0/M0 или данные из памяти. Данные с входов Sx/Mx могут принимать значения -2, -1, +1, +2.

Наличие цифрового процессора позволяет модифицировать первичную обработку в соответствии с потребностями пользователя. Одной из важных задач современного навигационного приемника является подавление узкополосных (индустриальных) помех при приеме навигационного сигнала. Было проработано несколько вариантов решения данной задачи на ядре NMC3[4]. При решении данной задачи во многих алгоритмах требуется увеличение разрядности входного сигнала до 8-12 бит. Поэтому помимо стандартных 2-х битных данных в каналах ПОС предусмотрены многоразрядные входы. Наилучшие характеристики достигаются при подключении к данным входам выходов АЦП, которые должны находиться на том же кристалле. Интегрированный АЦП повышает потребительские свойства СБИС и упрощается проектирование конечного устройства. Если нет необходимости в подавлении помех, то данные входы канала ПОС могут отсутствовать.

Мультиплексор T-кодов подключает генератор к умножителю, осуществляющему умножение входных данных вещественного сигнала на сигнал генератора T-кода. Результат умножения может только изменить знак входных данных. Основное применение данной функции калибровка входного тракта. После этого осуществляется цифровое гетеродинирование, накопление сигнала для каждой составляющей I и Q комплексного сигнала (выполняется на накапливающем сумматоре НС1) и нормализация. Число накоплений задается программно. Цифровой генератор смесителя основан на таблице sin/cos 4-х или 6-ти битных значений. Нормализация осуществляется путем арифметического сдвига в сторону младших разрядов каждой составляющей комплексного сигнала. Для дальнейшей обработки используются 8-ми разрядные значения (I и Q) комплексного сигнала. Результат поступает на вход схемы накопления и упаковки (СНУ). СНУ упаковывает полученные результаты обработки в 64-х разрядные слова для записи в память. Упаковка комплексных отсчетов сигнала выполняется в два 64-х разрядных слова. Реализована упаковка 8-ми битных, 4-х битных и 2-х битных отсчетов. Частота поступления отсчетов с выхода схемы упаковки соответственно в 8, 16 или 32 раза меньше, чем на входе. Для удобства дальнейшей обработки составляющие I и Q комплексного сигнала могут чередоваться или упаковываться в отдельные слова. Выход каждого канала это одно или два 64-х разрядных слова.

Количество таких каналов ПОС должно соответствовать количеству спутников, которые мы хотим отслеживать. Входные данные с каналов мультиплексируются и формируется адрес для записи в память. Возможно несколько вариантов формирования адреса: непрерывный и блочно-циклический. При непрерывной адресации данные для каждого канала записываются по последовательным адресам. При блочно-циклической адресации данные каждого канала записываются в память, используя 2 буфера. Т.е. сначала записываются данные в буфер0, потом в буфер1, потом опять в буфер0, затирая старые данные и т.д. Смена буфера происходит по временной метке от интервального таймера, разделяя поток данных на кадры. Это позволяет обрабатывать данные в одном буфере, пока другой буфер заполняется. Если при этом буфера выделены в разных банках, то не создается конфликтов при обращении к памяти. На фоне обработки текущего кадра, управляющая программа осуществляет анализ и новую настройку каналов, используя теневые регистры. По приходу временной метки, управляющая информация настройки канала переписывается из теневых регистров в рабочие и происходит синхронная перестройка каналов. Интервальный таймер, вырабатывающий временные метки (на рисунке не показан), может вырабатывать программируемые временные метки.

При настройке каналов ПОС следует уделять внимание суммарному выходному потоку данных со всех каналов. Каждый каналы ПОС имеет аппаратные средства для контроля превышения пропускной способности.

Достоинством данной реализации является полностью программная первичная обработка (за исключением каналов ПОС). Так же в полной мере используется главная особенность ядра NMC - программная настройка разрядности обрабатываемых данных. При фильтрации помех используются многоразрядные данные. Разрядность

уже отфильтрованного сигнала уменьшается до 2 бит и вычисляется автокорреляционная функция. Использование малоразрядных данных позволяет увеличить производительность ядра NMC3. Таким образом, в зависимости от конкретной задачи появляется гибкости в выборе количества и качества обрабатываемых каналов.

При недостаточной производительности одной процессорной системы NMC3 возможно увеличение числа процессорных систем на базе NMC3.

## V. ВАРИАНТЫ АРХИТЕКТУРЫ С ВЫСОКОЙ ПРОИЗВОДИТЕЛЬНОСТЬЮ

В реализации использующей только каналы ПОС есть несколько недостатков, а именно количество каналов ПОС должно соответствовать количеству спутников (так как каждый спутник имеет свою доплеровскую частоту). Помимо этого для навигационных приемников геодезического класса необходима обработка большого количества каналов (200 и более). Практические расчеты показали, что для этого необходимо на технологии 90нм увеличить число процессорных систем на базе NMC3 до 8-10. Это в свою очередь приведет к большому энергопотреблению. Поэтому был проработан еще один вариант реализации навигационного приемника. Основная идея заключается в том, что канал ПОС настраивается на частоту спутниковой системы и происходит выделение группы спутников. После чего программно-аппаратный блок корреляторов (БК), работающий на частоте процессора, обрабатывает полученный пакет данных несколько раз. Каждый раз происходит выделение конкретного спутника. При этом количество каналов ПОС определяется необходимым числом обрабатываемых частотных интервалов.

Процессорная система NMC3 осуществляет поиск спутника, подавление индустриальных помех, подготовку данных для БК, его настройку и анализ результатов работы БК.

Ниже приведена структура канала блока корреляторов.

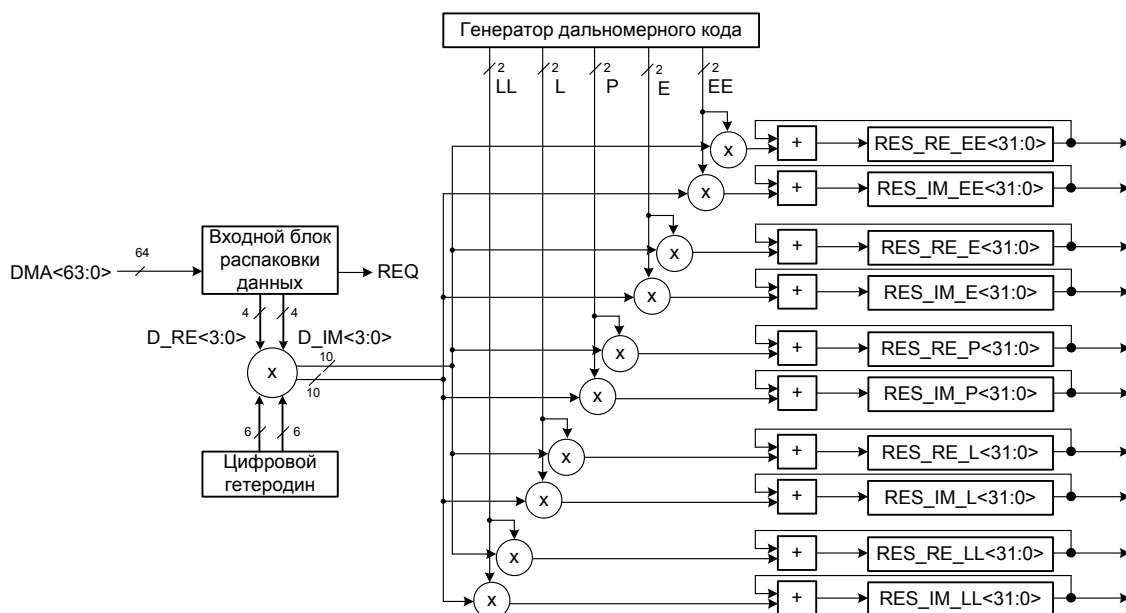


Рис. 5. Структура канала блока корреляторов

Канал БК осуществляет выделение конкретного спутника и вычисляет корреляционную функцию полученных отсчетов и дальномерного кода, сформированного генератором дальномерного кода (ГДК). ГДК формирует точную (P) последовательность, две опережающих (E, EE) и две запаздывающих (L, LL). Способ формирования дальномерного кода и смещение для последовательностей E, EE, L, LL относительно последовательности (P) задается программно. Подкачка новых данных осуществляется из внутренней памяти СБИС без участия процессора. После обработки заданного числа отсчетов результат корреляции используется процессором. После чего канал может быть проинициализирован и запущен заново.

Блок корреляторов состоит из нескольких каналов, количество которых зависит от требуемой производительности (см. рисунок 6). Так же БК содержит блок памяти для формирования дальномерного кода. Разрядность отсчетов для БК два или четыре бита.

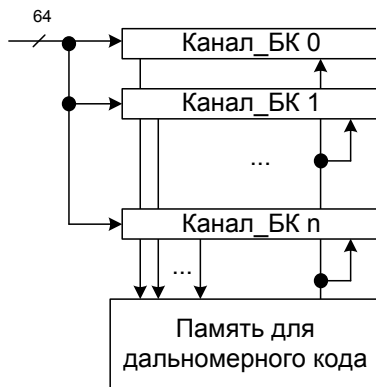


Рис. 6. Структура блока корреляторов

Так как БК работает на частоте процессора, превышающей частоту поступления входных данных, то один и тот же аппаратный канал может быть запущен несколько раз за время накопления следующего пакета данных. Тем самым один аппаратный канал может обрабатывать несколько спутников. Количество спутниковых каналов определяется формулой:

$$P = F / F_{вх.д}, \text{ где}$$

P - количество спутниковых каналов;

F - процессорная тактовая частота;

F<sub>вх.д</sub> - частота поступления входных данных.

Из приведенной формулы видно, что повышая процессорную частоту, количество спутниковых каналов будет увеличиваться.

#### VI. ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ

В НТЦ Модуль была выпущена СБИС 1879ВЯ1Я, которая соответствует архитектуре с каналами ПОС. Структурная схема СБИС представлена на рисунке 7.

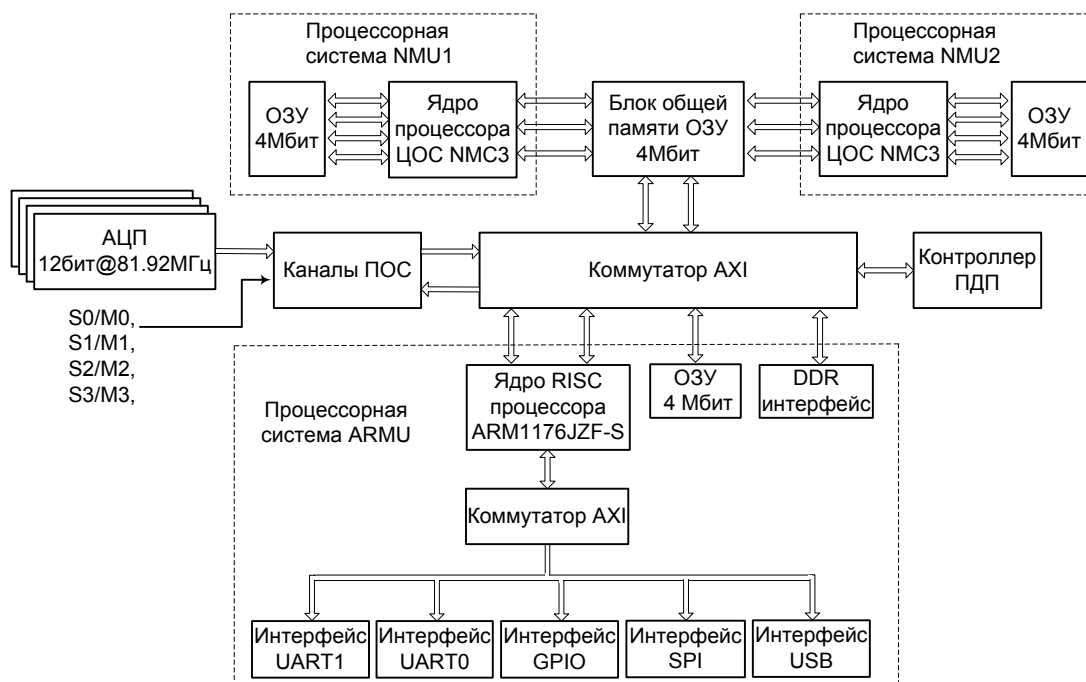


Рис. 7. Структура СБИС 1879ВЯ1Я

СБИС содержит 2 процессорных системы на базе NMC3, четыре 12-разрядных АЦП, четыре входа S/M, 24 канала ПОС. Частота работы процессорных систем NMC3 - 320 МГц.

В качестве процессора вторичной обработки было выбрано ядро ARM1176JZF-S (частота работы 160МГц). В состав ядра ARM1176JZF-S входят следующие основные компоненты: процессор целочисленной арифметики, VFP векторный сопроцессор плавающей точки, блок отладки, кэш команд 16Кб, кэш данных 16Кб, блок управления памятью, шинный интерфейс AMBA AXI, совместимый с шинной спецификацией AMBA 3.0. Так же процессорная система осуществляет обмен данными с внешними устройствами через внешние интерфейсы (SPI,

UART, GPIO, USB). Данное процессорное ядро имеет производительность достаточную для выполнения вторичной обработки и обмена данными с внешними вычислителями. Экспериментальные данные, полученные на данной СБИС, говорят, что одна процессорная система на базе NMC3 может осуществлять поиск и слежение за 20 спутниковыми каналами.

Структура варианта в БК реализована в СБИС СНП-ВП. Структурная схема СБИС представлена на рисунке 8. Количество аппаратных каналов в БК - 16.

На данный момент ведется отладка программных алгоритмов обработки. Ожидается, что на данной микросхеме можно будет обрабатывать до 250 спутниковых каналов.

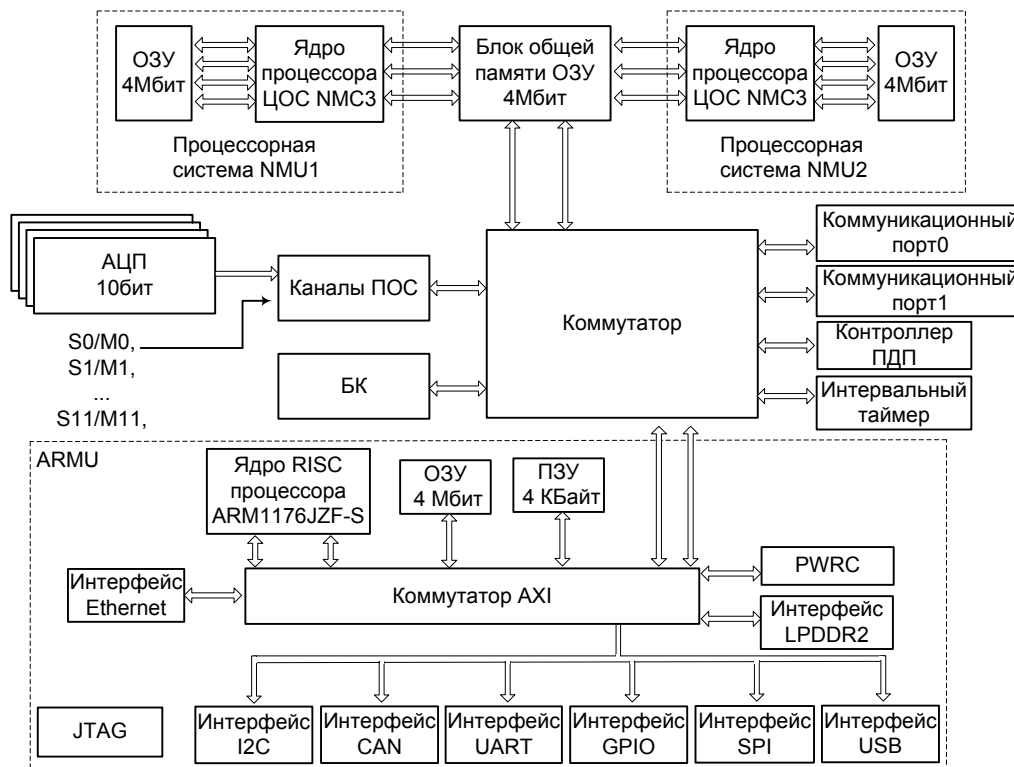


Рис. 8. Структура СБИС СНП-ВП

## VII. ЗАКЛЮЧЕНИЕ

Предложенная архитектура вычислительной системы на базе ядер ПЦОС NMC3 позволяет создавать высокопроизводительные программные приемники навигационных сигналов всех существующих спутниковых навигационных систем.

Разработанный мультисистемный программный навигационный приемник на процессорном ядре NMC3 подтверждает, что данная идея является реализуемой уже на технологии с проектными нормами 90 нм. При снижении технологических норм и повышении частоты процессорной системы характеристики программного приемника будут существенно улучшаться.

Основными достижениями данного подхода являются:

- использование данной элементной базы не только для существующих, но и для будущих навигационных систем и изменений/дополнений стандартов уже существующих;
- высокая производительность, повышающаяся при переходе на технологию с лучшими характеристиками;
- использование данной элементной базы при решении широкого круга задач.

## VII. ЛИТЕРАТУРА

- [1] Rajagopal Sridhar, Rixner Scott, Cavallaro Joseph R. A programmable baseband processor design for software defined radios // IEEE Midwest Conference on Circuits and Systems. – 2002, August. – P. 413-416.
- [2] Glossner John, Iancu Daniel, Lu Jin, Hokenek Erdem, Moudgill Mayan. A software defined communications baseband design // IEEE Communication magazine. - 2003, January. – P. 120-128.
- [3] Применение нейропроцессора Л1879ВМ1 для поиска и обнаружения сигналов ГЛОНАСС/GPS // "Нейрокомпьютеры: разработка применение №10-116 2005 с.95-104
- [4] Добриков В. А., Сахно И. В. Применение нейропроцессора Л1879ВМ1 для подавления узкополосных помех в системах с шумоподобными сигналами. //Нейрокомпьютеры: разработка и применение. 2005. №10-11. С37-43.
- [5] Мушкаев С.В. Реализация ранжирующих и медианных фильтров на процессоре NM6403 (Л1879ВМ1) // Цифровая обработка сигналов. - 2005. - № 1. – С. 52-56.



[6] Кашкаров В.А., Мушкаев С.В. Организация параллельных вычислений в алгоритмах БПФ на процессоре NM6403 // Цифровая обработка сигналов. - 2001. - № 1. – С. 53-58.

[7] Черников В.М., Вискне П.Е., Шелухин А.М., Шевченко П.А., Панфилов А.П., Косоруков Д.Е., Черников А.В. Семейство процессоров обработки сигналов с векторно-матричной архитектурой NeuroMatrix // Электронные компоненты. – 2006. - № 6. - С. 79-84.

[8] Черников В.М., Вискне П.Е., Шелухин А.М., Панфилов А.П. Отечественные высокопроизводительные процессоры цифровой обработки сигналов векторно-матричной архитектуры, перспективы развития // Материалы конференции «Перспективы развития высокопроизводительных архитектур. История, современность и будущее отечественного компьютеростроения». Сборник научных трудов ИТМиВТ. - М.: ИТМиВТ им С.А.Лебедева РАН. – 2008. - Вып. №1. - С. 52-59.