

1888BC058



СБИС предназначена для построения цифровой части тракта обработки информации в составе встраиваемой вычислительной техники радиолокационных и связных систем. Данная СБИС осуществляет первичную обработку данных поступающих с аналого-цифровых преобразователей (АЦП) в режиме реального времени, анализ полученной информации, формирование необходимых сообщений и передачу их на цифро-аналоговые преобразователи (ЦАП) в нужной последовательности.

Основные характеристики

Количество интерфейсов с АЦП - 4;

Максимальная тактовая частота интерфейса с АЦП - 128 МГц;

Максимальная разрядность подключаемых АЦП - 14;

Тип буферов ввода/вывода интерфейса с АЦП - LVDS-1,8;

Максимальная частота работы вычислительных ядер микросхемы - 512 МГц;

Объем внутренней памяти СБИС - 2,5 Мбайт;

Количество интерфейсов с ЦАП - 2;

Максимальная тактовая частота интерфейса с ЦАП - 512 МГц;

Максимальная разрядность подключаемых ЦАП - 16;

Тип буферов ввода/вывода интерфейса с ЦАП - LVDS-1,8;

Максимальная частота работы интерфейса с внешней памятью - 90 МГц;

Максимальный объем подключаемой внешней памяти - 2 Гбайт;

Тип подключаемой внешней памяти - SRAM, SDRAM, SSRAM;

Габариты корпуса не более: 27,0 x 27,0 x 3,21 мм;

Температурный диапазон работы микросхемы - от минус 60 до плюс 85°C;

В СБИС 1888BC058 реализованы следующие функции:

- Прием данных с четырех АЦП с частотой преобразования до 128 МГц и разрядностью до 14 бит;
- Синхронизация всех АЦП с точностью до одного такта работы АЦП;
- Цифровая фильтрация принимаемого сигнала на аппаратных БИХ фильтре первого порядка и КИХ фильтре 64-того порядка с действительными коэффициентами;
- Преобразование частоты входного сигнала на гетеродине с шагом изменения частоты гетеродина 0.03 Гц;
- Согласованная фильтрация с заданной эталонной последовательностью размером до 1024 разряда;
- Формирование временных меток принимаемого пакета данных и временных меток, определяющих перестройку каналов приема и передачи;
- Декодирование входных сообщений с возможностью одновременного декодирования до 128 символов
- Программная обработка принятого и передаваемого сигналов на гетерогенной вычислительной системе, состоящей из управляющего ядра ARM Cortex A5 и двух DSP ядер NMC3;
- Аппаратное формирование до двух передаваемых сигналов (цифровая фильтрация и преобразование частоты на гетеродине);
- Передача сформированных сигналов на ЦАП с частотой обмена по шине до 512 МГц;

Реализован ряд дополнительных устройств, выполняющих вспомогательные функции:

- Гибкая многобанковая система внутренней памяти общим объемом 2,5Мбайт;
- Система контроллеров ПДП, позволяющая, в том числе, обслуживать аппаратные каналы обработки информации без привлечения вычислительных ресурсов процессорных ядер;
- Интерфейс с внешней памятью, включающий 32-разрядную шину данных и 24-разрядную шину адреса с возможностью прямого подключения микросхем внешней памяти типа SRAM, SDRAM, SSRAM и возможностью доступа внешнего устройства к внутренней памяти СБИС;
- Два байтовых коммуникационных порта с максимальной пропускной способностью 1.2 Гбит/сек каждый;
- Пять независимых синхронных последовательных интерфейса типа SPI с частотой передачи данных до 50 Мбит/сек. каждый;
- Два асинхронных последовательных порта типа UART;
- Интерфейс Ethernet MAC 10/100 Мбит/сек. с поддержкой удаленной отладки (EDCL-интерфейс);
- Интерфейс типа GPIO (32 вывода);
- Гибкая система межканальных и межпроцессорных прерываний;
- Отладочный интерфейс JTAG для подключения стандартных устройств отладки программного обеспечения;
- Отладочный интерфейс JTAG для диагностики состояния микросхемы в соответствии со стандартом JTAG IEEE 1149.1-2012;



www.module.ru

sales@module.ru
Москва, 4-я улица 8 Марта, д.3
Россия, 125190, г. Москва, а/я 166
тел.: +7 495 531-3080
факс: +7 499 152-4661