

УТВЕРЖДЕН
ЮФКВ.431268.020РЭ -ЛУ

**Микросхема интегральная
1888BC048**

Руководство по эксплуатации

ЮФКВ.431268.020РЭ

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Справ.№
34203-3	 24.10.2019	34203-2			

Содержание

1	ОПИСАНИЕ И РАБОТА МИКРОСХЕМЫ ИНТЕГРАЛЬНОЙ 1888ВС048	6
1.1	НАЗНАЧЕНИЕ ИЗДЕЛИЯ	6
1.2	ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ СБИС МИ БИУС	6
1.2.1	Основные функциональные характеристики СБИС МИ БИУС	6
1.2.2	Список выводов СБИС МИ БИУС	8
1.2.3	Расположение выводов СБИС МИ БИУС	18
1.2.4	Электрические параметры СБИС МИ БИУС	19
1.2.4.1	Номинальные и граничные значения напряжений питания СБИС МИ БИУС	19
1.2.4.2	Номинальные и граничные значения электрических параметров буферов ввода/вывода СБИС МИ БИУС	19
1.2.4.3	Номинальные и граничные значения потребления СБИС МИ БИУС	20
1.2.4.4	Временные диаграммы и динамические параметры тактовых сигналов и сигналов сброса СБИС МИ БИУС	21
1.3	Состав СБИС МИ БИУС	22
1.4	Устройство и работа СБИС МИ БИУС	23
1.4.1	Архитектура СБИС МИ БИУС	23
1.4.1.1	Структурная схема СБИС МИ БИУС	23
1.4.1.2	Основные режимы работы СБИС МИ БИУС	24
1.4.1.2.1	Функциональные режимы СБИС МИ БИУС	24
1.4.1.2.2	Отладочные режимы СБИС МИ БИУС	24
1.4.1.2.3	Тестовые режимы СБИС МИ БИУС	25
1.4.1.3	Карта памяти СБИС МИ БИУС	25
1.4.1.3.1	Карта памяти СБИС МИ БИУС	25
1.4.1.3.2	Карта регистров блоков СБИС МИ БИУС	26
1.4.1.4	Подсистема генерации синхросигналов и сигналов сброса (CRG_SYS и CRG_DDR)	27
1.4.1.4.1	Общая схема сигналов синхронизации и сброса	27
1.4.1.4.2	Формирование сигналов сброса	29
1.4.1.4.3	Формирование сигналов синхронизации	30
1.4.1.4.4	Временные диаграммы инициализации сигналов синхронизации и сброса	33
1.4.1.4.5	Описание регистров CRG_SYS	34
1.4.1.4.5.1	Карта регистров CRG_SYS	34
1.4.1.4.5.2	Описание полей регистров CRG_SYS	35
1.4.1.4.6	Описание регистров CRG_DDR	41
1.4.1.4.6.1	Карта регистров CRG_DDR	41
1.4.1.4.6.2	Описание полей регистров CRG_DDR	42
1.4.1.4.7	Руководство по программированию CRG_SYS и CRG_DDR	46
1.4.1.4.7.1	Управление блоком PLL	46
1.4.1.4.7.2	Управление выходными делителями	47
1.4.1.5	Подсистема управляющего процессора	48
1.4.1.5.1	Системный контроллер прерываний (GIC)	49
1.4.1.5.1.1	Общее описание GIC	49
1.4.1.5.1.2	Структурная схема GIC	49
1.4.1.5.1.3	Принципы функционирования GIC	50
1.4.1.5.1.4	Описание регистров GIC	53
1.4.1.5.1.5	Порядок работы с GIC	65
1.4.1.5.2	Система таймеров (GP_TIMERS)	66

Удостоверен ЮФКВ.431268.020РЭ-УД

					ЮФКВ.431268.020РЭ						
3	все	ЮФКВ.449-2019	Харламова	22.10.2019	Микросхема интегральная 1888ВС048 Руководство по эксплуатации						
Изм	Лист	№ докум.	Подп.	Дата							
Разраб.	Чумаченко								Лит.	Лист	Листов
Пров.	Черников								О	2	496
Нач.отд.											
Н.контр.	Вихрова										
Утв.											
Инв. № подл.	Подп. и дата		Взам. инв. №	Инв. № подл.	Подп. и дата		Перв. применен.				
34203-3	<i>Reddy</i> 24.10.2019		34203-2				ЮФКВ.431268.020				

1.4.1.5.2.1	Структурная схема GP_TIMERS.....	67
1.4.1.5.2.2	Принципы функционирования GP_TIMERS	72
1.4.1.5.2.3	Описание регистров GP_TIMERS.....	78
1.4.1.5.2.4	Взаимодействие GP_TIMERS с другими блоками СБИС МИ БИУС	81
1.4.1.5.3	Блок сдвоенных таймеров (DIT).....	82
1.4.1.5.3.1	Общее описание DIT.....	82
1.4.1.5.3.2	Структурная схема DIT.....	82
1.4.1.5.3.3	Принципы функционирования DIT.....	83
1.4.1.5.3.4	Описание регистров DIT.....	83
1.4.1.5.4	Сторожевой таймер (WDT).....	86
1.4.1.5.4.1	Общее описание WDT.....	86
1.4.1.5.4.2	Принципы функционирования WDT	87
1.4.1.5.4.3	Описание регистров WDT	87
1.4.1.5.5	Системный контроллер (SCTL)	90
1.4.1.5.5.1	Общее описание SCTL.....	90
1.4.1.5.5.2	Описание регистров SCTL.....	90
1.4.1.6	Подсистема высокоскоростных интерфейсных контроллеров	103
1.4.1.6.1	Контроллер оперативной памяти DDR3	103
1.4.1.6.1.1	Общее описание контроллера оперативной памяти DDR3.....	103
1.4.1.6.1.2	Структурная схема контроллера оперативной памяти DDR3.....	104
1.4.1.6.1.3	Принципы функционирования контроллера оперативной памяти DDR3	105
1.4.1.6.1.4	Описание регистров контроллера оперативной памяти DDR3	106
1.4.1.6.2	Контроллер PCI Express 2.0 (контроллер PCIe).....	106
1.4.1.6.2.1	Общее описание контроллера PCIe	106
1.4.1.6.2.2	Структурная схема контроллера PCIe.....	107
1.4.1.6.2.3	Описание регистров контроллера PCIe.....	108
1.4.1.6.2.4	Базовое преобразование адресов контроллера PCIe.....	196
1.4.1.6.2.5	Встроенный контроллер прямого доступа контроллера PCIe.....	197
1.4.1.6.2.6	Блок трансляции входящих AXI транзакций контроллера PCIe	203
1.4.1.6.2.7	Блок трансляции исходящих AXI транзакций контроллера PCIe.....	206
1.4.1.6.3	Контроллер внешних прерываний	214
1.4.1.6.3.1	Общее описание контроллера внешних прерываний.....	214
1.4.1.6.3.2	Принципы функционирования контроллера внешних прерываний	215
1.4.1.6.3.3	Описание регистров контроллера внешних прерываний	216
1.4.1.6.4	Контроллер интерфейса Ethernet 10/100/1000 (MGETH).....	229
1.4.1.6.4.1	Общее описание MGETH	229
1.4.1.6.4.2	Структурная схема MGETH	230
1.4.1.6.4.3	Принципы функционирования MGETH	232
1.4.1.6.4.4	Описание регистров MGETH	246
1.4.1.6.4.5	Контроллер физического уровня интерфейса SGMII (SGMII_PHY).....	259
1.4.1.6.5	Контроллер MDIO.....	260
1.4.1.6.5.1	Общее описание контроллера MDIO	260
1.4.1.6.5.2	Структурная схема контроллера MDIO	260
1.4.1.6.5.3	Принципы функционирования контроллера MDIO	261
1.4.1.6.5.4	Описание регистров контроллера MDIO	262
1.4.1.6.5.5	Мультиплексирование сигналов контроллеров MDIO и контроллеров GPIO	265
1.4.1.6.6	Контроллер DMA (MDMA-GP)	265
1.4.1.6.6.1	Общее описание MDMA-GP	265
1.4.1.6.6.2	Структурная схема MDMA-GP	266
1.4.1.6.6.3	Принципы функционирования MDMA-GP	268
1.4.1.6.6.4	Описание регистров MDMA-GP	285
1.4.1.7	Подсистема низкоскоростных интерфейсных контроллеров	295
1.4.1.7.1	Контроллер UART (MUART)	295
1.4.1.7.1.1	Общее описание MUART.....	295
1.4.1.7.1.2	Структурная схема MUART	295
1.4.1.7.1.3	Принципы функционирования MUART	297
1.4.1.7.1.4	Описание регистров MUART	306
1.4.1.7.2	Контроллер совмещенного интерфейса GSPI/SDIO.....	316
1.4.1.7.2.1	Общее описание контроллера совмещенного интерфейса GSPI/SDIO	316
1.4.1.7.2.2	Структурная схема контроллера совмещенного интерфейса GSPI/SDIO	316
1.4.1.7.2.3	Принципы функционирования контроллера совмещенного интерфейса GSPI/SDIO	317
1.4.1.7.2.4	Контроллер GSPI	317
1.4.1.7.2.5	Контроллер SDIO.....	344
1.4.1.7.3	Контроллер передачи данных в соответствии с ГОСТ Р 52070 (контроллер МКИО)	366
1.4.1.7.3.1	Общее описание контроллера МКИО.....	366

					ЮФКВ.431268.020РЭ		Лист
							3
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.7.3.2	Принципы функционирования контроллера МКИО	367
1.4.1.7.3.3	Описание регистров контроллера МКИО	381
1.4.1.7.3.4	Дополнительный блок контроллера МКИО	392
1.4.1.7.4	Контроллер ARINC-429.....	396
1.4.1.7.4.1	Общее описание контроллера ARINC-429	396
1.4.1.7.4.2	Структурная схема контроллера ARINC-429	396
1.4.1.7.4.3	Принципы функционирования контроллера ARINC-429	398
1.4.1.7.4.4	Описание регистров контроллера ARINC-429	405
1.4.1.7.5	Контроллер CAN 2.0В	417
1.4.1.7.5.1	Общее описание контроллера CAN 2.0В	417
1.4.1.7.5.2	Схема контроллера CAN 2.0В.....	418
1.4.1.7.5.3	Принципы функционирования контроллера CAN 2.0В.....	419
1.4.1.7.5.4	Описание регистров контроллера CAN 2.0В.....	441
1.4.1.7.6	Контроллер I ² C	453
1.4.1.7.6.1	Общее описание контроллера I ² C	453
1.4.1.7.6.2	Принципы функционирования контроллера I ² C	454
1.4.1.7.6.3	Описание регистров контроллера I ² C	460
1.4.1.7.6.4	Описание полей регистров контроллера I ² C	461
1.4.1.7.7	Контроллер GPIO.....	464
1.4.1.7.7.1	Общее описание контроллера GPIO	464
1.4.1.7.7.2	Структурная схема контроллера GPIO	464
1.4.1.7.7.3	Принципы функционирования контроллера GPIO	465
1.4.1.7.7.4	Описание регистров контроллера GPIO.....	469
1.4.1.7.8	Контроллер измерения температуры (датчик температуры)	471
1.4.1.7.8.1	Общее описание датчика температуры.....	471
1.4.1.7.8.2	Принципы функционирования датчика температуры.....	471
1.4.1.7.8.3	Описание регистров датчика температуры	472
1.4.1.7.9	Контроллер внутрисхемной отладки (JTAG)	474
1.4.2	Процедура загрузки СБИС МИ БИУС.....	475
1.4.2.1	Описание первичного загрузчика СБИС МИ БИУС.....	475
1.4.2.1.1	Описание алгоритма работы первичного загрузчика СБИС МИ БИУС.....	475
1.4.2.1.2	Проверка совместимости и целостности образа исходного кода вторичного загрузчика	478
1.4.2.2	Последовательное исполнение кода из нескольких источников	479
1.4.2.3	Описание вторичного загрузчика.....	479
1.4.2.3.1	Структура заголовка образа вторичного загрузчика	479
1.4.2.3.2	Процедура формирования образов вторичного загрузчика	481
1.4.2.3.2.1	Процедура формирования образа вторичного загрузчика на основе исходного кода.....	481
1.4.2.3.2.2	Процедура формирования образа вторичного загрузчика на основе исполняемого кода базового вторичного загрузчика	482
1.4.2.3.3	Формат указателя на точку входа	482
1.4.2.3.4	Последовательное исполнение нескольких образов вторичного загрузчика	482
1.4.2.4	Хост-режим загрузки.....	483
1.5	МАРКИРОВКА И ПЛОМБИРОВАНИЕ.....	483
1.6	УПАКОВКА	485

2 ИСПОЛЬЗОВАНИЕ ПО НАЗНАЧЕНИЮ..... 486

2.1	ЭКСПЛУАТАЦИОННЫЕ ОГРАНИЧЕНИЯ	486
2.1.1	<i>Эксплуатационные ограничения по температуре окружающей среды.....</i>	<i>486</i>
2.1.2	<i>Эксплуатационные ограничения по электрическим характеристикам</i>	<i>486</i>
2.2	Подготовка изделия к использованию	486
2.2.1	<i>Указания о взаимосвязи (соединении) данного изделия с другими изделиями.....</i>	<i>486</i>
2.2.2	<i>Способы записи вторичного загрузчика во внешнюю ПЗУ.....</i>	<i>489</i>
2.2.3	<i>Указания по включению и опробованию работы изделия.....</i>	<i>490</i>
2.3	ИСПОЛЬЗОВАНИЕ ИЗДЕЛИЯ	491
2.3.1	<i>Порядок контроля работоспособности изделия.....</i>	<i>491</i>
2.3.2	<i>Перечень возможных неисправностей в процессе использования изделия по назначению и рекомендации по действиям при их возникновении.....</i>	<i>491</i>
2.3.3	<i>Перечень режимов работы изделия и характеристики основных режимов работы</i>	<i>494</i>
2.3.4	<i>Порядок и правила перевода изделия с одного режима работы на другой с указанием необходимого для этого времени.....</i>	<i>494</i>
2.3.5	<i>Порядок приведения изделия в исходное положение</i>	<i>494</i>
2.3.6	<i>Порядок выключения изделия, содержание и последовательность осмотра изделия после окончания работы</i>	<i>494</i>

									Лист
									4
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

3	ТЕХНИЧЕСКОЕ ОБСЛУЖИВАНИЕ ИЗДЕЛИЯ	495
4	ТЕКУЩИЙ РЕМОНТ ИЗДЕЛИЯ	495
5	ХРАНЕНИЕ ИЗДЕЛИЯ	495
6	ТРАНСПОРТИРОВАНИЕ ИЗДЕЛИЯ	495
7	УТИЛИЗАЦИЯ ИЗДЕЛИЯ	495
	ПЕРЕЧЕНЬ СОКРАЩЕНИЙ	496

					ЮФКВ.431268.020РЭ	Лист
						5
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhal</i> 24.10.2019		34203-2		

1 Описание и работа микросхемы интегральной 1888BC048

1.1 Назначение изделия

Микросхема интегральная 1888BC048 (далее по тексту – СБИС МИ БИУС) предназначена для использования в качестве СБИС мультиконтроллера интерфейсов, подключаемого к основной управляющей СБИС через универсальный интерфейс PCI Express 2.0 для расширения набора интерфейсов информационно-управляющих систем.

Основная область применения СБИС МИ БИУС – малогабаритные интегрированные бортовые информационно-управляющие системы, обладающие набором управляющих и информационных интерфейсов.

1.2 Технические характеристики СБИС МИ БИУС

1.2.1 Основные функциональные характеристики СБИС МИ БИУС

Основные функциональные характеристики СБИС МИ БИУС представлены в таблице 1.

Таблица 1 – Основные функциональные характеристики СБИС МИ БИУС

Наименование параметра	Значение
Управляющий процессор: а) тип процессорного ядра б) частота работы ядра	Cortex-A5 не менее 600 МГц
Контроллер оперативной памяти: а) количество контроллеров б) тип памяти в) разрядность г) опорная частота работы памяти д) объем поддерживаемой памяти	2 DDR3-1066, DDR3L-1066 16+8 (ECC) до 1066 МГц до 2 Гбайт
Встроенная статическая память: а) объем	256 Кбайт
Контроллер PCI Express 2.0: а) поддерживаемые режимы работы б) поддерживаемая конфигурация контроллера/лэйнов в) номинальная скорость передачи данных г) наличие встроенных схем автономного самотестирования д) поддержка работы в режиме внутренней петли е) поддержка защиты данных контрольной суммы end-to-end CRC (ECRC) ж) встроенный DMA з) минимальное количество адресных областей (BAR) и) программная настройка адреса и размера BAR к) поддержка 64-битного адреса шины PCI Express 2.0 л) трансляция адресов исходящих AXI транзакций (8 регионов) м) трансляция адресов входящих AXI транзакций (128 регионов) н) программная настройка параметров всех трансляций о) аппаратный или программный вызов прерываний Legacy и MSI-X в режиме EP п) поддержка 32 векторов MSI-X	Root Port/Endpoint 1 x4 2.5, 5 Гбит/с да да да да 2 (BAR0, BAR1) да да да да да да

									Лист
									6
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redhall</i> 24.10.2019			34203-2					

Наименование параметра	Значение
Контроллеры Ethernet 10/100/1000: а) количество MAC-контроллеров б) номинальная скорость обмена данными в) интерфейс с микросхемой физического уровня г) поддержка jumbo frame д) расчет (при передаче) и проверка (при приеме) контрольных сумм принимаемых и передаваемых информационных пакетов для Ethernet-frame (FCS) е) наличие аппаратной поддержки видеопотокола RTP ж) количество каналов записи/чтения DMA на каждый MAC-контроллер з) количество каналов, которые могут выполнять прием видеотрафика и) наличие дескрипторов, расположенных во внешней памяти к) максимальное количество дескрипторов л) наличие аппаратной фильтрации пакетов м) программируемая задержка между исходящими пакетами н) совокупная максимальная скорость передачи/приема видеотрафика на один контроллер Ethernet	4 10/100/1000 Мбит/с SGMII до 9000 байта да да 4 запись/4 чтение 2 да не ограничено да да (от 0 до 1000 мкс с шагом 1 мкс) не менее 80 Мбайт/с
Контроллер CAN 2.0В: а) количество каналов б) номинальная скорость в) поддержка настраиваемой фильтрации сообщений по полям	2 до 1 Мбита/с да
Контроллер МКИО: а) количество интерфейсов с резервированием б) номинальная скорость в) режимы работы (независимо для каждого канала) г) выбор разновидности режима МШ, «монитор слов» или «монитор сообщений» д) поддержка комбинированного режима ОУ/МШ е) поддержка формирования очереди сообщений ж) поддержка режима возобновления передачи сообщения	2 1 Мбит/с КШ, ОУ, МШ да да да да
Контроллер ARINC-429: а) количество приемников б) количество передатчиков в) программируемая скорость	16 16 12.5, 50, 100 кбит/с
Контроллер UART: а) количество контроллеров в системе б) программирование скорости передачи данных в) максимальная скорость передачи г) программируемый формат посылки (5, 6, 7, 8 бит данных, контроль четности, 1; 1,5; 2 стоповых бита) д) управление потоком данных по средствам сигналов RTS/CTS е) FIFO для приема данных ж) FIFO для передачи данных з) поддержка прямого доступа в память и) типы маскируемых прерываний	2 да до 20 Мбит/с да да 1024 байт 1024 байт да отсутствие приема в течение заданного интервала времени, FIFO приемника заполнено до заданного уровня, переполнение FIFO приемника, FIFO передатчика заполнено до заданного уровня, переполнение FIFO передатчика

									Лист
									7
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
34203-3	<i>Редхелл</i> 24.10.2019		34203-2						

Наименование параметра	Значение
Контроллер совмещенного интерфейса GSPI/SDIO: а) количество контроллеров б) контроллер SPI: – количество сигналов выборки устройств – программируемая скорость – режим работы – поддержка прямого доступа к памяти (GSPI) в) контроллер SDIO: – поддержка спецификации SD – поддерживаемые размеры блоков обмена данными – поддержка прямого доступа к памяти	2 1 до 12,5 Мбит/с Master да SD1.01/1.1/2.0 512 байт, 1 Кбайт, 2 Кбайт да
Контроллер I ² C: а) количество каналов б) программируемая скорость в) режим работы г) режимы адресации	1 100, 400, 1000 Кбит/с Multi Master 7/10 бит
Контроллер GPIO: а) количество входов/выходов на контроллер б) количество контроллеров в системе в) программное управление направлением выводов г) побитовая конфигурация направления выводов д) маскирование прерываний е) прерывание при переходе из “0” в “1” ж) прерывание при переходе из “1” в “0” з) уровни напряжений	8 3 Программируемое да да да да 3,3 В (LVCMOS)
Контроллер DMA: а) количество каналов контроллера б) количество контроллеров в системе в) наличие дескрипторов, расположенных во внешней памяти г) максимальное количество дескрипторов д) поддержка организации дескрипторов в связный список е) переход к следующему дескриптору ж) режимы запуска з) режимы остановки и) прерывание по окончании работы с дескриптором к) маскирование прерываний л) определение текущего состояния DMA м) двумерные операции	один канал чтения, один канал записи 4 да не ограничено да да автоматически, программный запуск, запуск по событию, возобновление работы после остановки программный сброс, приостановка работы да (программируется в дескрипторе) да по состоянию регистров контроллера да
Контроллер внутрисхемной отладки: а) тип интерфейса б) возможность доступа к внутренним регистрам микросхемы	JTAG да

1.2.2 Список выводов СБИС МИ БИУС

Список выводов СБИС МИ БИУС представлен в таблице 2.

									Лист
									8
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

Таблица 2 – Список выводов СБИС МИ БИУС

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
Выводы интерфейса DDR3, контроллер 0 (62 вывода)					
DDR0_A<0-15>	16	Вых.	-	Шина адреса	J26, J25, J24, J23, J22, H26, H25, H24, H23, H22, G26, G25, G24, G23, G22, F23
DDR0_DQ<0-23>	24	Вх.\ Вых	-	Шина данных	U26, U25, U24, T26, T25, R24, R26, R25, N26, N25, N24, M26, M25, M24, L26, L25, E26, E25, C26, D25, C25, C24, D23, E23
DDR0_DQS<0-2> DDR0_DQSN<0-2>	6	Вых.	-	Дифференциальные стробы данных	U23, M23, D24, T23, L23, E24
DDR0_DM<0-2>	3	Вых.	-	Сигналы байтового маскирования данных при операциях записи	T24, L24, D26
DDR0_BA<0-2>	3	Вых.	-	Сигналы выбора внутренних банков микросхемы DDR3-памяти	M21, N21, P22
DDR0_CK, DDR0_CKN	2	Вых.	-	Дифференциальный тактовый сигнал для микросхемы DDR3-памяти	K22, K21
DDR0_CKE	1	Вых.	-	Сигнал разрешения тактирования	N22
DDR0_CSN	1	Вых.	-	Сигнал выбора микросхемы DDR3-памяти	J21
DDR0_RASN	1	Вых.	-	Строб адреса строки DDR3-памяти	P21
DDR0_CASN	1	Вых.	-	Строб адреса столбца DDR3-памяти	T21
DDR0_WEN	1	Вых.	-	Признак операции записи	R22
DDR0_RSTN	1	Вых.	-	Сигнал сброса микросхемы DDR3-памяти	U21
DDR0_ODT	1	Вых.	-	Сигнал управления встроенными согласующими резисторами микросхемы DDR3-памяти	R21
DDR0_CAL0	1	Вх.	-	На печатной плате подключается на землю через резистр номинала 240 Ом ± 1 %	L21
DDR0_ATB<0-1>	2	Вх.\ Вых	-	Выводы тестовой аналоговой шины интерфейса. Допускается оставлять неподключенными	G21, H21
DDR0_PLLTST_P, DDR0_PLLTST_N	2	Вх.\ Вых	-	Дифференциальные тестовые выводы PLL интерфейса. Допускается оставлять неподключенными	F22, F21
Выводы интерфейса DDR3, контроллер 1 (62 вывода)					
DDR1_A<0-15>	16	Вых.	-	Шина адреса	J1, J2, J3, J4, J5, H1, H2, H3, H4, H5, G1, G2, G3, G4, G5, F4

					Лист
					9
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
DDR1_DQ<0-23>	24	Вх.\ Вых	-	Шина данных	U1, U2, U3, T1, T2, R3, R1, R2, N1, N2, N3, M1, M2, M3, L1, L2, E1, E2, C1, D2, C2, C3, D4, E4
DDR1_DQS<0-2>, DDR1_DQSN<0-2>	6	Вых.	-	Дифференциальные стробы данных	U4, M4, D3, T4, L4, E3
DDR1_DM<0-2>	3	Вых.	-	Сигналы байтового маскирования данных при операциях записи	T3, L3, D1
DDR1_BA<0-2>	3	Вых.	-	Сигналы выбора внутренних банков микросхемы DDR3-памяти	M6, N6, P5
DDR1_CK, DDR1_CKN	2	Вых.	-	Дифференциальный тактовый сигнал для микросхемы DDR3-памяти	K5, K6
DDR1_CKE	1	Вых.	-	Сигнал разрешения тактирования	N5
DDR1_CSN	1	Вых.	-	Сигнал выбора микросхемы DDR3-памяти	J6
DDR1_RASN	1	Вых.	-	Строб адреса строки DDR3-памяти	P6
DDR1_CASN	1	Вых.	-	Строб адреса столбца DDR3-памяти	T6
DDR1_WEN	1	Вых.	-	Признак операции записи	R5
DDR1_RSTN	1	Вых.	-	Сигнал сброса микросхемы DDR3-памяти	U6
DDR1_ODT	1	Вых.	-	Сигнал управления встроенными согласующими резисторами микросхемы DDR3-памяти	R6
DDR1_CAL0	1	Вх.	-	Вывод для подключения калибровочного резистора. На печатной плате подключается на землю через резистр номинала 240 Ом ± 1 %	L6
DDR1_ATB<0-1>	2	Вх.\ Вых	-	Выводы тестовой аналоговой шины интерфейса DDR3. Допускается оставлять неподключенными	G6, H6
DDR1_PLLTST_P, DDR1_PLLTST_N	2	Вх.\ Вых	-	Дифференциальные тестовые выводы PLL интерфейса. Допускается оставлять неподключенными	F5, F6
Выводы интерфейса PCIe Express 2.0 (21 вывод)					
PCIЕ_TXP<0-3>	4	Вых.	-	Дифференциальные выходы данных	AF22, AF24, AF18, AF16
PCIЕ_TXN<0-3>	4				AE22, AE24, AE18, AE16
PCIЕ_RXP<0-3>	4	Вх.	-	Дифференциальные входы данных	AD21, AD23, AD19, AD17
PCIЕ_RXN<0-3>	4				AC21, AC23, AC19, AC17

					ЮФКВ.431268.020PЭ	Лист 10
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
PCIE_CLKP, PCIE_CLKN	2	Вх.	-	Выводы для подключения генератора опорного синхросигнала номиналом 100 МГц ± 0,03 % с дифференциальным интерфейсом HSCL	AF20, AE20
PCIE_REXT	1		-	Вывод для подключения калибровочного резистора. На печатной плате подключается на землю через резистр номинала 3,01 кОм ± 1 %	AC15
PCIE_ATB<0-1>	2		-	Аналоговая тестовая шина	AD15, AD14
Выводы интерфейса SPI/SDIO, контроллер 0 (6 выводов)					
SPI0_SCK	1	Вых.	8	Выход тактового сигнала	A20
SPI0_MOSI ²⁾	1	Вх.\ Вых.	8	Выход данных SPI0/Команда SDIO0	C20
SPI0_MISO ²⁾	1	Вх.\ Вых.	8	Вход данных SPI0/Линия данных 0 SDIO0	D20
SPI0_IRQ ²⁾	1	Вх.\ Вых.	8	Прерывание SPI0/Линия данных 1 SDIO0	B20
SPI0_DAT2 ²⁾	1	Вх.\ Вых.	8	Линия данных 2 SDIO0	C21
SPI0_SCS ²⁾	1	Вх.\ Вых.	8	Выбор ведомого SPI0/Линия данных 3 SDIO0	D21
Выводы интерфейса SPI/SDIO, контроллер 1 (6 выводов)					
SPI1_SCK	1	Вых.	8	Выход тактового сигнала	A22
SPI1_MOSI ²⁾	1	Вх.\ Вых.	8	Выход данных SPI1/Команда SDIO1	D22
SPI1_MISO ²⁾	1	Вх.\ Вых.	8	Вход данных SPI1/Линия данных 0 SDIO1	B21
SPI1_IRQ ²⁾	1	Вх.\ Вых.	8	Прерывание SPI1/Линия данных 1 SDIO1	C22
SPI1_DAT2 ²⁾	1	Вх.\ Вых.	8	Линия данных 2 SDIO1	B22
SPI1_SCS ²⁾	1	Вх.\ Вых.	8	Выбор ведомого SPI1/Линия данных 3 SDIO1	A21
Выводы интерфейса I2C, контроллер 0 (2 вывода)					
I2C0_SDA	1	Вх.\ Вых.	-	Сигнал данных	Y20
I2C0_SCL	1	Вых.	-	Синхросигнал I2C	AA20
Выводы интерфейса I2C, контроллер 1 (2 вывода)					
I2C1_SDA	1	Вх.\ Вых.	-	Сигнал данных	Y19
I2C1_SCL	1	Вых.	-	Синхросигнал I2C	AA19
Выводы интерфейса CAN, контроллер 0 (2 вывода)					
CAN0_RX	1	Вх.	4	Вход приемника	A25
CAN0_TX	1	Вых.	4	Выход передатчика	B25
Выводы интерфейса CAN, контроллер 1 (2 вывода)					
CAN1_RX	1	Вх.	4	Вход приемника	A24
ЮФКВ.431268.020РЭ					Лист
					11
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	
			Подп. и дата		

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
CAN1_TX	1	Вых.	4	Выход передатчика	B24
Выводы интерфейса МКИО, контроллер 0 (10 выводов)					
MK0_RXA	1	Вх.	-	Вход приемника основного канала (прямой сигнал)	C7
MK0_RXA_N	1	Вх.	-	Вход приемника основного канала (инверсный сигнал)	C6
MK0_RXB	1	Вх.	-	Вход приемника резервного канала (прямой сигнал)	B7
MK0_RXB_N	1	Вх.	-	Вход приемника резервного канала (инверсный сигнал)	B6
MK0_TXA	1	Вых.	4	Выход передатчика основного канала (прямой сигнал)	D7
MK0_TXA_N	1	Вых.	4	Выход передатчика основного канала (инверсный сигнал)	E7
MK0_TXB	1	Вых.	4	Выход передатчика резервного канала (прямой сигнал)	A7
MK0_TXB_N	1	Вых.	4	Выход передатчика резервного канала (инверсный сигнал)	A6
MK0_TXINHA	1	Вых.	4	Запрет работы передатчика основного канала	D6
MK0_TXINHВ	1	Вых.	4	Запрет работы передатчика резервного канала	D5
Выводы интерфейса МКИО, контроллер 1 (10 выводов)					
MK1_RXA	1	Вх.	-	Вход приемника основного канала (прямой сигнал)	B3
MK1_RXA_N	1	Вх.	-	Вход приемника основного канала (инверсный сигнал)	B2
MK1_RXB	1	Вх.	-	Вход приемника резервного канала (прямой сигнал)	A3
MK1_RXB_N	1	Вх.	-	Вход приемника резервного канала (инверсный сигнал)	A2
MK1_TXA	1	Вых.	4	Выход передатчика основного канала (прямой сигнал)	C5
MK1_TXA_N	1	Вых.	4	Выход передатчика основного канала (инверсный сигнал)	C4
MK1_TXB	1	Вых.	4	Выход передатчика резервного канала (прямой сигнал)	B5
MK1_TXB_N	1	Вых.	4	Выход передатчика резервного канала (инверсный сигнал)	B4
MK1_TXINHA	1	Вых.	4	Запрет работы передатчика основного канала	A4
MK1_TXINHВ	1	Вых.	4	Запрет работы передатчика резервного канала	A5
Выводы интерфейса ARINC-429 (82 вывода)					
ARNC_RXA<0-15>	16	Вх.	-	Входы приемников (прямой сигнал)	A19, A18, A17, A16, D14, A14, B13, B11, A10, B9, A8, F17, E16, E14, E12, F10
ARNC_RXB<0-15>	16	Вх.	-	Входы приемников (инверсный сигнал)	C19, B18, B17, B16, C15, B14, A13, A11, B10, A9, C8, E17, F16, F14, F12, E10

					ЮФКВ.431268.020РЭ	Лист 12
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
ARNC_TXA<0-15>	16	Вых.	4	Выходы передатчиков (прямой сигнал)	E19, C18, C17, D15, A15, C14, B12, C12, C10, C9, E8, E18, F15, F13, F11, E9
ARNC_TXB<0-15>	16	Вых.	4	Выходы передатчиков (инверсный сигнал)	D19, D18, D17, C16, B15, C13, A12, C11, D10, D9, D8, F18, E15, E13, E11, F9
ARNC_TESTA	1	Вых.	4	Выход тестовой последовательности (прямой сигнал)	D12
ARNC_TESTB	1	Вых.	4	Выход тестовой последовательности (инверсный сигнал)	D13
ARNC_SLP<0-15> ²⁾	16	Вх.\ Вых.	4	Выбор наклона фронта выходного сигнала	AF13, AE13, AD13, AC13, AB13, AA13, AF12, AE12, AD12, AC12, AB12, AA12, AF11, AE11, AC11, AB11

Выходы интерфейса UART, контроллер 0 (4 вывода)

UART0_RXD	1	Вх.		Вход принимаемых данных	Y23
UART0_TXD	1	Вых.	4	Выход передаваемых данных	AA23
UART0_RTS	1	Вых.	4	Запрос на передачу данных	AA24
UART0_CTS	1	Вх.		Разрешение передачи данных	W23

Выходы интерфейса UART, контроллер 1 (4 вывода)

UART1_RXD	1	Вх.		Вход принимаемых данных	AA22
UART1_TXD	1	Вых.	4	Выход передаваемых данных	Y22
UART1_RTS	1	Вых.	4	Запрос на передачу данных	AA21
UART1_CTS	1	Вх.		Разрешение передачи данных	Y21

Выходы интерфейсов Ethernet и MDIO, контроллеры 0-3 (34 вывода)

SGMII0_TXP, SGMII0_TXN	2	Вых.	-	Дифференциальный выход передатчика контроллера Ethernet0	AE1, AE2
SGMII0_RXP, SGMII0_RXN	2	Вх.	-	Дифференциальный вход приемника контроллера Ethernet0	AF2, AF3
SGMII1_TXP, SGMII1_TXN	2	Вых.	-	Дифференциальный выход передатчика контроллера Ethernet1	AC1, AC2
SGMII1_RXP, SGMII1_RXN	2	Вх.	-	Дифференциальный вход приемника контроллера Ethernet1	AD2, AD3
SGMII2_TXP, SGMII2_TXN	2	Вых.	-	Дифференциальный выход передатчика контроллера Ethernet2	AA1, AA2
SGMII2_RXP, SGMII2_RXN	2	Вх.	-	Дифференциальный вход приемника контроллера Ethernet2	AB2, AB3

					Лист		
					13		
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ		
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата		
34203-3	<i>Redell</i> 24.10.2019		34203-2				

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
SGMII3_TXP, SGMII3_TXN	2	Вых.	-	Дифференциальный выход передатчика контроллера Ethernet3	W1, W2
SGMII3_RXP, SGMII3_RXN	2	Вх.	-	Дифференциальный вход приемника контроллера Ethernet3	Y2, Y3
SGMII_TDA	1	Вх.\ Вых.	-	Тестовый сигнал. Допускается оставлять неподключенным	AE4
SGMII_RES	1	Вх.\ Вых.	-	Вывод для подключения калибровочного резистора. На печатной плате подключается на землю через резистр номинала 100 Ом ± 1 %	AC4
MDIO0_MDC ²⁾	1	Вых	4	Синхросигнал обмена по интерфейсу MDIO0	Y6
MDIO0_MDIO ²⁾	1	Вх.\ Вых.	4	Сигнал данных интерфейса MDIO0	W5
MDIO0_INT ²⁾	1	Вх.	-	Сигнал прерывания интерфейса MDIO0	W4
MDIO0_RSTN ²⁾	1	Вых.	4	Сигнал сброса интерфейса MDIO0	Y5
MDIO1_MDC ²⁾	1	Вых	4	Синхросигнал обмена по интерфейсу MDIO1	AA5
MDIO1_MDIO ²⁾	1	Вх.\ Вых.	4	Сигнал данных интерфейса MDIO1	AC5
MDIO1_INT ²⁾	1	Вх.	-	Сигнал прерывания интерфейса MDIO1	AD5
MDIO1_RSTN ²⁾	1	Вых.	4	Сигнал сброса интерфейса MDIO1	AB5
MDIO2_MDC ²⁾	1	Вых	4	Синхросигнал обмена по интерфейсу MDIO2	AA6
MDIO2_MDIO ²⁾	1	Вх.\ Вых.	4	Сигнал данных интерфейса MDIO2	AC6
MDIO2_INT ²⁾	1	Вх.	-	Сигнал прерывания интерфейса MDIO2	AD6
MDIO2_RSTN ²⁾	1	Вых.	4	Сигнал сброса интерфейса MDIO2	AB6
MDIO3_MDC ²⁾	1	Вых	4	Синхросигнал обмена по интерфейсу MDIO3	AE5
MDIO3_MDIO ²⁾	1	Вх.\ Вых.	4	Сигнал данных интерфейса MDIO3	AE6
MDIO3_INT ²⁾	1	Вх.	-	Сигнал прерывания интерфейса MDIO3	AF5
MDIO3_RSTN ²⁾	1	Вых.	4	Сигнал сброса интерфейса MDIO3	AF6
Выводы интерфейса GPIO, контроллеры 0-2 (24 вывода)					
GPIO0_<0-7> ³⁾	8	Вх.\ Вых.	4	Выводы контроллера программируемого порта ввода/вывода GPIO0	AF10, AE10, AD10, AC10, AB10, AA11, AA10, AF9
GPIO1_<0-7> ²⁾	8	Вх.\ Вых.	4	Выводы контроллера программируемого порта ввода/вывода GPIO1	AE9, AD9, AC9, AB9, AA9, AF8, AE8, AD8
GPIO2_<0-7> ²⁾	8	Вх.\ Вых.	4	Выводы контроллера программируемого порта ввода/вывода GPIO2	AC8, AB8, AA8, AF7, AE7, AC7, AA7, AB7

					ЮФКВ.431268.020РЭ	Лист 14
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
Выводы внешних прерываний (2 вывода)					
WDT_IRQ	1	Вых.	4	Прерывание от сторожевого таймера	AC26
EXT_IRQ	1	Вых.	4	Сигнал прерывания от блока генерации внешнего сигнала прерывания	AD25
Выводы системных сигналов (4 вывода)					
NRST_PON	1	Вх.	-	Входной сигнал сброса микросхемы	AC25
NRST_SYS	1	Вх.\ Вых	4	Входной сигнал сброса микросхемы/Выходной сигнал сброса системы	AD26
REFCLK	1	Вх.	-	Вывод для подключения генератора опорного синхросигнала номиналом 16 МГц ± 0,03 %	W24
TMODE	1	Вх.	-	Входной сигнал включения тестового режима	AE26
Выводы отладочного интерфейса JTAG (5 выводов)					
DBG_TDI ¹⁾	1	Вх.	-	Вывод входного сигнала отладочного JTAG-интерфейса	Y24
DBG_TMS ¹⁾	1	Вх.	-	Вывод сигнал выбора тестового режима отладочного JTAG-интерфейса	Y25
DBG_TCK ¹⁾	1	Вх.	-	Вывод синхросигнала отладочного JTAG-интерфейса	W25
DBG_TRSTN ¹⁾	1	Вх.	-	Вывод сигнала сброса отладочного JTAG-интерфейса	Y26
DBG_TDO	1	Вых.	4	Вывод выходного сигнала отладочного JTAG-интерфейса	AB25
Выводы DFT-интерфейса JTAG (5 выводов)					
DFT_TDI ¹⁾	1	Вх.	-	Вывод входного сигнала JTAG-интерфейса тестовых	AB24
DFT_TMS ¹⁾	1	Вх.	-	Вывод сигнал выбора тестового режима отладочного JTAG-интерфейса	AA26
DFT_TCK ¹⁾	1	Вх.	-	Вывод синхросигнала отладочного JTAG-интерфейса	W26
DFT_TRSTN ¹⁾	1	Вх.	-	Вывод сигнала сброса отладочного JTAG-интерфейса	AB26
DFT_TDO	1	Вых.	4	Вывод выходного сигнала отладочного JTAG-интерфейса	AA25
Выводы электропитания (327 выводов)					
CRG0_VDD_TDC	1	Вх.	-	Электропитание цифровых схем системного ФАПЧ	V19
CRG0_VDDPLL	1	Вх.	-	Электропитание аналоговых схем фазового детектора системного ФАПЧ	U19
CRG1_VDD_TDC	1	Вх.	-	Электропитание цифровых схем ФАПЧ интерфейса DDR3	W19
CRG1_VDDPLL	1	Вх.	-	Электропитание аналоговых схем фазового детектора ФАПЧ интерфейса DDR3	T19

					ЮФКВ.431268.020РЭ	Лист 15
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
DDR0_VDDQ	6	Вх.	-	Электропитание интерфейса DDR3, канал 0	G20, J20, L20, N20, R20, U20
DDR1_VDDQ	6	Вх.	-	Электропитание интерфейса DDR3, канал 1	G7, J7, L7, N7, R7, U7
PCI_CMN_AVDD	1	Вх.	-	Общее электропитание аналоговых низкочастотных схем интерфейса PCI Express	W15
PCI_CMN_AVDDCLK	1	Вх.	-	Общее электропитание аналоговых высокочастотных схем интерфейса PCI Express	V16
PCI_CMN_AVDDH	1	Вх.	-	Общее электропитание аналоговых схем интерфейса PCI Express	W16
PCI_RXAVDD	1	Вх.	-	Электропитание аналоговых низкочастотных схем приемника PCI Express	V18
PCI_RXAVDDCLK	1	Вх.	-	Электропитание аналоговых высокочастотных схем приемника PCI Express	W17
PCI_TXAVDD	1	Вх.	-	Электропитание аналоговых низкочастотных схем приемника PCI Express	V17
PCI_TXAVDDCLK	1	Вх.	-	Электропитание аналоговых высокочастотных схем приемника PCI Express	W18
PCI_VAUX	1	Вх.	-	Вспомогательное электропитание интерфейса PCI Express	V15
SG_VDDA_CIO	2	Вх.	-	Электропитание аналоговой схемы буферов приемника и передатчика по интерфейсу SGMII	V8, W8
SG_VDDA_CIO_CM	1	Вх.	-	Электропитание аналоговой схемы буферов ввода-вывода ФАПЧ интерфейса SGMII	W9
SG_VDDA_CORE_CM	1	Вх.	-	Электропитание ФАПЧ интерфейса SGMII	V9
SG_VDDA_CORE_RX	2	Вх.	-	Электропитание аналоговой схемы приемника интерфейса SGMII	V10, V11
SG_VDDA_CORE_TX	2	Вх.	-	Электропитание аналоговой схемы передатчика интерфейса SGMII	W10, W11
TS_AVDD	1	Вх.	-	Электропитание аналоговой схемы температурного датчика	J9
VDD	48	Вх.	-	Электропитание цифрового ядра микросхемы	H11, H12, H15, H16, J11, J12, J15, J16, K9, K10, K13, K14, K17, K18, L9, L10, L13, L14, L17, L18, M11, M12, M15, M16, N11, N12, N15, N16, P9, P10, P13, P14, P17, P18, R9, R10, R13, R14, R17, R18, T11, T12, T15, T16, U11, U12, U15, U16

					Лист	
					16	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Обозначение	Кол.	Тип	Вых. ток, мА	Функциональное назначение	Вывод корпуса
VDDIO	18	Вх.	-	Электропитание периферийных КМОП-буферов	F8, F19, G9, G11, G13, G14, G16, G18, V7, V20, W6, W21, Y8, Y10, Y12, Y14, Y16, Y18
TS_AVSSREF	1	Вх.	-	Опорная земля аналоговой схемы температурного датчика	H9
TS_AVSS	1	Вх.	-	Земля аналоговой схемы температурного датчика	H8
VSS	218	Вх.	-	Общая земля	A1, A23, A26, AA3, AA4, AA14, AA15, AA16, AA17, AA18, AB1, AB4, AB14, AB15, AB16, AB17, AB18, AB19, AB20, AB21, AB22, AB23, AC3, AC14, AC16, AC18, AC20, AC22, AC24, AD1, AD4, AD7, AD11, AD16, AD18, AD20, AD22, AD24, AE3, AE14, AE15, AE17, AE19, AE21, AE23, AE25, AF1, AF4, AF14, AF15, AF17, AF19, AF21, AF23, AF25, AF26, B1, B8, B19, B23, B26, C23, D11, D16, E5, E6, E20, E21, E22, F1, F2, F3, F7, F20, F24, F25, F26, G8, G10, G12, G15, G17, G19, H7, H10, H13, H14, H17, H18, H19, H20, J8, J10, J13, J14, J17, J18, J19, K1, K2, K3, K4, K7, K8, K11, K12, K15, K16, K19, K20, K23, K24, K25, K26, L5, L8, L11, L12, L15, L16, L19, L22, M5, M7, M8, M9, M10, M13, M14, M17, M18, M19, M20, M22, N4, N8, N9, N10, N13, N14, N17, N18, N19, N23, P1, P2, P3, P4, P7, P8, P11, P12, P15, P16, P19, P20, P23, P24, P25, P26, R4, R8, R11, R12, R15, R16, R19, R23, T5, T7, T8, T9, T10, T13, T14, T17, T18, T20, T22, U5, U8, U9, U10, U13, U14, U17, U18, U22, V1, V2, V3, V4, V5, V6, V12, V13, V14, V21, V22, V23, V24, V25, V26, W3, W7, W12, W13, W14, W20, W22, Y1, Y4, Y7, Y9, Y11, Y13, Y15, Y17

					ЮФКВ.431268.020РЭ		Лист
							17
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redkhal</i> 24.10.2019		34203-2			

Примечания

- 1) Данные выводы имеют внутреннюю подтяжку к уровню логической 1, которая может быть отключена через регистры системного контроллера SCTL (см. п. 1.4.1.5.5).
- 2) Данные выводы имеют внутреннюю подтяжку к уровню логического 0, которая может быть отключена через регистры системного контроллера SCTL (см. п. 1.4.1.5.5).
- 3) Выводы GPIO0<3-7> имеют внутреннюю подтяжку к уровню логического 0, которая может быть отключена через регистры системного контроллера SCTL (см. п. 1.4.1.5.5). Выводы GPIO0<0-2> внутренней подтяжки не имеют.

1.2.3 Расположение выводов СБИС МИ БИУС

Для размещения микросхемы СБИС МИ БИУС используется корпус HSFCBGA-676 (рисунки 1 и 2).

Расположение выводов корпуса микросхемы СБИС МИ БИУС представлено на рисунке 2.

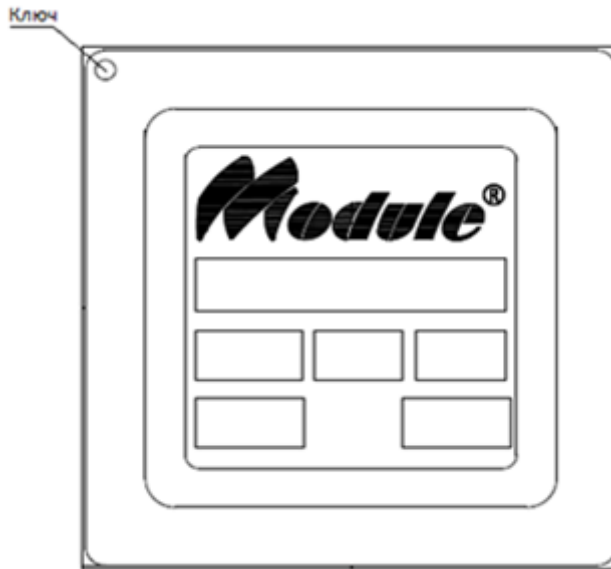


Рисунок 1 – Корпус СБИС МИ БИУС, вид со стороны крышки корпуса

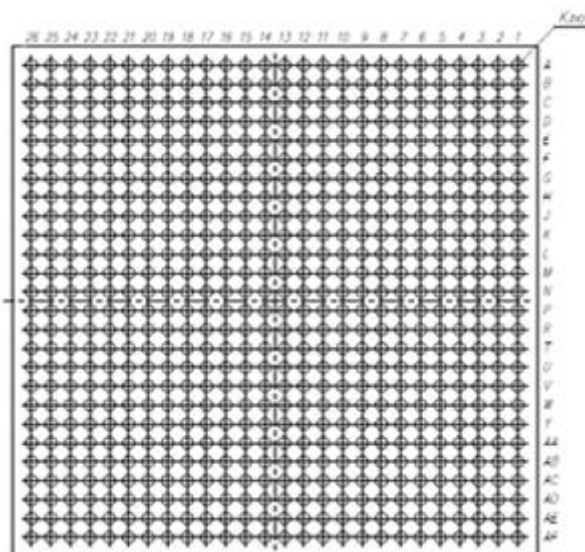


Рисунок 2 – Корпус СБИС МИ БИУС, вид со стороны выводов

					ЮФКВ.431268.020РЭ			Лист
								18
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

1.2.4 Электрические параметры СБИС МИ БИУС

1.2.4.1 Номинальные и граничные значения напряжений питания СБИС МИ БИУС

Значения напряжений питания СБИС МИ БИУС при предельно-допустимом и предельном режимах в диапазоне рабочих температур (см. п. 2.1.1) приведены в таблице 3.

Таблица 3 – Значения напряжений питания СБИС МИ БИУС при предельно-допустимом и предельном режимах

Наименование параметра	Буквенное обозначение напряжения питания	Предельно-допустимый режим		Предельный режим		Обозначение выводов цепей питания в табл. 2
		не менее	не более	не менее	не более	
Напряжение электропитания цифровых периферийных КМОП-буферов, В	U _{cc1}	3,135	3,465	–	3,6	VDDIO
Напряжение электропитания цифрового ядра микросхемы, В	U _{cc2}	0,855	0,945	–	0,99	VDD
Напряжение электропитания схем ФАПЧ, приемопередатчиков интерфейсов PCIe и SGMII, В	U _{cc3}	0,855	0,945	–	0,99	Подгруппа CRG: CRG0_VDD_TDC CRG1_VDD_TDC CRG1_VDDPLL CRG0_VDDPLL
						Подгруппа PCI: PCI_CMN_AVDD PCI_RXAVDD PCI_TXAVDD PCI_VAUX PCI_CMN_AVDDCLK PCI_RXAVDDCLK PCI_TXAVDDCLK
						Подгруппа SG_CORE: SG_VDDA_CORE_TX SG_VDDA_CORE_CM SG_VDDA_CORE_RX
Напряжение электропитания интерфейсов DDR3L, В	U _{cc4}	1,2825	1,4175	–	1,5	DDR0_VDDQ DDR1_VDDQ
Напряжение электропитания общего интерфейса PCIe, буферов SGMII и температурного датчика, В	U _{cc5}	1,71	1,89	–	2,0	PCI_CMN_AVDDH
						Подгруппа SG_CIO: SG_VDDA_CIO SG_VDDA_CIO_CM
						TS_AVDD
Примечание – Рекомендуется объединять выводы цепей питания внутри каждой подгруппы в единую цепь и подключать ее к соответствующему источнику питания через LC-фильтр.						

1.2.4.2 Номинальные и граничные значения электрических параметров буферов ввода/вывода СБИС МИ БИУС

Значения электрических параметров буферов ввода/вывода СБИС МИ БИУС при предельно-допустимом и предельном режимах в диапазоне рабочих температур (см. п. 2.1.1) приведены в таблице 4.

									Лист
									19
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

Таблица 4 – Значения электрических параметров буферов ввода/вывода СБИС МИ БИУС при предельно-допустимом и предельном режимах

Наименование параметра	Буквенное обозначение	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Входное напряжение высокого уровня для КМОП-буферов, В	U_{ih}	2,0	3,6	–	3,6
Входное напряжение низкого уровня для КМОП-буферов, В	U_{il}	0	0,8	–0,3	–
Выходное напряжение высокого уровня для КМОП-буферов ($I_{oh}=4$ мА, $U_{cc1}=3,135$ В), В	U_{oh}	2,4	–	–	–
Выходное напряжение низкого уровня для КМОП-буферов ($I_{ol}=4$ мА, $U_{cc1}=3,465$ В), В	U_{ol}	–	0,4	–	–

1.2.4.3 Номинальные и граничные значения потребления СБИС МИ БИУС

Значения потребления СБИС МИ БИУС в диапазоне рабочих температур (см. п. 2.1.1) приведены в таблице 5.

Таблица 5 – Номинальные и граничные значения потребления СБИС МИ БИУС

Наименование параметра	Буквенное обозначение	Значение параметра
		не более
Статический ток потребления по цепи питания U_{cc2} , мА ($U_{cc2}=0,945$ В)	I_{cc2}	1000
Динамический ток потребления по цепи питания U_{cc1} , мА ($U_{cc1}=3,465$ В, максимальная частота обмена – не более 25 МГц по интерфейсу SPI, не более 1 МГц – по остальным интерфейсам с КМОП-буферами)	I_{cco1}	500
Динамический ток потребления по цепи питания U_{cc2} , мА ($U_{cc2}=0,945$ В, максимальная частота работы схем цифрового ядра микросхемы – 800 МГц)	I_{cco2}	5000
Динамический ток потребления по цепи питания U_{cc3} , мА ($U_{cc3}=0,99$ В, частота обмена по PCIE – 5 ГГц, частота обмена по SGMII – 625 МГц)	I_{cco3}	650
Динамический ток потребления по цепи питания U_{cc4} , мА ($U_{cc4}=1,485$ В, эффективная частота обмена – 1066 МГц (DDR3-1066))	I_{cco4}	1500
Динамический ток потребления по цепи питания U_{cc5} , мА ($U_{cc5}=1,98$ В, частота обмена по PCIE – 5 ГГц, частота обмена по SGMII – 625 МГц)	I_{cco5}	250
Ток утечки высокого и низкого уровня на входе, мкА ($U_{cc1}=3,465$ В, $U_{ih}=3,6$ В, $U_{il}=0,0$ В)	I_{LH} I_{LL}	10
Выходной ток в состоянии «выключено» (третье состояние), мкА ($U_{cc1} = 3,465$ В, $U_{oh}=3,3$ В, $U_{ol}=0,0$ В)	I_{oz}	10

					ЮФКВ.431268.020РЭ		Лист
							20
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

1.2.4.4 Временные диаграммы и динамические параметры тактовых сигналов и сигналов сброса СБИС МИ БИУС

Для корректного функционирования на микросхему СБИС МИ БИУС должны быть поданы следующие опорные синхросигналы:

- на вход REFCLK – опорный системный тактовый синхросигнал;
- на входы PCIE_CLKP и PCIE_CLKN – опорный дифференциальный тактовый синхросигнал интерфейса PCIe.

Кроме этого, на вход NRST_PON должен быть подан системный сигнал сброса.

Более подробно порядок начальной подачи сигналов на входы микросхемы описан в п. 1.4.1.4.

На рисунке 3 приведены временные диаграммы опорного системного тактового синхросигнала и сигнала сброса микросхемы СБИС МИ БИУС.

Значения параметров временной диаграммы приведены в таблице 6.

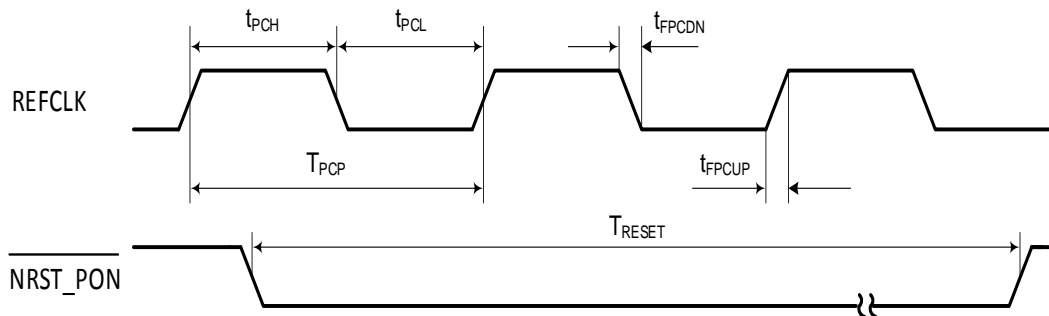


Рисунок 3 – Временные диаграммы опорного системного тактового синхросигнала и системного сигнала сброса микросхемы СБИС МИ БИУС

Таблица 6 – Временные параметры опорного системного тактового синхросигнала и сигнала сброса микросхемы СБИС МИ БИУС

Наименование параметра	Буквенное обозначение	Значение параметра, нс		
		не менее	номинал	не более
Период опорного системного тактового синхросигнала REFCLK	T_{PCP}	62,00	62,50	63
Длительность высокого уровня опорного системного тактового синхросигнала REFCLK	t_{PCH}	40 % *	50 % *	60 % *
Длительность низкого уровня опорного системного тактового синхросигнала REFCLK	t_{PCL}	40 % *	50 % *	60 % *
Длительность среза опорного системного тактового синхросигнала REFCLK	t_{FPCDN}	–	–	0,2
Длительность фронта опорного системного тактового синхросигнала REFCLK	t_{FPCUP}	–	–	0,2
Длительность активной фазы системного сигнала сброса NRST_PON	T_{RESET}	20 * T_{PCP}	–	–

Рисунок 4 иллюстрирует временную диаграмму опорного дифференциального тактового синхросигнала интерфейса PCI Express 2.0 СБИС МИ БИУС.

Значения параметров временной диаграммы приведены в таблице 7.

					Лист
					21
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	

ЮФКВ.431268.020РЭ

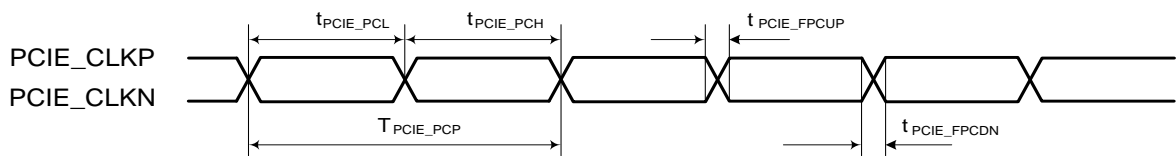


Рисунок 4 – Временная диаграмма опорного тактового синхросигнала интерфейса PCI Express 2.0 СБИС МИ БИУС

Таблица 7 – Временные параметры опорного дифференциального тактового синхросигнала интерфейса PCI Express 2.0 СБИС МИ БИУС

Наименование параметра	Буквенное обозначение	Значение параметра, нс		
		не менее	номинал	не более
Период опорного тактового сигнала PCIE_CLKP/ PCIE_CLKN	T_{PCIE_PCP}	9,997	10	10,003
Длительность высокого уровня опорного тактового сигнала PCIE_CLKP/ PCIE_CLKN	t_{PCIE_PCH}	40 % от периода	50 % от периода	60 % от периода
Длительность низкого уровня опорного тактового сигнала PCIE_CLKP/ PCIE_CLKN	t_{PCIE_PCL}	40 % от периода	50 % от периода	60 % от периода
Длительность среза опорного тактового сигнала PCIE_CLKP/ PCIE_CLKN	t_{PCIE_FPCDN}	–	–	0,2
Длительность фронта опорного тактового сигнала PCIE_CLKP/ PCIE_CLKN	t_{PCIE_FPCUP}	–	–	0,2

1.3 Состав СБИС МИ БИУС

Логически, СБИС МИ БИУС разделяется на четыре подсистемы:

- 1) Подсистема генерации синхросигналов и сигналов сброса, которая включает в себя следующие основные блоки:
 - блок генерации синхросигналов и сигналов сброса на базе блока ФАПЧ (CRG) – 3 шт.;
- 2) Подсистема управляющего процессора, которая включает в себя следующие основные блоки:
 - процессорное ядро Cortex-A5;
 - блок управления памятью (MMU) для поддержки системы виртуальной адресации;
 - кэш-память 1-го и 2-го уровней;
 - набор блоков CoreSight для поддержки отладочного доступа к внутренним ресурсам СБИС и отладочной трассировки программ;
 - контроллер прерываний GIC-390 – 1 шт.;
 - система таймеров – 1 шт.;
 - блок сдвоенных таймеров – 4 шт.;
 - сторожевой таймер – 1 шт.;
- 3) Подсистема высокоскоростных интерфейсных контроллеров, которая включает в себя следующие основные блоки:
 - контроллер оперативной памяти DDR3 – 2 шт.;
 - контроллер PCI Express 2.0 – 1 шт.;
 - контроллер внешних прерываний – 1 шт.;

									Лист
									22
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redhell</i> 24.10.2019		34203-2						

- встроенное загрузочное ПЗУ (BOOTROM), предназначенное для хранения исполняемого кода первичного загрузчика – 1 шт.;
 - встроенное статическое ОЗУ (SRAM) – 1 шт.;
 - контроллер интерфейса Ethernet 10/100/1000 – 4 шт.;
 - контроллер MDIO – 4 шт.;
 - контроллер DMA – 4 шт.;
- 4) Подсистема низкоскоростных интерфейсных контроллеров, которая включает в себя следующие основные блоки:
- контроллер UART – 2 шт.;
 - контроллер совмещенного интерфейса GSPI/SDIO – 2 шт.;
 - контроллер передачи данных в соответствии с ГОСТ Р 52070-2003 (МКИО) – 2 шт.;
 - контроллер ARINC-429 – 1 шт.;
 - контроллер CAN 2.0B – 2 шт.;
 - контроллер I²C – 2 шт.;
 - контроллер GPIO – 3 шт.;
 - контроллер измерения температуры – 1 шт.;
 - контроллер внутрисхемной отладки (JTAG) – 1 шт.

1.4 Устройство и работа СБИС МИ БИУС

1.4.1 Архитектура СБИС МИ БИУС

1.4.1.1 Структурная схема СБИС МИ БИУС

На рисунке 5 представлена структурная схема СБИС МИ БИУС.

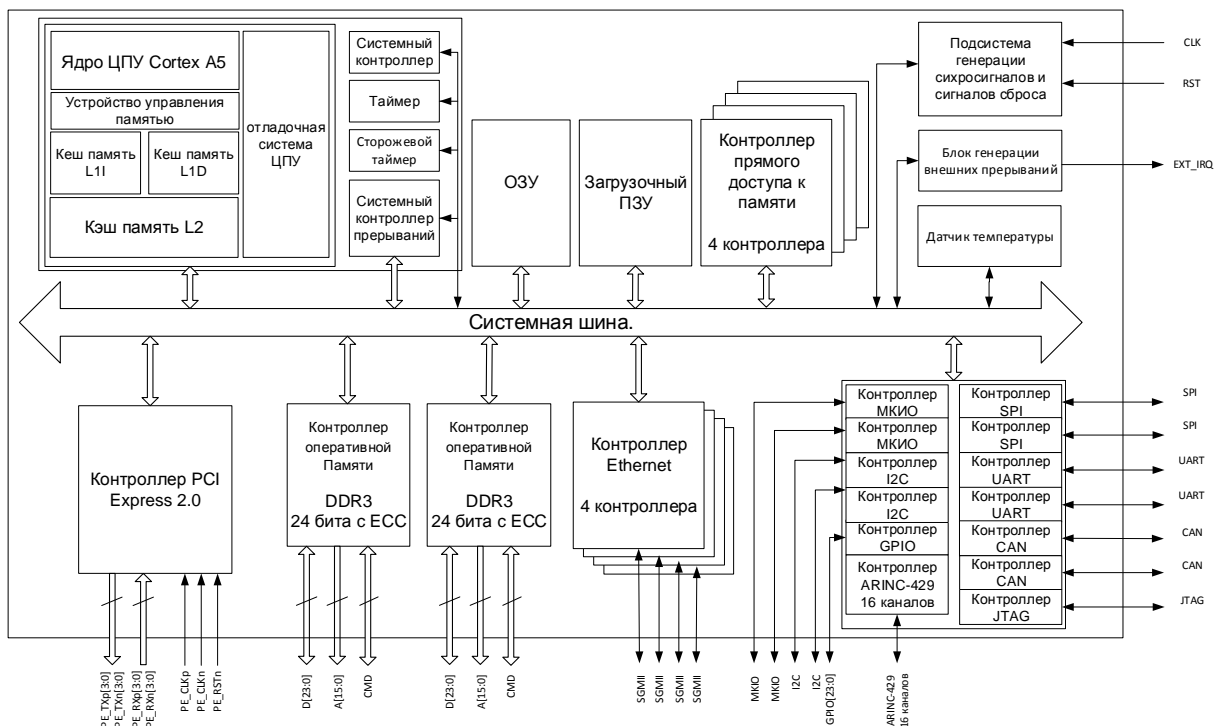


Рисунок 5 – Структурная схема СБИС МИ БИУС

					Лист
					23
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redchell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

1.4.1.2 Основные режимы работы СБИС МИ БИУС

Режимы работы СБИС МИ БИУС можно разделить на три класса:

- 1) функциональные режимы;
- 2) отладочные режимы;
- 3) тестовые режимы.

Выбор класса режима, в котором работает СБИС МИ БИУС, выполняется в момент после снятия активного уровня сигнала системного сброса на основе значений входных сигналов TMODE и GPIO0_1 (см. таблицу 8).

Таблица 8 – Задание режима работы СБИС МИ БИУС

TMODE	GPIO0_1	Класс режима
0	0	Функциональные режимы
0	1	Отладочные режимы
1	см. табл.	Тестовые режимы

1.4.1.2.1 Функциональные режимы СБИС МИ БИУС

СБИС МИ БИУС может работать в двух основных функциональных режимах, предназначенных для реализации конкретных прикладных функций информационно-управляющих систем:

- 1) Режим моста (bridge func). В этом случае СБИС МИ БИУС используется в информационно-управляющей системе в качестве моста, расширяющего состав интерфейсов за счет доступа отдельных компонент через шину PCI Express 2.0 к контроллерам интерфейсов, входящих в состав СБИС МИ БИУС. В данном режиме работы СБИС МИ БИУС контроллер PCI Express 2.0 автоматически переводится в режим работы оконечного устройства (Endpoint);
- 2) Режим СнК (SoC func). В этом случае СБИС МИ БИУС, за счет наличия встроенного центрального процессора, используется в качестве основного управляющего компонента информационно-управляющей системы. В данном режиме работы СБИС МИ БИУС контроллер PCI Express 2.0 автоматически переводится в режим работы корневого устройства (Root Port).

Выбор между этими двумя режимами задается в исполняемом коде вторичного загрузчика (см. п. 1.4.2.3). Благодаря тому, что вторичный загрузчик располагается в репрограммируемой внешней памяти, режимы работы СБИС МИ БИУС могут изменяться путем обновления исполняемого кода вторичного загрузчика.

Кроме перечисленных выше двух основных функциональных режимов, существует дополнительный функциональный режим – режим граничного сканирования (bsd_func), предназначенный для установки/считывания состояний буферов ввода-вывода СБИС МИ БИУС для проведения разнообразных проверок (например, проверки целостности соединений СБИС МИ БИУС с другими интегральными микросхемами) и измерений (например, измерение логических уровней на выводах СБИС МИ БИУС).

Данный режим может быть задействован через встроенный DFT-JTAG-интерфейс в произвольный момент времени, независимо и параллельно относительно режимов моста и СнК.

1.4.1.2.2 Отладочные режимы СБИС МИ БИУС

СБИС МИ БИУС может работать в одном отладочном режиме – режим загрузки под управлением внешней хост-машины (host_debug).

Данный режим предназначен для выполнения процессором в рамках процедуры загрузки после снятия сигнала сброса исполняемого кода, записанного в системную память СБИС МИ БИУС внешней хост-машиной.

Подробно данный режим рассмотрен в п. 1.4.2.4.

									Лист
									24
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redhall</i> 24.10.2019			34203-2					

1.4.1.2.3 Тестовые режимы СБИС МИ БИУС

Тестовые режимы предназначены для диагностирования аппаратуры СБИС МИ БИУС или для выполнения отладочных действий со СБИС МИ БИУС.

СБИС МИ БИУС может работать в следующих тестовых режимах:

1. Режим выполнения диагностики внутренней памяти (mbist_test). Данный режим предназначен для проведения самодиагностики всех экземпляров внутренней памяти на предмет наличия производственных дефектов, приводящих память в неработоспособное состояние.
2. Режим диагностики целостности внутренних схем методом сканирующих цепочек триггеров (scanchain_test). Данный режим предназначен для проведения автоматической диагностики внутренних схем и межсоединений СБИС МИ БИУС на предмет наличия производственных дефектов, приводящих микросхему в неработоспособное состояние. Данный режим может иметь несколько подрежимов в случае, если количество цепочек триггеров будет настолько велико, что для проведения тестирования будет недостаточно свободных буферов ввода-вывода СБИС МИ БИУС для подключения всех цепочек триггеров одновременно.
3. Режим диагностики ФАПЧ (pll_test). Данный режим предназначен для проведения автономной диагностики корректности функционирования блоков ФАПЧ.
4. Режим диагностики блоков с аналоговыми схемами (phy_test). Данный режим предназначен для проведения автономной диагностики следующих блоков с аналоговыми схемами:
 - блоки физического уровня DDR3-1066;
 - блок физического уровня PCIe 2.0;
 - блоки физического уровня SGMII.

Выбор тестового режима работы СБИС МИ БИУС выполняется при помощи сигналов GPIO0_0, GPIO0_1, GPIO0_2 (см.таблицу 9).

Таблица 9 – Задание тестового режима СБИС МИ БИУС

GPIO0_2, GPIO0_1, GPIO0_0 (TMODE=1)	Режим работы СБИС МИ БИУС
000	Режим выполнения диагностики внутренней памяти (mbist_test).
001 - 011	Режим диагностики целостности внутренних схем методом сканирующих цепочек триггеров (scanchain_test).
100	Режим диагностики ФАПЧ (pll_test)
101	Режим диагностики блоков с аналоговыми схемами (phy_test)

1.4.1.3 Карта памяти СБИС МИ БИУС

1.4.1.3.1 Карта памяти СБИС МИ БИУС

Карта памяти СБИС МИ БИУС представлена в таблице 10.

Таблица 10 – Карта памяти СБИС МИ БИУС

Начальный адрес	Конечный адрес	Размер	Описание
0x0000_0000	0x0003_FFFF	256KB	BROM (загрузочное ПЗУ)
0x0004_0000	0x0005_FFFF	128KB	eSRAM0 (внутреннее ОЗУ)

									Лист
									25
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redchell</i> 24.10.2019			34203-2					

Начальный адрес	Конечный адрес	Размер	Описание
0x0006_0000	0x0007_FFFF	128KB	eSRAM1 (внутреннее ОЗУ)
0x0100_0000	0x013F_FFFF	4MB	REG (регистры устройств)
0x4000_0000	0x7FFF_FFFF	1GB	PCIЕ (контроллер шины PCI-Express в роли Requester)
0x8000_0000	0xBFFF_FFFF	1GB	DDR0 (внешняя динамическая память, канал 0)
0xC000_0000	0xFFFF_FFFF	1GB	DDR1 (внешняя динамическая память, канал 1)

1.4.1.3.2 Карта регистров блоков СБИС МИ БИУС

Карта регистров отдельных блоков СБИС МИ БИУС приведена в таблице 11.

Таблица 11 – Карта регистров отдельных блоков СБИС МИ БИУС

Начальный адрес	Конечный адрес	Размер	Периферийная шина		Описание
			Адрес	Идентификатор	
0x0100_0000	0x0100_0FFF	4KB	APB_DBG	0	DAP_ROM
0x0100_1000	0x0100_1FFF	4KB		1	TMC ETF
0x0100_2000	0x0100_2FFF	4KB		2	TMC ETR
0x0100_3000	0x0100_3FFF	4KB		3	CTI1
0x0100_4000	0x0100_4FFF	4KB		4	ATB replicator
0x0100_5000	0x0100_5FFF	4KB		5	TPIU
0x0100_6000	0x0100_6FFF	4KB		6	TS Generator
0x0100_7000	0x0100_7FFF	4KB		7	
0x0100_8000	0x0100_8FFF	4KB		8	APBIC_ROM0
0x0100_9000	0x0100_9FFF	4KB		9	ETM0
0x0100_A000	0x0100_AFFF	4KB		10	Debug_Reg0
0x0100_B000	0x0100_BFFF	4KB		11	Perf Monitor0
0x0100_C000	0x0100_CFFF	4KB		12	CTI0
0x0100_D000	0x0100_DFFF	4KB		13	
0x0100_E000	0x0100_EFFF	4KB		14	
0x0100_F000	0x0100_FFFF	4KB	15		
0x0101_0000	0x0101_0FFF	4KB	APBF0	0	MDMA-GP0
0x0101_1000	0x0101_1FFF	4KB		1	MDMA-GP1
0x0101_2000	0x0101_2FFF	4KB		2	MDMA-GP2
0x0101_3000	0x0101_3FFF	4KB		3	MDMA-GP3
0x0101_4000	0x0101_4FFF	4KB		4	MGETH0
0x0101_5000	0x0101_5FFF	4KB		5	MGETH1
0x0101_6000	0x0101_6FFF	4KB		6	MGETH2
0x0101_7000	0x0101_7FFF	4KB		7	MGETH3
0x0101_8000	0x0101_8FFF	4KB		8	EXT_IRQ_GEN
0x0101_9000	0x0101_9FFF	4KB		9	ADDR_TRANS_SLV
0x0101_A000	0x0101_AFFF	4KB		10	ADDR_TRANS_MST
0x0101_B000	0x0101_BFFF	4KB		11	
0x0101_C000	0x0101_CFFF	4KB		12	
0x0101_D000	0x0101_DFFF	4KB		13	
0x0101_E000	0x0101_EFFF	4KB		14	
0x0101_F000	0x0101_FFFF	4KB	15		
0x0102_0000	0x0102_7FFF	32KB	APBS0	0	CAN 2.0B 0
0x0102_8000	0x0102_FFFF	32KB		1	CAN 2.0B 1
0x0103_0000	0x0103_1FFF	8KB		2	ARINC-429
0x0103_2000	0x0103_2FFF	4KB		3	TVSENS
0x0103_3000	0x0103_3FFF	4KB		4	DDR0_BIST_CTRL
0x0103_4000	0x0103_4FFF	4KB		5	DDR1_BIST_CTRL
0x0103_5000	0x0103_5FFF	4KB		6	
0x0103_6000	0x0103_6FFF	4KB		7	
0x0103_7000	0x0103_7FFF	4KB		8	
0x0103_8000	0x0103_8FFF	4KB	9		

					ЮФКВ.431268.020РЭ		Лист 26
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Начальный адрес	Конечный адрес	Размер	Периферийная шина	Описание	
0x0103_9000	0x0103_9FFF	4KB		10	
0x0103_A000	0x0103_AFFF	4KB		11	
0x0103_B000	0x0103_BFFF	4KB		12	
0x0103_C000	0x0103_CFFF	4KB		13	
0x0103_D000	0x0103_DFFF	4KB		14	
0x0103_E000	0x0103_EFFF	4KB		15	
0x0104_0000	0x0104_0FFF	4KB	APBS1	0	
0x0104_1000	0x0104_1FFF	4KB		1	
0x0104_2000	0x0104_2FFF	4KB		2	
0x0104_3000	0x0104_3FFF	4KB		3	
0x0104_4000	0x0104_4FFF	4KB		4	
0x0104_5000	0x0104_5FFF	4KB		5	
0x0104_6000	0x0104_6FFF	4KB		6	
0x0104_7000	0x0104_7FFF	4KB		7	
0x0104_8000	0x0104_8FFF	4KB		8	
0x0104_9000	0x0104_9FFF	4KB		9	
0x0104_A000	0x0104_AFFF	4KB		10	
0x0104_B000	0x0104_BFFF	4KB		11	
0x0104_C000	0x0104_CFFF	4KB		12	
0x0104_D000	0x0104_DFFF	4KB		13	
0x0105_8000	0x0105_FFFF	32KB		14	
0x0106_0000	0x0107_FFFF	128KB		15	
0x0108_0000	0x0108_3FFF	16KB		APBS2	0
0x0108_4000	0x0108_5FFF	8KB			mGPIOx2 для MDIO
0x0108_6000	0x0108_7FFF	8KB			1
0x0108_8000	0x0108_CFFF	20KB			2
0x0108_D000	0x0108_DFFF	4KB	3		
0x0108_E000	0x0108_EFFF	4KB	4		
0x0108_F000	0x0108_FFFF	4KB	5		
0x0109_0000	0x0109_0FFF	4KB	6		
0x0109_1000	0x0109_1FFF	4KB	7		
0x0109_2000	0x0109_2FFF	4KB	8		
0x0109_3000	0x0109_3FFF	4KB	9		
0x0110_0000	0x0110_1FFF	8KB	AXI32	DDR0	
0x0110_2000	0x0110_3FFF	8KB	AXI32	DDR1	
0x0110_4000	0x0110_4FFF	4KB	AXI32	GIC390_DIS	
0x0110_5000	0x0110_5FFF	4KB	AXI32	GIC390_CPU	
0x0110_6000	0x0110_6FFF	4KB	AXI	PL310_L2C (доступ только ARM)	
0x0120_0000	0x012F_FFFF	1MB	AXI32	NIC400_GPV	
0x0130_0000	0x013F_FFFF	1MB	-	резерв	

1.4.1.4 Подсистема генерации синхросигналов и сигналов сброса (CRG_SYS и CRG_DDR)

Ниже описано формирование системных сигналов синхронизации и сброса. Описание логики синхронизации и сброса, которая может присутствовать в составе отдельных устройств, не входит в данное описание.

1.4.1.4.1 Общая схема сигналов синхронизации и сброса

Общая схема сигналов синхронизации и сброса представлена на рисунке 6.

					Лист
					27
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	Подп. и дата

ЮФКВ.431268.020РЭ

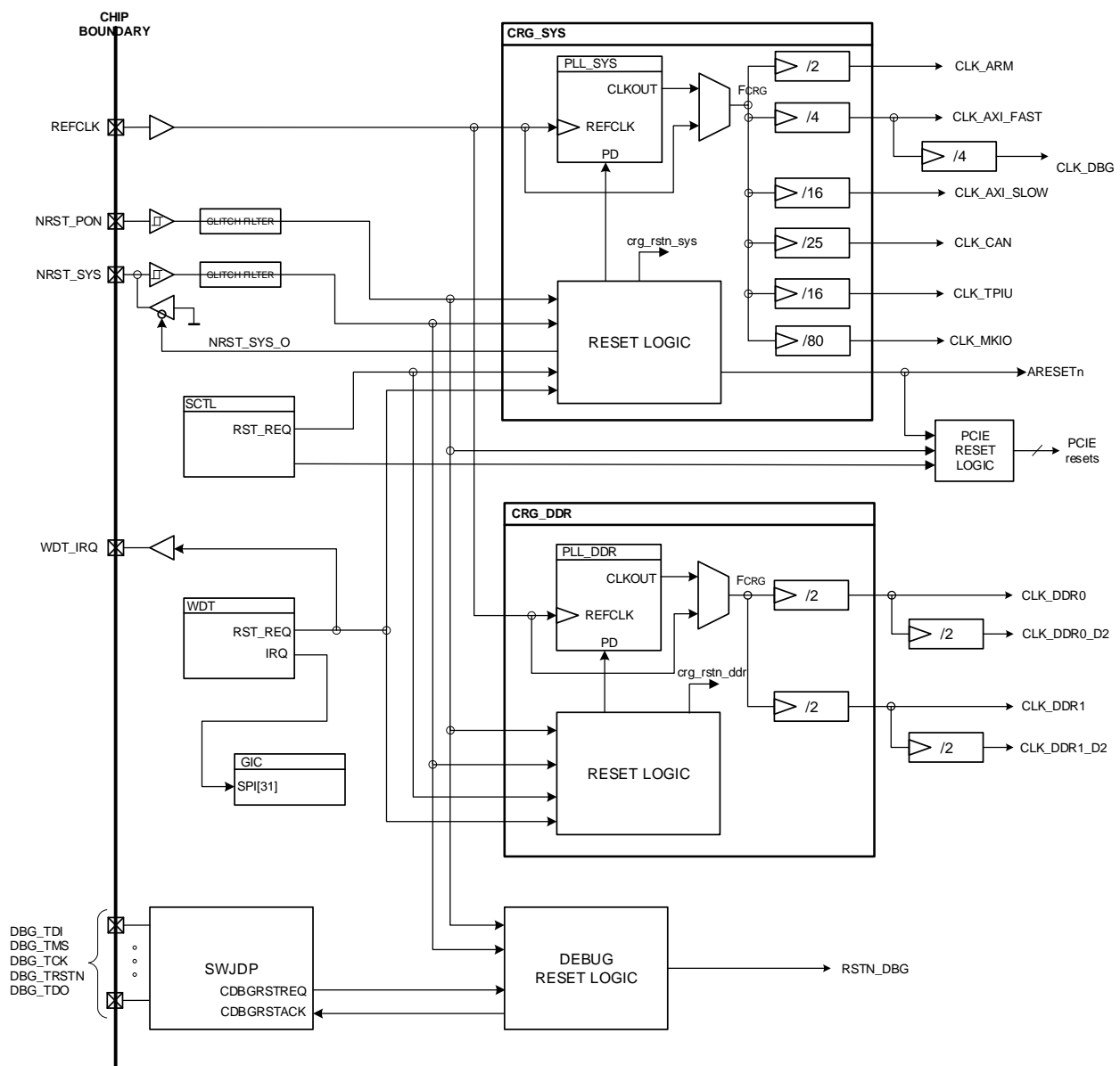


Рисунок 6 – Схема формирования системных сигналов синхронизации и сброса

В формировании системных сигналов синхронизации и сброса участвуют следующие устройства:

- 1) CRG_SYS – контроллер схемы ФАПЧ PLL_SYS и основной контроллер сигналов сброса. Формирует большинство системных синхросигналов, а также основной сигнал сброса ARESETn для большинства блоков СБИС. Также управляет состоянием внешнего вывода NRST_SYS в режиме open-drain;
- 2) CRG_DDR – контроллер схемы ФАПЧ PLL_DDR, формирует синхросигналы для контроллеров DDR;
- 3) SCTL – системный контроллер, содержит программно-доступный регистр, посредством которого формируется сигнал запроса на сброс, который воспринимается блоками CRG;
- 4) WDT – сторожевой таймер, может формировать прерывание, а также сигнал запроса на сброс, который воспринимается блоками CRG, а также отражается на внешнем выводе WDT_IRQ;
- 5) SWJDP – контроллер отладочного порта доступа, может формировать запрос на сброс отладочного домена;

					Лист
					28
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			ЮФКВ.431268.020РЭ		
			Подп. и дата		

- 6) **DEBUG RESET LOGIC** – логика формирования сигнала сброса для отладочного домена;
- 7) **PCIE RESET LOGIC** – логика формирования последовательности снятия сигналов сброса подсистемы PCI Express.

Более подробно функционирование и взаимосвязь этих блоков описана ниже.

1.4.1.4.2 Формирование сигналов сброса

СБИС МИ БИУС имеет следующие источники сброса:

- 1) Внешний вывод **NRST_PON** – сброс по включению питания. Данный сигнал полностью инициализирует логику внутри СБИС.
- 2) Внешний вывод **NRST_SYS** – системный сигнал сброса. Данный сигнал полностью инициализирует логику внутри СБИС, при этом сигнал сброса **RSTN_DBG** снимается через 16 тактов **REFCLK** после активации **NRST_SYS**, позволяя отладчику запрограммировать домен отладки при удержании **NRST_SYS** в активном состоянии. Также этот вывод может быть активирован изнутри СБИС на основе внутренних источников сброса **SCTL** и **WDT** (сигнал **NRST_SYS_O**), позволяя сбрасывать внешние по отношению к СБИС устройства, а также давая отладчику **ARM** возможность отследить сброс отлаживаемой цели.
- 3) Запрос на сброс из контроллера **SCTL** – данный запрос поступает на блоки **CRG_SYS** и **CRG_DDR** и приводит к сбросу СБИС, а также, в зависимости от программных настроек, может приводить к активации внешнего вывода **NRST_SYS** и сбросу блоков **PLL** внутри **CRG**. Данный запрос может быть замаскирован внутри устройств **CRG**.
- 4) Запрос на сброс от сторожевого таймера **WDT** – поведение аналогично запросу на сброс от **SCTL**. Также этот сигнал запроса отражается на внешнем выводе **WDT_IRQ**, позволяя принимать решение о сбросе снаружи СБИС (если этот запрос замаскировать в **CRG**).
- 5) Запрос на сброс домена отладки из контроллера отладочного порта доступа **SWJDP** – выставляется отладчиком через регистр **CTRL/STAT**.

Источник сброса, который является причиной последнего сброса, фиксируется в регистре **RST_MON** устройства **CRG_SYS**.

Внутренними сигналами, которые непосредственно сбрасывают функциональные блоки внутри СБИС, являются:

- 1) **ARESETn** – корневой сигнал сброса для всех функциональных блоков СБИС, кроме подсистемы отладки и трассировки. Управляется контроллером **CRG_SYS**;
- 2) **RSTN_DBG** – сигнал сброса логики отладки и трассировки. Формируется отдельной управляющей логикой на основе входных источников сброса **NRST_SYS**, **NRST_PON**, **CDBGSTREQ**.

Также каждый блок **CRG** имеет свой внутренний сигнал сброса (**crg_rstn_sys** и **crg_rstn_ddr**) и сигнал выключения блока **PLL** (**PD** – powerdown). Логика **CRG**, включая программно-доступные регистры, сбрасывается только при активации соответствующего сигнала сброса **crg_rstn_sys** или **crg_rstn_ddr**.

Зависимость между сигналами сброса и источниками сброса показана на рисунке 7 (на данном рисунке показана логическая зависимость, а не временная).

									Лист
									29
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

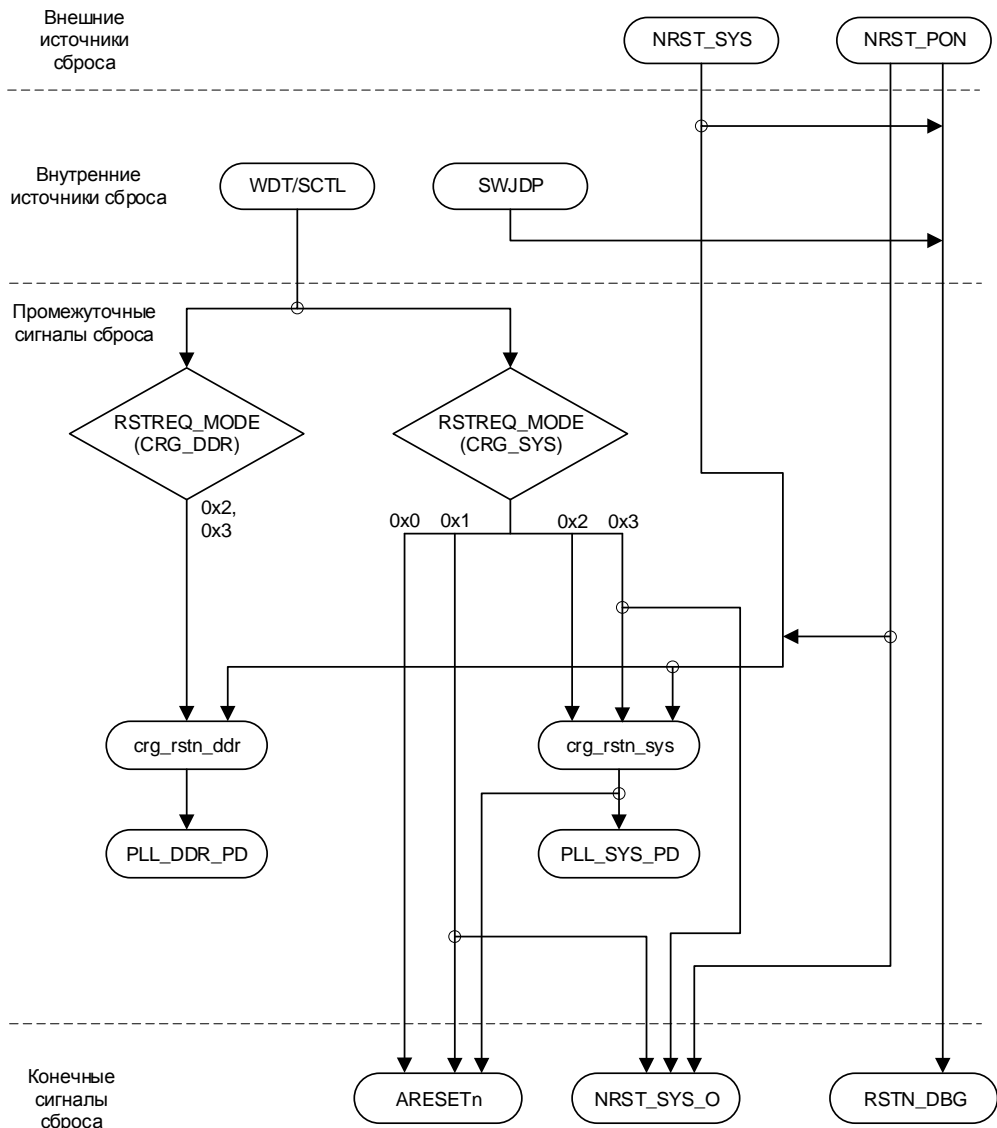


Рисунок 7 – Иерархия сигналов сброса

Как видно из рисунка 7, при внешнем сбросе через внешние выходы NRST_PON или NRST_SYS поведение всегда будет одинаковым. При сбросе по внутреннему запросу от SCTL или WDT поведение зависит от программных настроек в регистрах RST_CFG2 в устройствах CRG (см. описание соответствующих регистров в пп. 1.4.1.4.5 и 1.4.1.4.6).

Кроме того, длительность удержания сигналов сброса ARESETn и NRST_SYS_O определяется настройкой полей в регистрах RST_CFG0 и RST_CFG1 устройства CRG_SYS.

1.4.1.4.3 Формирование сигналов синхронизации

Как показано на рисунке 7, системные синхросигналы формируются двумя устройствами (CRG): CRG_SYS и CRG_DDR. Каждое устройство CRG содержит блок ФАПЧ (PLL) и набор выходных делителей с программируемыми коэффициентами. Устройства CRG позволяют программно настраивать частоту PLL и переводить их в режим bypass. Оба блока PLL имеют общий опорный синхросигнал REFCLK. Упрощенная структура блоков PLL показана на рисунке 8.

					ЮФКВ.431268.020PЭ		Лист
							30
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

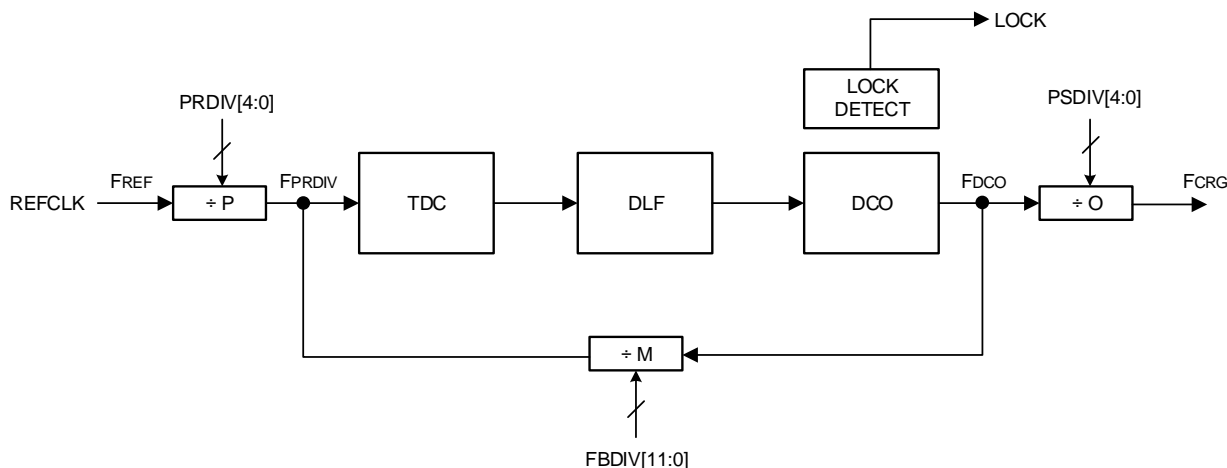


Рисунок 8 – Структура системных блоков PLL

Блок PLL имеет три делителя, которые могут программно настраиваться через регистры CRG. Частоты определяются следующим образом:

$$F_{DCO} = F_{REF} \times \frac{FBDIV + 1}{PRDIV + 1}$$

$$F_{CRG} = \frac{F_{DCO}}{PSDIV + 1}$$

где F_{DCO} – частота на выходе генератора DCO;

F_{REF} – опорная частота;

F_{CRG} – частота на выходе PLL;

$FBDIV$, $PRDIV$, $PSDIV$ – значения настройки делителя обратной связи, входного и выходного делителя соответственно. Эти значения управляются регистрами PLL_FBDIV, PLL_PRDIV, PLL_PSDIV соответствующего контроллера CRG.

Частота F_{CRG} поступает на выходные программируемые делители, с которых уже получают системные синхросигналы. Начальные значения выходных делителей показаны в таблице 13. При настройке частоты PLL следует учитывать, что частоты F_{DCO} и F_{CRG} имеют ограниченный диапазон. В таблице 12 приведены характеристики блоков PLL, а в таблице 13 – начальная конфигурация.

Таблица 12 – Характеристики системных блоков PLL

Обозначение параметра	Описание параметра	Не менее	Не более	Единица измерения
FREF	Частота на входе входного делителя	0,032	50	МГц
DREF	Коэффициент заполнения опорного синхросигнала (duty cycle)	40	60	%
FPRDIV	Частота после входного делителя	0,032	50	МГц
FDCO	Частота на выходе DCO	1500	2500	МГц
FCRG	Частота после выходного делителя		1600	МГц
TLOCK	Время стабилизации		50	мкс

Таблица 13 – Начальная конфигурация системных блоков PLL

Блок PLL	FREF, МГц	Коэффициент входного делителя (PRDIV)	Коэффициент делителя в обратной связи (FBDIV)	Коэффициент выходного делителя (PSDIV)	FDCO, МГц	FCRG, МГц
PLL_SYS	16	1	100	1	1600	1600
PLL_DDR	16	1	133	2	2128	1064

					ЮФКВ.431268.020РЭ		Лист
							31
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Список системных синхросигналов, получаемых на выходе устройств CRG_SYS и CRG_DDR, приведен в таблице 14.

Таблица 14 – Список системных синхросигналов

Название синхросигнала	Описание, тактируемые устройства	Максимальная частота при наихудших условиях, МГц	Источник
CLK_ARM	Тактовый сигнал центральной процессорной подсистемы: Cortex-A5 PL310_L2C ETM Ряд служебных блоков отладки и трассировки	800	Программируемый делитель в CRG_SYS
CLK_AXI_FAST	Быстрый системный синхросигнал: NIC400 (быстрый домен) MDMA0..3 MGETH0..3 ESRAM0,1 BOOTROM Подсистема трассировки UART0,1 (приемопередающая логика) EXT_IRQ_GEN ADDR_TRANS_SLV/MST PCIE (AXI-интерфейсы данных) DDR0,1 (AXI-интерфейс данных)	400	Программируемый делитель в CRG_SYS
CLK_AXI_SLOW	Медленный системный синхросигнал: NIC400 (медленный домен) UART0,1 (регистры и DMA) SPIx, SDIOx ARINC-429 GIC-390 PCIE (регистры) DDR0,1 (регистры) GPIOx MDIO0...3 I2C0,1 DIT0..3 WDT GLOBAL_TIMERS SCTL CRG_SYS (регистры) CRG_DDR (регистры) TVSENS BISR	100	Программируемый делитель в CRG_SYS
CLK_CAN	Приемопередающая логика контроллеров CAN	64	Программируемый делитель в CRG_SYS
CLK_TPIU	Тактовый сигнал контроллера внешнего порта трассировки	100	Программируемый делитель в CRG_SYS
CLK_MKIO	Приемопередающая логика контроллеров МКIO	20	Программируемый делитель в CRG_SYS
CLK_DDR0	Тактовый сигнал контроллера DDR0 для режима bypass (без использования PLL в DDR_PHY)	800	Программируемый делитель в CRG_DDR

					ЮФКВ.431268.020РЭ		Лист
							32
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Название синхросигнала	Описание, тактируемые устройства	Максимальная частота при наихудших условиях, МГц	Источник
CLK_DDR1	Тактовый сигнал контроллера DDR1 для режима bypass (без использования PLL в DDR_PHY)	800	Программируемый делитель в CRG_DDR
CLK_DDR0_D2	Тактовый сигнал контроллера DDR0	400	Фиксированный делитель /2 от CLK_DDR0
CLK_DDR1_D2	Тактовый сигнал контроллера DDR1	400	Фиксированный делитель /2 от CLK_DDR1
CLK_DBG	Тактовый сигнал подсистемы отладки (блоки, не входящие в состав процессорной подсистемы)	100	Фиксированный делитель /4 от CLK_AXI_FAST

1.4.1.4.4 Временные диаграммы инициализации сигналов синхронизации и сброса

На рисунке 9 показана последовательность инициализации сигналов синхронизации и сброса при внешнем сбросе через внешний вывод NRST_PON.

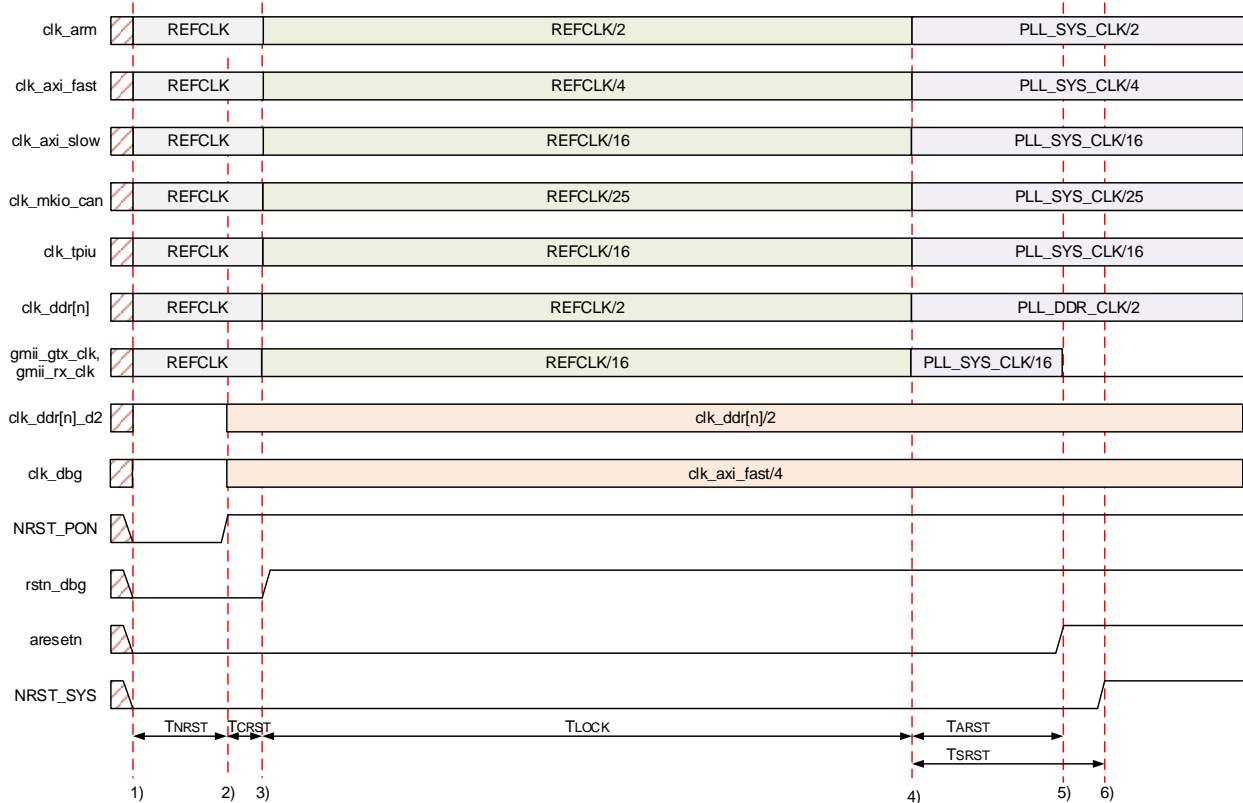


Рисунок 9 – Инициализация сигналов при сбросе через внешний вывод NRST_PON

1. Активация сигнала сброса NRST_PON
2. Снятие сигнала сброса NRST_PON
3. Снятие внутренних сигналов сброса блоков CRG и сброса отладочного домена
4. Переключение источника синхросигналов с REFCLK на PLL
5. Снятие основного внутреннего сигнала сброса aresetn
6. Снятие выходного сигнала системного сброса (вывод NRST_SYS в режиме open-drain).

На рисунке 10 показана последовательность инициализации сигналов синхронизации и сброса при внешнем сбросе через внешний вывод NRST_SYS.

					ЮФКВ.431268.020РЭ		Лист
							33
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

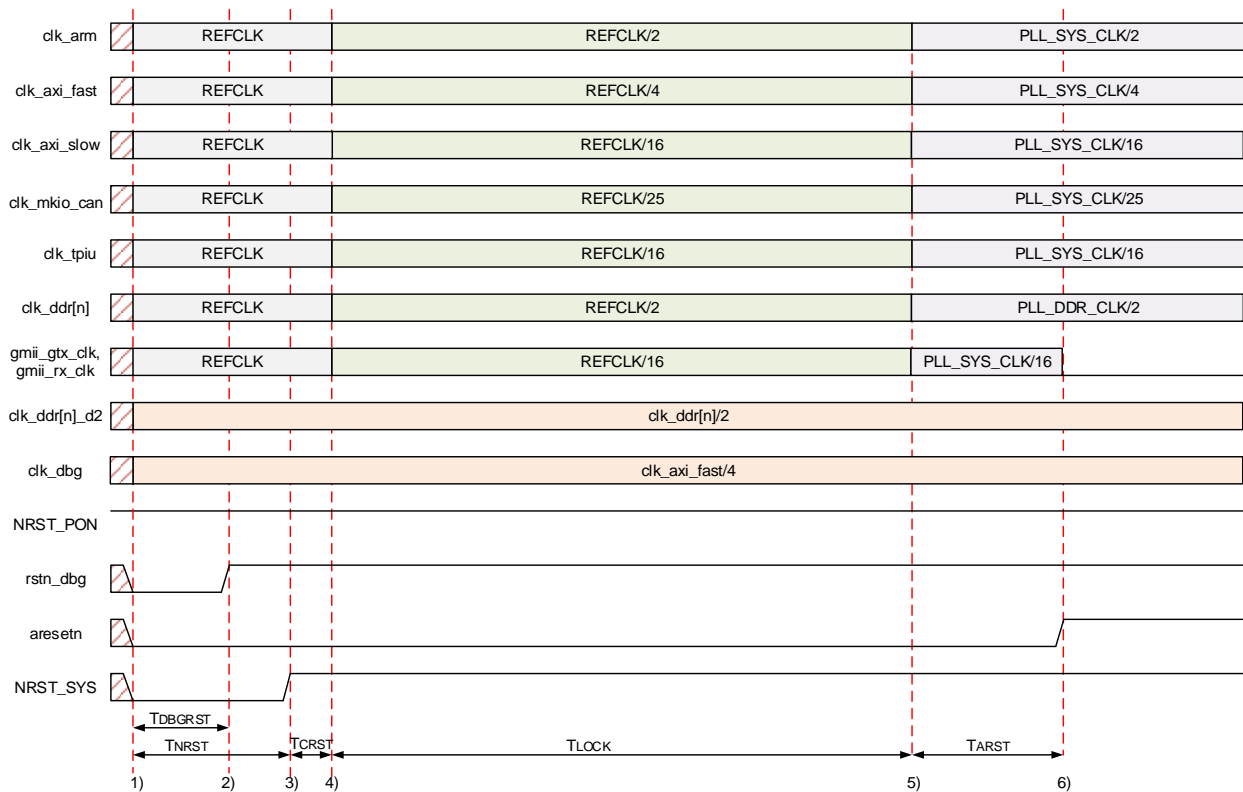


Рисунок 10 – Инициализация сигналов при сбросе через внешний вывод NRST_SYS

1. Активация сигнала сброса NRST_SYS
2. Снятие сигнала сброса rstn_dbg
3. Снятие сигнала сброса NRST_SYS
4. Снятие внутренних сигналов сброса блоков CRG и сброса отладочного домена
5. Переключение источника синхросигналов с REFCLK на PLL
6. Снятие основного внутреннего сигнала сброса aresetn.

Длительности временных промежутков, изображенных на рисунках 9 и 10, приведены в таблице 15.

Таблица 15 – Временные параметры инициализации сигналов синхронизации и сброса

Обозначение	Описание	Значение
TNRST	Время удержания внешнего сигнала сброса (NRST_PON и NRST_SYS)	Не менее $3 \times TREFCLK$
TCRST	Длительность внутреннего сигнала сброса CRG	$16 \times TREFCLK$
TLOCK	Время стабилизации PLL (включая время переключения с частоты REFCLK на частоту с выхода PLL)	$830 \times TREFCLK$
TDBGRST	Длительность сигнала сброса отладочного домена после активации сигнала системного сброса NRST_SYS	$16 \times TREFCLK$
TARST	Длительность внутреннего сигнала сброса для функциональных блоков	$2410 \times TPLL_SYS$
TSRST	Длительность выходного сигнала системного сброса	$2410 \times TPLL_SYS$

1.4.1.4.5 Описание регистров CRG_SYS

1.4.1.4.5.1 Карта регистров CRG_SYS

Карта регистров устройства CRG_SYS приведена в таблице 16.

					Лист
					34
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhell</i> 24.10.2019		34203-2	

Таблица 16 – Карта регистров CRG_SYS

Адрес	Название	Описание
0x000	PLL_STAT	Регистр состояния PLL
0x004	PLL_CTRL	Регистр управления PLL
0x008	PLL_LOCKDUR	Настройка таймера ожидания стабилизации PLL
0x00C	-	Резерв
0x010	PLL_PRDIV	Настройка входного делителя PLL (pre-divider)
0x014	PLL_FBDIV	Настройка делителя обратной связи PLL (feedback divider)
0x018	PLL_PSDIV	Настройка выходного делителя PLL (post-divider)
0x01C	-	Резерв
-		
0x03B		
0x03C	WR_LOCK	Управление блокировкой записи в другие регистры
0x040	RST_MON	Регистр отображения источника последнего сброса
0x044	RST_CFG0	Настройка длительности выходных сигналов сброса aresetn_o/iresetn_o[31:0]
0x048	RST_CFG1	Настройка длительности выходного системного сброса sys_rstn_oen_o
0x04C	RST_CFG2	Управление реакцией на сигналы запросов на сброс от SCTL и WDT
0x050	-	Резерв
-		
0x05F		
0x060	CKUPDATE	Регистр активации настроек синхросигналов
0x064	-	Резерв
-		
0x08F		
0x090	INTMASK	Регистр маскирования прерываний
0x094	INTCLR	Регистр статуса и сброса прерываний
0x098	-	Резерв
-		
0x09F		
0x100	CKDIVMODE0	Коэффициент деления для синхросигнала ARM
0x104	-	Резерв
-		
0x10F		
0x110	CKDIVMODE1	Коэффициент деления для синхросигнала AXI_FAST
0x114	-	Резерв
-		
0x11F		
0x120	CKDIVMODE2	Коэффициент деления для синхросигнала AXI_SLOW
0x124	-	Резерв
-		
0x24F		
0x130	CKDIVMODE3	Коэффициент деления для синхросигнала CAN
0x134	-	Резерв
-		
0x13F		
0x140	CKDIVMODE4	Коэффициент деления для синхросигнала TPIU
0x144	-	Резерв
-		
0x14F		
0x150	CKDIVMODE5	Коэффициент деления для синхросигнала MKIO

1.4.1.4.5.2 Описание полей регистров CRG_SYS

1.4.1.4.5.2.1 PLL_STAT (0x000)

Регистр содержит информацию о состоянии блока PLL.

Описание полей регистра PLL_STAT представлено в таблице 17.

					ЮФКВ.431268.020РЭ		Лист 35
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

Таблица 17 – Поля регистра PLL_STAT

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	PLL_CMD_AC K	Бит показывает, что реальное состояние PLL соответствует состоянию, заданному в регистре PLL_CTRL	R	0x0
[3:1]	-	-	R0	0x0
[0]	PLL_RDY	Флаг выхода в рабочий режим блока PLL 0 – PLL нестабильна 1 – PLL стабильна	R	0x0

1.4.1.4.5.2.2 PLL_CTRL (0x004)

Регистр содержит поле управления состоянием PLL.

Описание полей регистра PLL_CTRL представлено в таблице 18.

Таблица 18 – Поля регистра PLL_CTRL

Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	-	R0	0x0
[1:0]	PLL_CMD	Управление состоянием PLL: 2'b00: PLL_OSC_USE – PLL работает и используется как источник опорной частоты 2'b01: PLL_OSC_BYP – PLL работает, опорная частота внешняя 2'b10: запрещенная комбинация 2'b11: PLL_OFF_BYP – PLL выключена, опорная частота внешняя	R/W	0x0

1.4.1.4.5.2.3 PLL_PLOCK_DUR (0x008)

Регистр содержит поле для задания времени ожидания стабилизации PLL.

Описание полей регистра PLL_PLOCK_DUR представлено в таблице 19.

Таблица 19 – Поля регистра PLL_PLOCK_DUR

Биты	Название	Описание	Реж.	Исх. знач.
[31:11]	-	-	R0	0x0
[10:0]	PLL_LKDUR	Длительность ожидания стабилизации PLL, в тактах внешней опорной частоты (ext_clk_i)	R/W	0x334

1.4.1.4.5.2.4 PLL_PRDIV (0x010)

Регистр содержит поле для задания коэффициента входного делителя PLL.

Описание полей регистра PLL_PRDIV представлено в таблице 20.

Таблица 20 – Поля регистра PLL_PRDIV

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PRDIV	Коэффициент входного делителя PLL	R/W	0x0

1.4.1.4.5.2.5 PLL_FBDIV (0x014)

Регистр содержит поле для задания коэффициента делителя обратной связи PLL.

Описание полей регистра PLL_FBDIV представлено в таблице 21.

					ЮФКВ.431268.020РЭ		Лист
							36
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Таблица 21 – Поля регистра PLL_FBDIV

Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	PLL_FBDIV	Коэффициент делителя обратной связи PLL	R/W	0x63

1.4.1.4.5.2.6 PLL_PSDIV (0x018)

Регистр содержит поле для задания коэффициента выходного делителя PLL.
Описание полей регистра PLL_PSDIV представлено в таблице 22.

Таблица 22 – Поля регистра PLL_PSDIV

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PSDIV	Коэффициент выходного делителя PLL	R/W	0x0

1.4.1.4.5.2.7 WR_LOCK (0x03C)

Регистр предназначен для управления блокировкой записи в другие регистры CRG.
Описание полей регистра WR_LOCK представлено в таблице 23.

Таблица 23 – Поля регистра WR_LOCK

Биты	Название	Описание	Реж.	Исх. знач.
[31:0]	WR_LOCK	Управление блокировкой записи в другие регистры. Запись значения 0x1 ACCE551 разрешает запись в другие регистры. Запись любого другого значения запрещает запись в другие регистры. Чтение возвращает статус блокировки: 0x0 – запись в регистры разрешена 0x1 – запись в регистры запрещена	R/W	0x1

1.4.1.4.5.2.8 RST_MON (0x040)

Регистр содержит биты состояния, отражающие источник последнего системного сброса.
Любая запись в данный регистр сбрасывает все биты.

Описание полей регистра RST_MON представлено в таблице 24.

Таблица 24 – Поля регистра RST_MON

Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11]	RST_POR_MON	Отслеживание сигнала сброса por_rstn_i: 1 – por_rstn_i является источником последнего сброса 0 – por_rstn_i не является источником последнего сброса	R/WC	0x1
[10]	RST_SYS_MON	Отслеживание сигнала сброса sys_rstn_i: 1 – sys_rstn_i является источником последнего сброса 0 – sys_rstn_i не является источником последнего сброса	R/WC	0x0
[9]	RST_REQ_MODE1	Бит устанавливается в 1, если последний сброс был вызван запросом на сброс rstreq_i[n] при значении бита RSTREQ_MODE[n]=1 в регистре RST_CFG2	R/WC	0x0

					ЮФКВ.431268.020РЭ		Лист
							37
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Название	Описание	Реж.	Исх. знач.
[8]	RST_REQ_MODE0	Бит устанавливается в 1, если последний сброс был вызван запросом на сброс rstreq_i[n] при значении бита RSTREQ_MODE[n]=0 в регистре RST_CFG2	R/WC	0x0
[7:2]	-	-	R0	0x0
[1]	RST_REQ_SCTL	Бит отслеживает сигнал запроса на сброс от системного контроллера: 1 – системный контроллер является источником последнего сброса 0 – системный контроллер не является источником последнего сброса	R/WC	0x0
[0]	RST_REQ_WDT	Бит отслеживает сигнал запроса на сброс от системного сторожевого таймера: 1 – сторожевой таймер является источником последнего сброса 0 – сторожевой таймер не является источником последнего сброса	R/WC	0x0

1.4.1.4.5.2.9 RST_CFG0 (x044)

Регистр содержит поля, управляющие длительностью выходных сигналов сброса aresetn_o, rresetn_o[31:0].

Описание полей регистра RST_CFG0 представлено в таблице 25.

Таблица 25 – Поля регистра RST_CFG0

Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	ARST_DUR	Длительность выходных сигналов сброса aresetn_o и rresetn_o[n], в тактах (crg_clk/16)	R/W	0x96

1.4.1.4.5.2.10 RST_CFG1 (0x048)

Регистр содержит поля, управляющие длительностью удержания выходного системного сброса sys_rstn_oen_o и длительностью маскирования входного системного сброса sys_rstn_i.

Описание полей регистра RST_CFG1 представлено в таблице 26.

Таблица 26 – Поля регистра RST_CFG1

Биты	Название	Описание	Реж.	Исх. знач.
[31:28]	-	-	R0	0x0
[27:16]	SRST_DUR1	Длительность маскирования входного системного сброса sys_rstn_i после снятия выходного системного сброса sys_rstn_oen_o, в тактах (crg_clk/16)	R/W	0x32
[31:28]	-	-	R0	0x0
[11:0]	SRST_DUR0	Длительность удержания выходного системного сброса sys_rstn_oen_o в активном состоянии, в тактах (crg_clk/16)	R/W	0x96

1.4.1.4.5.2.11 RST_CFG2 (0x04C)

Регистр содержит поля и биты, определяющие реакцию CRG на входные сигналы запросов на сброс.

Описание полей регистра RST_CFG2 представлено в таблице 27.

					ЮФКВ.431268.020РЭ		Лист
							38
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

Таблица 27 – Поля регистра RST_CFG2

Биты	Название	Описание	Реж.	Исх. знач.
[31:25]	-	-	R0	0x0
[24]	RSTREQ_BYR	При установке данного бита в 1 при сбросе по запросу базовая частота будет принудительно переключаться на внешний опорный синхросигнал	R/W	0x0
[23:18]	-	-	R0	0x0
[17]	RSTREQ_SCTL_MASK	Бит отвечает за маскирование сигнала запроса на сброс от SCTL: 0 – сброс от SCTL запрещен 1 – сброс от SCTL разрешен	R/W	0x1
[16]	RSTREQ_WDT_MASK	Бит отвечает за маскирование сигнала запроса на сброс от WDT: 0 – сброс от WDT запрещен 1 – сброс от WDT разрешен	R/W	0x1
[15:4]	-	-	R0	0x0
[3:2]	RSTREQ_SCTL_MODE	Поле определяет реакцию на сигнал запроса на сброс от SCTL (описание аналогично полю RSTREQ_WDT_MODE)	R/W	0x3
[1:0]	RSTREQ_WDT_MODE	Поле определяет реакцию на сигнал запроса на сброс от WDT: 0x0: будет активирован только сигнал сброса aresetn_o 0x1: будут активированы сигналы сброса aresetn_o и sys_rstn_oen_o 0x2: будут активированы сигналы сброса crg_rstn, aresetn_o 0x3: будут активированы сигналы сброса crg_rstn, aresetn_o, sys_rstn_oen_o	R/W	0x3

1.4.1.4.5.2.12 SKUPDATE (0x060)

Регистр содержит биты для применения новых значений регистров CKDIVMODE[n], SKEN[n], где [n] – номер домена синхросигналов.

Описание полей регистра SKUPDATE представлено в таблице 28.

Таблица 28 – Поля регистра SKUPDATE

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	UPDCKEN	Применение разрешений выдачи тактовых сигналов. После настройки регистров SKEN[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после применения изменений, читается всегда 0	R0/W1	0x0
[3:1]	-	-	R0	0x0
[0]	UPDCKDIV	Применение коэффициентов деления доменов синхросигналов. После настройки регистров CKDIVMODE[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после смены режима делителей	R/W	0x0

					ЮФКВ.431268.020РЭ		Лист
							39
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.4.5.2.13 INTMASK (0x090)

Описание полей регистра INTMASK представлено в таблице 29.

Таблица 29 – Поля регистра INTMASK

Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_MAS K	Маска прерывания при выходе PLL в рабочий режим: 0x0 – прерывание запрещено 0x1 – прерывание разрешено	R/W	0x0

1.4.1.4.5.2.14 INTCLR (0x094)

Описание полей регистра INTCLR представлено в таблице 30.

Таблица 30 – Поля регистра INTCLR

Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_CLR	Данный бит устанавливается в 1, когда PLL выходит в рабочий режим. Любая запись сбрасывает этот бит в 0	R/W	0x0

1.4.1.4.5.2.15 CKDIVMODE0 (0x100)

Данный регистр задает коэффициент деления для синхросигнала центральной процессорной системы.

Описание полей регистра CKDIVMODE0 представлено в таблице 31.

Таблица 31 – Поля регистра CKDIVMODE0

Биты	Название	Описание	Реж.	Исх. знач.
[31:7]	-	-	R0	0x0
[6:0]	DIVMODE	Коэффициент делителя для синхросигнала ARM. Коэффициент деления равен (DIVMODE+1)	R/W	0x1

1.4.1.4.5.2.16 CKDIVMODE1 (0x110)

Данный регистр задает коэффициент деления для синхросигнала AXI_FAST (коммутиционная среда, быстрый домен).

Описание полей регистра CKDIVMODE1 представлено в таблице 32.

Таблица 32 – Поля регистра CKDIVMODE1

Биты	Название	Описание	Реж.	Исх. знач.
[31:7]	-	-	R0	0x0
[6:0]	DIVMODE	Коэффициент делителя для синхросигнала AXI_FAST. Коэффициент деления равен (DIVMODE+1)	R/W	0x3

1.4.1.4.5.2.17 CKDIVMODE2 (0x120)

Данный регистр задает коэффициент деления для синхросигнала AXI_SLOW

					ЮФКВ.431268.020РЭ		Лист 40
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

(коммутационная среда, медленный домен).

Описание полей регистра CKDIVMODE2 представлено в таблице 33.

Таблица 33 – Поля регистра CKDIVMODE2

Биты	Название	Описание	Реж.	Исх. знач.
[31:7]	-	-	R0	0x0
[6:0]	DIVMODE	Коэффициент делителя для синхросигнала AXI_SLOW. Коэффициент деления равен (DIVMODE+1)	R/W	0xF

1.4.1.4.5.2.18 CKDIVMODE3 (0x130)

Данный регистр задает коэффициент деления для синхросигнала CAN (приемопередающая логика контроллеров CAN).

Описание полей регистра CKDIVMODE3 представлено в таблице 34.

Таблица 34 – Поля регистра CKDIVMODE3

Биты	Название	Описание	Реж.	Исх. знач.
[31:7]	-	-	R0	0x0
[6:0]	DIVMODE	Коэффициент делителя для синхросигнала CAN. Коэффициент деления равен (DIVMODE+1)	R/W	0x18

1.4.1.4.5.2.19 CKDIVMODE4 (0x140)

Данный регистр задает коэффициент деления для синхросигнала TPIU (контроллер внешнего трассировочного порта).

Описание полей регистра CKDIVMODE4 представлено в таблице 35.

Таблица 35 – Поля регистра CKDIVMODE4

Биты	Название	Описание	Реж.	Исх. знач.
[31:7]	-	-	R0	0x0
[6:0]	DIVMODE	Коэффициент делителя для синхросигнала TPIU. Коэффициент деления равен (DIVMODE+1)	R/W	0xF

1.4.1.4.5.2.20 CKDIVMODE5 (0x150)

Данный регистр задает коэффициент деления для синхросигнала МКИО (приемопередающая логика контроллеров МКИО).

Описание полей регистра CKDIVMODE5 представлено в таблице 36.

Таблица 36 – Поля регистра CKDIVMODE5

Биты	Название	Описание	Реж.	Исх. знач.
[31:7]	-	-	R0	0x0
[6:0]	DIVMODE	Коэффициент делителя для синхросигнала МКИО. Коэффициент деления равен (DIVMODE+1)	R/W	0x4F

1.4.1.4.6 Описание регистров CRG_DDR

1.4.1.4.6.1 Карта регистров CRG_DDR

Карта регистров устройства CRG_SYS приведена в таблице 37.

					Лист	
					41	
		ЮФКВ.431268.020PЭ				
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 37 – Карта регистров CRG_DDR

Адрес	Название	Описание
0x000	PLL_STAT	Регистр состояния PLL
0x004	PLL_CTRL	Регистр управления PLL
0x008	PLL_LOCKDUR	Настройка таймера ожидания стабилизации PLL
0x00C	-	Резерв
0x010	PLL_PRDIV	Настройка входного делителя PLL (pre-divider)
0x014	PLL_FBDIV	Настройка делителя обратной связи PLL (feedback divider)
0x018	PLL_PSDIV	Настройка выходного делителя PLL (post-divider)
0x020 – 0x03B	-	Резерв
0x03C	WR_LOCK	Управление блокировкой записи в другие регистры
0x040 – 0x04B	-	Резерв
0x04C	RST_CFG2	Управление реакцией на сигналы запросов на сброс от SCTL и WDT
0x050 – 0x05F	-	Резерв
0x060	CKUPDATE	Регистр активации настроек синхросигналов
0x064 – 0x08F	-	Резерв
0x090	INTMASK	Регистр маскирования прерываний
0x094	INTCLR	Регистр статуса и сброса прерываний
0x098 – 0x09F	-	Резерв
0x100	CKDIVMODE0	Коэффициент деления для синхросигнала DDR0
0x104 – 0x10F	-	Резерв
0x110	CKDIVMODE1	Коэффициент деления для синхросигнала DDR1

1.4.1.4.6.2 Описание полей регистров CRG_DDR

1.4.1.4.6.2.1 PLL_STAT (0x000)

Регистр содержит информацию о состоянии блока PLL.

Описание полей регистра PLL_STAT представлено в таблице 38.

Таблица 38 – Поля регистра PLL_STAT

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	PLL_CMD_ACK	Бит показывает, что реальное состояние PLL соответствует состоянию, заданному в регистре PLL_CTRL	R	0x0
[3:1]	-	-	R0	0x0
[0]	PLL_RDY	Флаг выхода в рабочий режим блока PLL 0 – PLL нестабильна 1 – PLL стабильна	R	0x0

1.4.1.4.6.2.2 PLL_CTRL (0x004)

Регистр содержит поле управления состоянием PLL.

Описание полей регистра PLL_CTRL представлено в таблице 39.

					ЮФКВ.431268.020РЭ		Лист
							42
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редхелл</i> 24.10.2019		34203-2			

Таблица 39 – Поля регистра PLL_CTRL

Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	-	R0	0x0
[1:0]	PLL_CMD	Управление состоянием PLL: 2'b00: PLL_OSC_USE – PLL работает и используется как источник опорной частоты 2'b01: PLL_OSC_BYP – PLL работает, опорная частота внешняя 2'b10: запрещенная комбинация 2'b11: PLL_OFF_BYP – PLL выключена, опорная частота внешняя	R/W	0x0

1.4.1.4.6.2.3 PLL_PLOCK_DUR (0x008)

Регистр содержит поле для задания времени ожидания стабилизации PLL.
Описание полей регистра PLL_PLOCK_DUR представлено в таблице 40.

Таблица 40 – Поля регистра PLL_PLOCK_DUR

Биты	Название	Описание	Реж.	Исх. знач.
[31:11]	-	-	R0	0x0
[10:0]	PLL_LKDUR	Длительность ожидания стабилизации PLL, в тактах внешней опорной частоты (ext_clk_i)	R/W	0x334

1.4.1.4.6.2.4 PLL_PRDIV (0x010)

Регистр содержит поле для задания коэффициента входного делителя PLL.
Описание полей регистра PLL_PRDIV представлено в таблице 41.

Таблица 41 – Поля регистра PLL_PRDIV

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PRDIV	Коэффициент входного делителя PLL	R/W	0x0

1.4.1.4.6.2.5 PLL_FBDIV (0x014)

Регистр содержит поле для задания коэффициента делителя обратной связи PLL.
Описание полей регистра представлено в таблице 42.

Таблица 42 – Поля регистра PLL_FBDIV

Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	PLL_FBDIV	Коэффициент делителя обратной связи PLL	R/W	0x84

1.4.1.4.6.2.6 PLL_PSDIV (0x018)

Регистр содержит поле для задания коэффициента выходного делителя PLL.
Описание полей регистра PLL_PSDIV представлено в таблице 43.

Таблица 43 – Поля регистра PLL_PSDIV

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PSDIV	Коэффициент выходного делителя PLL	R/W	0x1

					ЮФКВ.431268.020РЭ					Лист
										43
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019			34203-2					

1.4.1.4.6.2.7 WR_LOCK (0x03C)

Регистр предназначен для управления блокировкой записи в другие регистры CRG.
Описание полей регистра WR_LOCK представлено в таблице 44.

Таблица 44 – Поля регистра WR_LOCK

Биты	Название	Описание	Реж.	Исх. знач.
[31:0]	WR_LOCK	Управление блокировкой записи в другие регистры. Запись значения 0x1ACCE551 разрешает запись в другие регистры. Запись любого другого значения запрещает запись в другие регистры. Чтение возвращает статус блокировки: 0x0 – запись в регистры разрешена 0x1 – запись в регистры запрещена	R/W	0x1

1.4.1.4.6.2.8 RST_CFG2 (0x04C)

Регистр содержит поля и биты, определяющие реакцию CRG на входные сигналы запросов на сброс.

Описание полей регистра RST_CFG2 представлено в таблице 45.

Таблица 45 – Поля регистра RST_CFG2

Биты	Название	Описание	Реж.	Исх. знач.
[31:25]	-	-	R0	0x0
[24]	RSTREQ_BYP	При установке данного бита в 1 при сбросе по запросу базовая частота будет принудительно переключаться на внешний опорный синхросигнал	R/W	0x0
[23:18]	-	-	R0	0x0
[17]	RSTREQ_SCTL_MASK	Бит отвечает за маскирование сигнала запроса на сброс от SCTL: 0 – сброс от SCTL запрещен 1 – сброс от SCTL разрешен	R/W	0x1
[16]	RSTREQ_WDT_MASK	Бит отвечает за маскирование сигнала запроса на сброс от WDT: 0 – сброс от WDT запрещен 1 – сброс от WDT разрешен	R/W	0x1
[15:4]	-	-	R0	0x0
[3:2]	RSTREQ_SCTL_MODE	Поле определяет реакцию на сигнал запроса на сброс от SCTL (описание аналогично полю RSTREQ_WDT_MODE)	R/W	0x3
[1:0]	RSTREQ_WDT_MODE	Поле определяет реакцию на сигнал запроса на сброс от WDT: 0x0, 0x1: игнорируется 0x2, 0x3: сброс состояния CRG	R/W	0x3

1.4.1.4.6.2.9 SKUPDATE (0x060)

Регистр содержит биты для применения новых значений регистров CKDIVMODE[n], SKEN[n], где [n] – номер домена синхросигналов.

Описание полей регистра SKUPDATE представлено в таблице 46.

					ЮФКВ.431268.020РЭ		Лист
							44
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 46 – Поля регистра CKUPDATE

Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	UPDCKEN	Применение разрешений выдачи тактовых сигналов. После настройки регистров SKEN[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после применения изменений, читается всегда 0	R0/W1	0x0
[3:1]	-	-	R0	0x0
[0]	UPDCKDIV	Применение коэффициентов деления доменов синхросигналов. После настройки регистров SKDIVMODE[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после смены режима делителей	R/W	0x0

1.4.1.4.6.2.10 INTMASK (0x090)

Описание полей регистра INTMASK представлено в таблице 47.

Таблица 47 – Поля регистра INTMASK

Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_MAS K	Маска прерывания при выходе PLL в рабочий режим: 0x0 – прерывание запрещено 0x1 – прерывание разрешено	R/W	0x0

1.4.1.4.6.2.11 INTCLR (0x094)

Описание полей регистра INTCLR представлено в таблице 48.

Таблица 48 – Поля регистра INTCLR

Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_CLR	Данный бит устанавливается в 1, когда PLL выходит в рабочий режим. Любая запись сбрасывает этот бит в 0	R/W	0x0

1.4.1.4.6.2.12 SKDIVMODE0 (0x100)

Данный регистр задает коэффициент деления для синхросигнала контроллера DDR0. Описание полей регистра представлено в таблице 49.

Таблица 49 – Поля регистра SKDIVMODE0

Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	0x0
[3:0]	DIVMODE	Коэффициент делителя для синхросигнала DDR0. Коэффициент деления равен (DIVMODE+1)	R/W	0x1

					ЮФКВ.431268.020РЭ		Лист 45
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.4.6.2.13 CKDIVMODE1 (0x110)

Данный регистр задает коэффициент деления для синхросигнала контроллера DDR1. Описание полей регистра CKDIVMODE1 представлено в таблице 50.

Таблица 50 – Поля регистра CKDIVMODE1

Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	0x0
[3:0]	DIVMODE	Коэффициент делителя для синхросигнала DDR1. Коэффициент деления равен (DIVMODE+1)	R/W	0x1

1.4.1.4.7 Руководство по программированию CRG_SYS и CRG_DDR

1.4.1.4.7.1 Управление блоком PLL

Устройство CRG является контроллером PLL и позволяет осуществлять ряд операций с этим блоком, которые описаны ниже.

1.4.1.4.7.1.1 Переключение базовой частоты

CRG позволяет осуществлять переключение базовой частоты **crg_clk** (частота, поступающая на выходные делители) между внешней опорной частотой **REFCLK** и частотой с выхода PLL. Когда PLL находится в стабильном состоянии, то переключаться между внешней частотой и выходом PLL можно «на лету», меняя значение поля PLL_CMD регистра PLL_CTRL между режимами PLL_OSC_USE и PLL_OSC_BYP.

1.4.1.4.7.1.2 Выключение PLL

Блок PLL выключен, когда поле PLL_CMD установлено в режим PLL_OFF_BYP. При этом базовая частота принудительно переключается на внешний опорный синхросигнал **REFCLK**. Включить PLL можно установкой поля PLL_CMD в режим PLL_OSC_USE или PLL_OSC_BYP.

1.4.1.4.7.1.3 Изменение рабочей частоты PLL

Регистры PLL_PRDIV, PLL_FBDIV и PLL_PSDIV позволяют менять значения делителей блока PLL, тем самым изменяя выходную частоту PLL. После изменения значений этих регистров, необходимо выключить PLL, а затем снова включить. На рисунке 11 показана блок-схема процедуры изменения частоты PLL.

					ЮФКВ.431268.020РЭ			Лист
								46
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

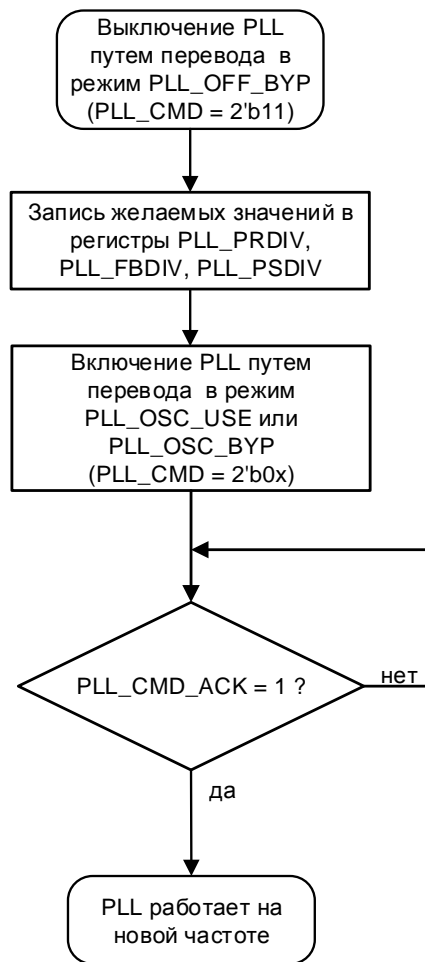


Рисунок 11 – Процедура изменения частоты PLL (блок-схема)

1.4.1.4.7.2 Управление выходными делителями

Выходные делители синхросигналов являются программируемыми. Программирование делителей можно выполнять в процессе работы системы, перезапуск или сброс микросхемы при этом не требуется. Коэффициенты деления задаются регистрами SKDIVMODE[n], после изменения этих регистров необходима активация новых настроек посредством бита UPDCKDIV регистра SKUPDATE. На рисунке 12 показана блок-схема процедуры смены режима делителей.

					ЮФКВ.431268.020РЭ			Лист
								47
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

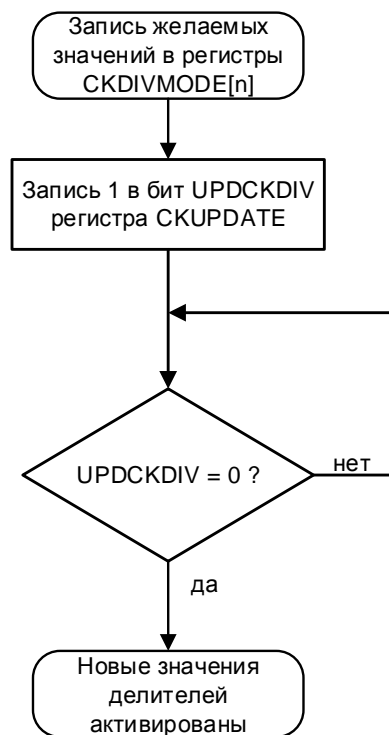


Рисунок 12 – Процедура смены коэффициентов выходных делителей доменов (блок-схема)

1.4.1.5 Подсистема управляющего процессора

Подсистема центрального процессора СБИС МИ БИУС состоит из процессорного ядра ARM Cortex-A5 и контроллера кэш-памяти второго уровня (L2), работающих на синхронной частоте 600 МГц.

Процессорное ядро ARM Cortex-A5 включает в себя целочисленное ядро, базирующееся на архитектуре ARMv7, сопроцессор с плавающей точкой и кэш-память уровня L1. Ядро поддерживает системы команд ARM и Thumb™, технологию Jazelle для обеспечения возможности прямого выполнения байт-кодов Java. Сопроцессор с плавающей точкой поддерживает архитектуру ARMv7 VFPv4-D16 и соответствует стандарту IEEE754.

Использованное в СБИС МИ БИУС процессорное ядро Cortex-A5 основано на его версии r0p1 и имеет конфигурацию, характеризующуюся наличием/отсутствием следующих свойств:

- 64-разрядный интерфейс AXI;
- пятиступенчатый in-order конвейер с динамическим предсказанием переходов;
- интегрированные сопроцессор отладки CP14 и системный сопроцессор CP15;
- устройства управления памятью команд и данных Memory Management Units (MMU);
- L1 кэш память команд объемом 32 Кбайт;
- сопроцессор для вычислений с плавающей запятой (VFP);
- поддержка трассировки программ;
- система отладки на базе JTAG.

Структурная схема ядра ARM Cortex-A5 представлена на рисунке 13.

					ЮФКВ.431268.020РЭ	Лист
						48
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

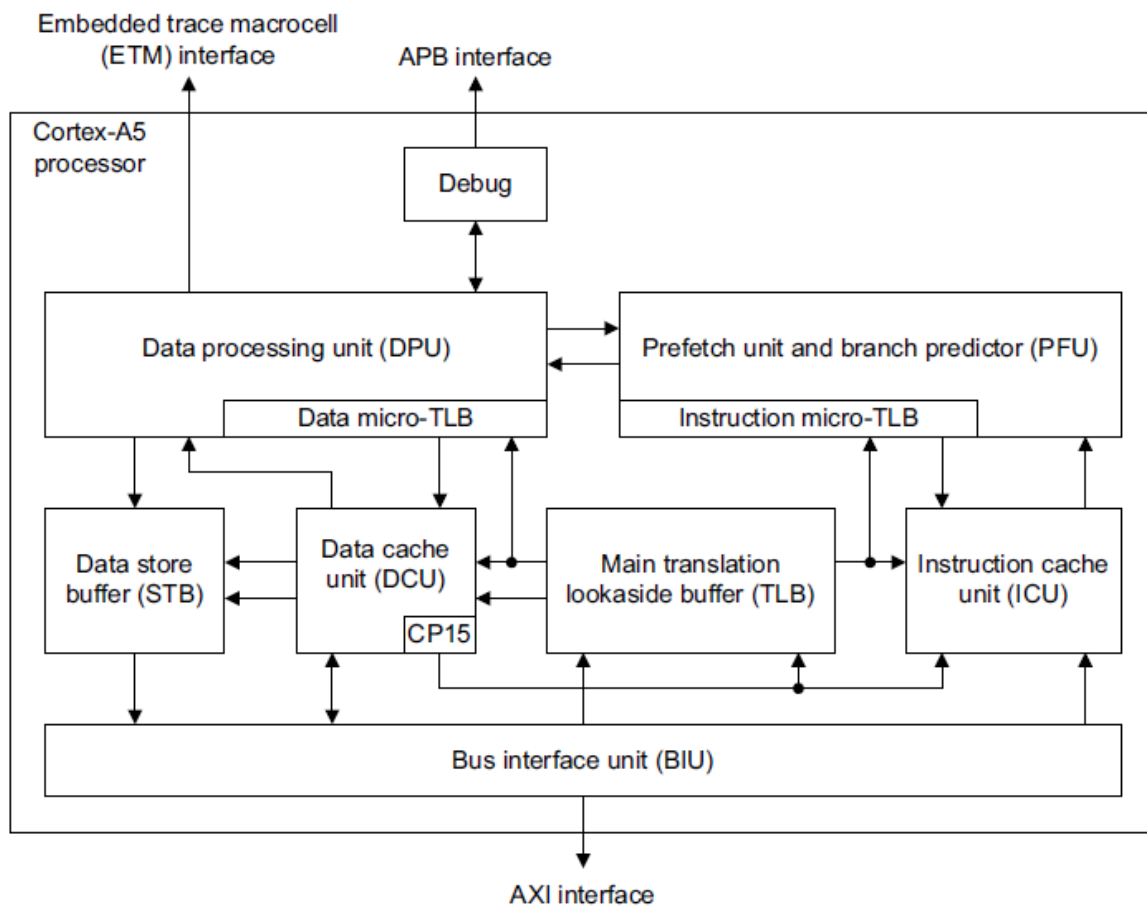


Рисунок 13 – Структурная схема ядра ARM Cortex A5

Контроллер кэш-памяти L2 PL310 имеет следующую конфигурацию и характеристики:

- суммарный объем - 256 Кбайт;
- тип – ассоциативный 8-канальный;
- политика записи – сквозная (write-through) или обратная (write-back) запись;
- программируется через регистры;
- политика замещения – псевдослучайная или циклическая (round-robin).

1.4.1.5.1 Системный контроллер прерываний (GIC)

1.4.1.5.1.1 Общее описание GIC

Системный контроллер прерываний (GIC) служит для передачи запросов на прерывание процессорному ядру ARM Cortex-A5 от периферийных устройств системы на кристалле. GIC имеет следующие характеристики:

- предоставляет программный интерфейс для взаимодействия процессорного ядра ARM Cortex-A5 и системой прерываний;
- поддерживает 64 векторных прерывания с настраиваемыми программно приоритетами (32 уровня приоритетов) и маскированием;
- поддерживает восемь программных прерываний.

1.4.1.5.1.2 Структурная схема GIC

Блок не имеет сигналов, соединенных с внешними выводами микросхемы. На входы блока GIC подключаются выходы прерываний всех периферийных устройств системы на кристалле,

									Лист
									49
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

выходы прерываний подключаются непосредственно к процессорному ядру ARM. GIC также имеет два интерфейса с системной шиной AMBA AXI, по которой процессорное ядро может его программировать.

На рисунке 14 приведена структурная схема GIC с описанием основных компонентов (таблица 51).

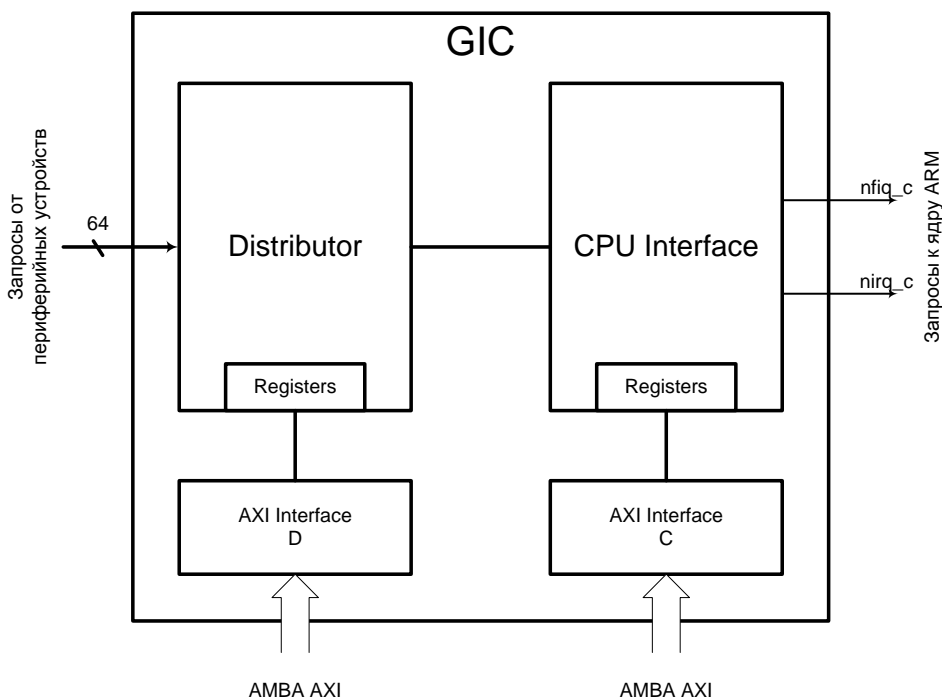


Рисунок 14 – Структурная схема GIC

Таблица 51 – Состав блоков GIC

Название	Назначение
Блок обработки запросов от периферийных устройств (Distributor)	Производит фиксацию запроса на прерывание, маскирование и предварительный арбитраж
Блок интерфейса с процессорным ядром (CPU Interface)	Завершает арбитраж, передаёт запросы процессорному ядру и контролирует процесс обработки запросов

1.4.1.5.1.3 Принципы функционирования GIC

1.4.1.5.1.3.1 Запросы на прерывание

Ко входам линий прерываний GIC подключены выходы запросов на прерывание от периферийных устройств. Вместе с восемью программными прерываниями они образуют единый список. В таблице 52 приведён список прерываний процессорной системы ARM, каждому прерыванию в системе поставлен в соответствие свой порядковый номер (INTID).

Таблица 52 – Карта прерываний GIC

Номер	INTID	Источник	Описание
SGI - программные прерывания			
0	0	SGI0	Программное прерывание 0 в GIC390
1	1	SGI1	Программное прерывание 1 в GIC390
2-15	-	-	Зарезервировано
PPI - выделенные прерывания периферийных устройств			
0-15	-	-	Зарезервировано
SPI - общие прерывания периферийных устройств			
0	32	comgrx	Канал отладки (DCC) RX

					Лист
					50
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Номер	INTID	Источник	Описание
1	33	commtx	Канал отладки (DCC) TX
2	34		
3	35	ts_int	Прерывание от датчика температуры
4	36	mdio0_int	Прерывание 0 блока MDIO
5	37	mdio1_int	Прерывание 1 блока MDIO
6	38	mdio2_int	Прерывание 2 блока MDIO
7	39	mdio3_int	Прерывание 3 блока MDIO
8	40	mdio_gpio0_int	Прерывание 0 GPIO блока MDIO
9	41	mdio_gpio1_int	Прерывание 1 GPIO блока MDIO
10	42	dit0_timint1	Блок двоекных таймеров DIT0 – прерывание таймера 1
11	43	dit0_timint2	Блок двоекных таймеров DIT0 – прерывание таймера 2
12	44	dit1_timint1	Блок двоекных таймеров DIT1 – прерывание таймера 1
13	45	dit1_timint2	Блок двоекных таймеров DIT1 – прерывание таймера 2
14	46	dit2_timint1	Блок двоекных таймеров DIT2 – прерывание таймера 1
15	47	dit2_timint2	Блок двоекных таймеров DIT2 – прерывание таймера 2
16	48	dit3_timint1	Блок двоекных таймеров DIT3 – прерывание таймера 1
17	49	dit3_timint2	Блок двоекных таймеров DIT3 – прерывание таймера 2
18	50		
19	51	mgeth0_irq	Прерывание от контроллера MGETH0
20	52	mgeth1_irq	Прерывание от контроллера MGETH1
21	53	mgeth2_irq	Прерывание от контроллера MGETH2
22	54	mgeth3_irq	Прерывание от контроллера MGETH3
23	55	pcie_dma_int	DMA прерывание от PCIe
24	56	pcie_local_int	Local error прерывание от PCIe
25	57	pcie_inta	PCI legacy interrupt a от PCIe
26	58	pcie_intb	PCI legacy interrupt b от PCIe
27	59	pcie_intc	PCI legacy interrupt c от PCIe
28	60	pcie_intd	PCI legacy interrupt d от PCIe
29	61	adtrans_slv_irq	Прерывание от блока трансляции исходящих AXI транзакций контроллера PCIe
30	62	adtrans_mst_irq	Прерывание от блока трансляции входящих AXI транзакций контроллера PCIe
31	63	wdt_int	Прерывание от сторожевого таймера
32	64	mdma0_irq	Прерывание от контроллера MDMA0
33	65	mdma1_irq	Прерывание от контроллера MDMA1
34	66	mdma2_irq	Прерывание от контроллера MDMA2
35	67	mdma3_irq	Прерывание от контроллера MDMA3
36	68	mkio0_irq	Прерывание от контроллера MKIO0
37	69	mkio1_irq	Прерывание от контроллера MKIO1
38	70	mkio2_irq	Прерывание от контроллера MKIO2
39	71	mkio3_irq	Прерывание от контроллера MKIO3
40	72	gspl_sdio0_irq	Прерывание от контроллера GSPI_SDIO0
41	73	gspl_sdio1_irq	Прерывание от контроллера GSPI_SDIO1
42	74	i2c0_irq	Прерывание от контроллера I2C0
43	75	i2c1_irq	Прерывание от контроллера I2C1
44	76	uart0_intr	Комбинированное прерывание от контроллера UART0
45	77	uart1_intr	Комбинированное прерывание от контроллера UART1
46	78	gpio0_intr	Комбинированное прерывание от контроллера GPIO0
47	79	gpio1_intr	Комбинированное прерывание от контроллера GPIO1
48	80	gpio2_intr	Комбинированное прерывание от контроллера GPIO2
49	81	gpio3_intr	Комбинированное прерывание от контроллера GPIO3
50	82	gpio4_intr	Комбинированное прерывание от контроллера GPIO4
51	83	can0_intr	Прерывание CAN0
52	84	can1_intr	Прерывание CAN1
53	85	arinc_int	Прерывание блока ARINC
54	86	sgmii_int	Прерывание блока SGMII
55	87	ddr0_int	Прерывание блока DDR0
56	88	ddr1_int	Прерывание блока DDR1
57	89	tmr_events_o[9]	Прерывание блока gp_global_timers

					Лист
					51
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Номер	INTID	Источник	Описание
58	90	crg_sys_int	Прерывание по готовности PLL в crg_sys
59	91	crg_ddr_int	Прерывание по готовности PLL в crg_ddr
60	92	pmuirq	Прерывание блока PMU
61	93	l2ccintr	Комбинированное прерывание L2C
62	94	l2decerrintr	Прерывание Slave Error L2C
63	95	l2slverrintr	Прерывание Decode Error L2C

Каждому из запросов на прерывание можно присвоить программный приоритет (0-31), записав нужное значение в соответствующий регистр программного приоритета. Если несколько прерываний имеют одинаковый программный приоритет, то для определения порядка их обработки используется аппаратный приоритет. Аппаратный приоритет тем выше, чем ниже порядковый номер прерывания. То есть, программное прерывание 0 имеет высший аппаратный приоритет, а прерывание 95 – низший.

Запросы на прерывание от периферийных устройств могут быть двух типов: по уровню и по фронту.

Для большинства устройств системы на кристалле используется механизм прерываний по уровню. В этом случае считается, что соответствующее периферийное устройство находится в состоянии запроса на прерывание, и линия прерывания активна до тех пор, пока не будет устранена причина данного запроса в периферийном устройстве.

Запрос на прерывание типа «по фронту» фиксируется контроллером прерываний в момент положительного фронта сигнала на линии прерывания.

1.4.1.5.1.3.2 Интерфейс GIC с процессорным ядром ARM

Входные запросы на прерывание проходят внутри GIC арбитраж и маскирование. Когда какой-нибудь из запросов выигрывает арбитраж, GIC выдаёт процессорному ядру ARM итоговый запрос и ядро переходит в один из двух режимов:

- IRQ (обычное прерывание);
- FIQ (быстрое прерывание).

1.4.1.5.1.3.3 Группы прерываний

GIC позволяет программно настроить режим обработки (IRQ или FIQ) для каждой линии прерывания и для каждого программного запроса. Каждое прерывание GIC считается принадлежащим к одной из двух групп: группе 0 или группе 1. После системного сброса все прерывания принадлежат группе 0 и имеют режим обработки IRQ. Далее можно с помощью записи в программно доступные регистры GIC переносить прерывания в группу 1 и обратно.

Разница между двумя группами заключается в том, что:

- для группы 0 можно установить режим обработки прерывания FIQ;
- прерывания группы 1 могут обрабатываться в незащищённом режиме ядра ARM;
- для группы 1 рекомендуется устанавливать значения приоритетов 16-32.

1.4.1.5.1.3.4 Состояния обработки прерываний

По мере обработки каждое прерывание проходит через состояния, показанные на рисунке 15.

					Лист
					52
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhall</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

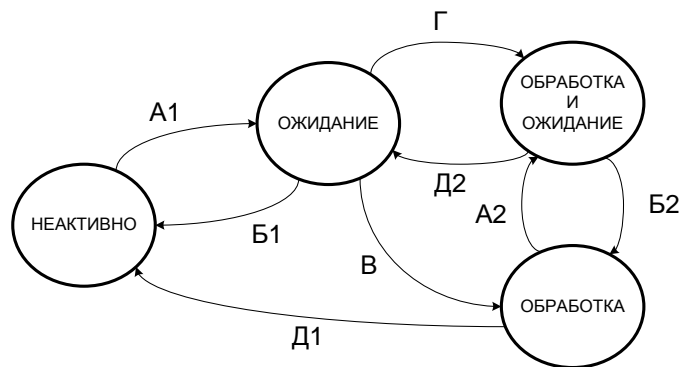


Рисунок 15 – Состояния обработки прерываний

Прерывание переходит в одно из состояний ОЖИДАНИЯ (переходы А1 и А2) по любому из следующих событий:

- периферийное устройство выдаёт запрос на прерывание;
- программная запись в регистр перехода в режим ожидания (GICD_ISPENDR);
- корректная запись в регистр программного запроса (GICD_SGIR).

Отмена ожидания (переходы Б1 и Б2) происходит с прерыванием по любому из следующих событий:

- периферийное устройство по какой-то причине самостоятельно снимает запрос на прерывание – справедливо для прерываний по уровню;
- запись в регистр выхода из режима ожидания (GICD_ICPENDR) – справедливо для прерываний по фронту, программных и для прерываний по уровню, если запрос был инициирован программно.

Прерывание переходит в режим ОБРАБОТКИ (переход В) в момент, когда процессорное ядро читает регистр подтверждения прерывания (GICC_IAR) и при этом в поле Interrupt ID выдаётся номер данного прерывания.

Переход Г совершается, если одновременно выполнены условия перехода В и Д1.

Завершением обработки прерывания (переходы Д1 и Д2) считается запись в регистр завершения обработки прерывания (GICC_EOIR).

1.4.1.5.1.3.5 Вложенные прерывания

Во время, пока какое-либо прерывание (первое) находится в состоянии ОБРАБОТКИ, может возникнуть второй, более приоритетный, запрос на прерывание. Второй запрос передаётся процессорному ядру, только если удовлетворены оба условия:

- приоритет второго запроса выше, чем пороговый уровень приоритета (GICC_PMR);
- приоритет второго запроса выше, чем текущий приоритет обрабатываемого прерывания (GICC_RPR).

После этого процессорное ядро может прочитать регистр GICC_IAR ещё раз, переведя тем самым в состояние обработки второе прерывание. Второе прерывание считается вложенным и его обработка должна быть завершена (запись в регистр GICC_EOIR) раньше завершения первого прерывания.

1.4.1.5.1.4 Описание регистров GIC

Программно доступные регистры системного контроллера прерываний GIC расположены в области памяти периферийных устройств REG_A, занимают две области памяти по 4 Кбайта:

- набор регистров блока обработки запросов от периферийных устройств – GICD, базовый адрес GICD_Base = 0x01104000;

					ЮФКВ.431268.020РЭ		Лист
							53
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

- набор регистров блока интерфейса с процессорным ядром – GICC, базовый адрес GICC_Base = 0x01105000.

1.4.1.5.1.4.1 Карта регистров GIC

Карта регистров GIC представлена в таблице 53.

Таблица 53 – Карта регистров GIC

Адрес	Имя	Доступ	Значение после сброса	Описание
0x000	GICD_CTLR	RW	0x00000000	Регистр включения GIC
0x004	GICD_TYPER	RO	0x00000402	Регистр конфигурации GIC
0x008	GICD_IIDR	RO	0x0000043B	Регистр идентификации GIC
0x080	GICD_IGROUPR0	RW	0x00000000	Регистр 0 принадлежности к группе
0x084	GICD_IGROUPR1	RW	0x00000000	Регистр 1 принадлежности к группе
0x088	GICD_IGROUPR2	RW	0x00000000	Регистр 2 принадлежности к группе
0x100	GICD_ISENBALER0	RW	0x00000000	Регистр 0 включения прерывания
0x104	GICD_ISENBALER1	RW	0x00000000	Регистр 1 включения прерывания
0x108	GICD_ISENBALER2	RW	0x00000000	Регистр 2 включения прерывания
0x180	GICD_ICENABLER0	RW	0x00000000	Регистр 0 выключения прерывания
0x184	GICD_ICENABLER1	RW	0x00000000	Регистр 1 выключения прерывания
0x188	GICD_ICENABLER2	RW	0x00000000	Регистр 2 выключения прерывания
0x200	GICD_ISPENDR0	RW	0x00000000	Регистр 0 перехода в режим ожидания
0x204	GICD_ISPENDR1	RW	0x00000000	Регистр 1 перехода в режим ожидания
0x208	GICD_ISPENDR2	RW	0x00000000	Регистр 2 перехода в режим ожидания
0x280	GICD_ICPENDR0	RW	0x00000000	Регистр 0 выхода из режима ожидания
0x284	GICD_ICPENDR1	RW	0x00000000	Регистр 1 выхода из режима ожидания
0x288	GICD_ICPENDR2	RW	0x00000000	Регистр 2 выхода из режима ожидания
0x300	GICD_ICDABR0	RO	0x00000000	Регистр 0 состояния обработки прерывания
0x304	GICD_ICDABR1	RO	0x00000000	Регистр 1 состояния обработки прерывания
0x308	GICD_ICDABR2	RO	0x00000000	Регистр 2 состояния обработки прерывания
0x400	GICD_IPRIORITY0	RW	0x00000000	Регистр 0 приоритетов
0x404	GICD_IPRIORITY1	RW	0x00000000	Регистр 1 приоритетов
0x420	GICD_IPRIORITY8	RW	0x00000000	Регистр 8 приоритетов
0x424	GICD_IPRIORITY9	RW	0x00000000	Регистр 9 приоритетов
0x428	GICD_IPRIORITY10	RW	0x00000000	Регистр 10 приоритетов
0x42C	GICD_IPRIORITY11	RW	0x00000000	Регистр 11 приоритетов
0x430	GICD_IPRIORITY12	RW	0x00000000	Регистр 12 приоритетов
0x434	GICD_IPRIORITY13	RW	0x00000000	Регистр 13 приоритетов
0x438	GICD_IPRIORITY14	RW	0x00000000	Регистр 14 приоритетов
0x43C	GICD_IPRIORITY15	RW	0x00000000	Регистр 15 приоритетов
0x440	GICD_IPRIORITY16	RW	0x00000000	Регистр 16 приоритетов
0x444	GICD_IPRIORITY17	RW	0x00000000	Регистр 17 приоритетов
0x448	GICD_IPRIORITY18	RW	0x00000000	Регистр 18 приоритетов
0x44C	GICD_IPRIORITY19	RW	0x00000000	Регистр 19 приоритетов
0x450	GICD_IPRIORITY20	RW	0x00000000	Регистр 20 приоритетов
0x454	GICD_IPRIORITY21	RW	0x00000000	Регистр 21 приоритетов
0x458	GICD_IPRIORITY22	RW	0x00000000	Регистр 22 приоритетов
0x45C	GICD_IPRIORITY23	RW	0x00000000	Регистр 23 приоритетов
0xC00	GICD_ICFGR0	RW	0x0000AAAA	Регистр 0 типа запроса
0xC04	-	-	-	Резерв
0xC08	GICD_ICFGR2	RW	0x55555555	Регистр 2 типа запроса
0xC0C	GICD_ICFGR3	RW	0x55555555	Регистр 3 типа запроса
0xC10	GICD_ICFGR4	RW	0x55555555	Регистр 4 типа запроса
0xC14	GICD_ICFGR5	RW	0x55555555	Регистр 5 типа запроса
0xD04	GICD_IRAWST1	RO	0x00000000	Регистр 1 состояния запросов от периферийных устройств
0xD08	GICD_IRAWST2	RO	0x00000000	Регистр 2 состояния запросов от

					ЮФКВ.431268.020РЭ	Лист 54
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редкол</i> 24.10.2019		34203-2		

Адрес	Имя	Доступ	Значение после сброса	Описание
				периферийных устройств
0xF00	GICD_SGIR	WO	0x00000000	Регистр программных запросов на прерывание
0x000	GICC_CTLR	RW	0x00000000	Регистр управления интерфейсом с процессорным ядром
0x004	GICC_PMR	RW	0x00000000	Регистр фильтра приоритетов
0x008	GICC_BPR	RW	0x00000002	Регистр интервалов приоритета
0x00C	GICC_IAR	RO	0x0000007F	Регистр подтверждения прерывания
0x010	GICC_EOIR	WO	-	Регистр завершения обработки прерывания
0x014	GICC_RPR	RO	0x000000FF	Регистр текущего приоритета обрабатываемого прерывания
0x018	GICC_HPRIIR	RO	0x0000007F	Регистр наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ
0x01C	GICC_ABPR	RW	0x00000003	Зеркало регистра интервалов приоритета

1.4.1.5.1.4.2 Особенности доступа к регистрам GIC

Процессорное ядро ARM может находиться в двух состояниях: защищённое (secure) и незащищённое (non-secure). При каждом доступе в программно доступные регистры информация о состоянии ядра передаётся в GIC, соответственно, GIC различает защищённый доступ и незащищённый. Для некоторых регистров поведение при защищённом доступе отличается от поведения при незащищённом.

Доступ в регистры GIC необходимо делать с помощью инструкций чтения и записи 32-разрядного слова (LDR, STR). Исключение составляют регистры GICD_IPRIORITY, в которые разрешён байтовый доступ (LDRB, STRB).

1.4.1.5.1.4.3 Описание полей регистров GIC

1.4.1.5.1.4.3.1 GICD_CTLR (0x000)

Описание полей регистра GICD_CTLR представлено в таблице 54.

Таблица 54 – Поля регистра GICD_CTLR

Биты	Название	Тип	Описание
[31:1]	Зарезервировано	-	
[0]	Enable	RW	Бит включения блока обработки запросов. Значение 0 – прерывания не передаются в интерфейсный блок, значение 1 разрешает прерываниям из состояния ожидания переходить в состояние обработки

Физически имеется два экземпляра регистра GICD_CTLR: для защищённого режима и для незащищённого:

- если процессорное ядро обращается в защищённом режиме, то производится доступ к экземпляру, управляющему прерываниями группы 0;
- если процессорное ядро обращается в незащищённом режиме, то производится доступ к экземпляру, управляющему группой 1.

1.4.1.5.1.4.3.2 GICD_TYPER (0x004)

Описание полей регистра GICD_TYPER представлено в таблице 55.

Таблица 55 – Поля регистра GICD_TYPER

Биты	Название	Тип	Описание
[31:11]	Зарезервировано	-	

					ЮФКВ.431268.020РЭ		Лист
							55
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhal</i> 24.10.2019		34203-2			

Биты	Название	Тип	Описание
[10]	SecurityExtn	RO	Контроллер поддерживает расширения безопасности, поэтому данный бит имеет значение 1
[9:8]	Зарезервировано	-	
[7:5]	CPUNumber	RO	Количество интерфейсов с процессорными ядрами, данное поле имеет значение 000 – один интерфейс
[4:0]	ITLinesNumber	RO	Данный экземпляр GIC поддерживает до 96 прерываний, поэтому данное поле имеет значение 2

Данный регистр нужен для того, чтобы универсальное ПО определяло конфигурацию GIC.

1.4.1.5.1.4.3.3 GICD_IIDR (0x008)

Описание полей регистра GICD_IIDR представлено в таблице 56.

Таблица 56 – Поля регистра GICD_IIDR

Биты	Название	Тип	Описание
[31:16]	Зарезервировано	-	
[15:12]	Revision	RO	Номер ревизии
[11:0]	Implementer	RO	Код разработчика блока по JEP106 (0x0000043B – код фирмы ARM)

1.4.1.5.1.4.3.4 GICD_IGROUPR0 – GICD_IGROUPR2 (0x080 – 0x088)

Регистры GICD_IGROUPR0 – GICD_IGROUPR2 идентичны.

Описание полей регистров GICD_IGROUPR0 – GICD_IGROUPR2 представлено в таблице 57.

Таблица 57 – Поля регистра GICD_IGROUPR0-2

Биты	Название	Тип	Описание
[31:0]	Group	RW	Каждый бит регистра соответствует одной линии прерывания. Значение 0 – прерывание принадлежит к группе 0, значение 1 – прерывание принадлежит к группе 1

Данные регистры доступны только в защищённом режиме.

Имеются три экземпляра регистров:

- в регистре GICD_IGROUPR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD_IGROUPR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD_IGROUPR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.4.1.5.1.4.3.5 GICD_ISENABLER0 – GICD_ISENABLER2 (0x100 – 0x108)

Регистры GICD_ISENABLER0 – GICD_ISENABLER2 идентичны.

Описание полей регистров GICD_ISENABLER0 – GICD_ISENABLER2 представлено в таблице 58.

Таблица 58 – Поля регистров GICD_ISENABLER0-2

Биты	Название	Тип	Описание
[31:0]	Set-enable	RW	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра включает соответствующее прерывание, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание выключено, значение 1 – включено

					ЮФКВ.431268.020РЭ		Лист
							56
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ISENABLER0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD_ISENABLER1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD_ISENABLER2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.4.1.5.1.4.3.6 GICD_ICENABLER0 – GICD_ICENABLER2 (0x180 – 0x188)

Регистры GICD_ICENABLER0 – GICD_ICENABLER2 идентичны.

Описание полей регистров GICD_ICENABLER0 – GICD_ICENABLER2 представлено в таблице 59.

Таблица 59 – Поля регистров GICD_ICENABLER0-2

Биты	Название	Тип	Описание
[31:0]	Clear-enable	RW	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра выключает соответствующее прерывание, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание выключено, значение 1 – включено

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ICENABLER0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD_ICENABLER1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD_ICENABLER2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.4.1.5.1.4.3.7 GICD_ISPENDR0 – GICD_ISPENDR2 (0x200 – 0x208)

Регистры GICD_ISPENDR0 – GICD_ISPENDR2 идентичны.

Описание полей регистров GICD_ISPENDR0 – GICD_ISPENDR2 представлено в таблице 60.

Таблица 60 – Поля регистров GICD_ISPENDR0-2

Биты	Название	Тип	Описание
[31:0]	Set-pending	RW	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра переводит соответствующее прерывание из неактивного состояния в состояние ОЖИДАНИЯ, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОЖИДАНИЯ, значение 1 – прерывание находится в состоянии ОЖИДАНИЯ

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ISPENDR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD_ISPENDR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;

									Лист
									57
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

- в регистре GICD_ISPENDR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.4.1.5.1.4.3.8 GICD_ICPENDR0 – GICD_ICPENDR2 (0x280 – 0x288)

Регистры GICD_ICPENDR0 – GICD_ICPENDR2 идентичны.

Описание полей регистров GICD_ICPENDR0 – GICD_ICPENDR2 представлено в таблице 61.

Таблица 61 – Поля регистров GICD_ICPENDR0-2

Биты	Название	Тип	Описание
[31:0]	Clear-pending	RW	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра переводит соответствующее прерывание из состояния ОЖИДАНИЯ в неактивное состояние, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОЖИДАНИЯ, значение 1 – прерывание находится в состоянии ОЖИДАНИЯ

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ICPENDR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD_ICPENDR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD_ICPENDR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.4.1.5.1.4.3.9 GICD_ICDABR0 – GICD_ICDABR2 (0x300 -0x308)

Регистры GICD_ICDABR0 – GICD_ICDABR2 идентичны.

Описание полей регистров GICD_ICDABR0 – GICD_ICDABR2 представлено в таблице 62.

Таблица 62 – Поля регистров GICD_ICDABR0-2

Биты	Название	Тип	Описание
[31:0]	Active	RO	Каждый бит регистра соответствует одной линии прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОБРАБОТКИ, значение 1 – прерывание находится в состоянии ОБРАБОТКИ

В незащищённом режиме для чтения недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ICDABR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD_ICDABR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD_ICDABR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.4.1.5.1.4.3.10 GICD_IPRIORITY0 – GICD_IPRIORITY23 (0x400 – 0x45C)

Каждый регистр GICD_IPRIORITY_x (где x – порядковый номер от 0 до 23) содержит четыре восьмиразрядных поля, каждое поле соответствует одной линии прерывания. Возможные значения поля: 0-31. Максимальный приоритет – 0, минимальный – 31. В таблице 63 показано, как поля приоритетов распределены по регистрам.

									Лист
									58
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019			34203-2				

Таблица 63 – Поля регистров GICD_IPRIORITY0-23

Номер прерывания, Interrupt ID	Экземпляр регистра GICD_IPRIORITY	Поле	Номер прерывания, Interrupt ID	Экземпляр регистра GICD_IPRIORITY	Поле
0	GICD_IPRIORITY0	Биты 7-3	1	GICD_IPRIORITY0	Биты 15-11
2		Биты 23-19	3		Биты 31-27
4	GICD_IPRIORITY1	Биты 7-3	5	GICD_IPRIORITY1	Биты 15-11
6		Биты 23-19	7		Биты 31-27
-	-	-	-	-	-
32	GICD_IPRIORITY8	Биты 7-3	33	GICD_IPRIORITY8	Биты 15-11
34		Биты 23-19	35		Биты 31-27
36	GICD_IPRIORITY9	Биты 7-3	37	GICD_IPRIORITY9	Биты 15-11
38		Биты 23-19	39		Биты 31-27
40	GICD_IPRIORITY10	Биты 7-3	41	GICD_IPRIORITY10	Биты 15-11
42		Биты 23-19	43		Биты 31-27
44	GICD_IPRIORITY11	Биты 7-3	45	GICD_IPRIORITY11	Биты 15-11
46		Биты 23-19	47		Биты 31-27
48	GICD_IPRIORITY12	Биты 7-3	49	GICD_IPRIORITY12	Биты 15-11
50		Биты 23-19	51		Биты 31-27
52	GICD_IPRIORITY13	Биты 7-3	53	GICD_IPRIORITY13	Биты 15-11
54		Биты 23-19	55		Биты 31-27
56	GICD_IPRIORITY14	Биты 7-3	57	GICD_IPRIORITY14	Биты 15-11
58		Биты 23-19	59		Биты 31-27
60	GICD_IPRIORITY15	Биты 7-3	61	GICD_IPRIORITY15	Биты 15-11
62		Биты 23-19	63		Биты 31-27
64	GICD_IPRIORITY16	Биты 7-3	65	GICD_IPRIORITY16	Биты 15-11
66		Биты 23-19	67		Биты 31-27
68	GICD_IPRIORITY17	Биты 7-3	69	GICD_IPRIORITY17	Биты 15-11
70		Биты 23-19	71		Биты 31-27
72	GICD_IPRIORITY18	Биты 7-3	73	GICD_IPRIORITY18	Биты 15-11
74		Биты 23-19	75		Биты 31-27
76	GICD_IPRIORITY19	Биты 7-3	77	GICD_IPRIORITY19	Биты 15-11
78		Биты 23-19	79		Биты 31-27
80	GICD_IPRIORITY20	Биты 7-3	81	GICD_IPRIORITY20	Биты 15-11
82		Биты 23-19	83		Биты 31-27
84	GICD_IPRIORITY21	Биты 7-3	85	GICD_IPRIORITY21	Биты 15-11
86		Биты 23-19	87		Биты 31-27
88	GICD_IPRIORITY22	Биты 7-3	89	GICD_IPRIORITY22	Биты 15-11
90		Биты 23-19	91		Биты 31-27
92	GICD_IPRIORITY23	Биты 7-3	93	GICD_IPRIORITY23	Биты 15-11
94		Биты 23-19	95		Биты 31-27

В незащищённом режиме для чтения и записи недоступны поля приоритетов прерываний, относящихся к группе 0.

1.4.1.5.1.4.3.11 GICD_ICFGR0 – GICD_ICFGR5 (0xC00 – 0xC14)

Каждый регистр GICD_ICFGR содержит 16 двухразрядных полей. Значения поля: 0x1 – прерывание типа «по уровню», 0x3 – прерывание типа «по фронту». В таблице 64 показано, как поля распределены по регистрам.

Таблица 64 – Поля регистров GICD_ICFGR0-5

Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле	Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле
0	GICD_ICFGR0	Биты 1-0	1	GICD_ICFGR0	Биты 3-2
2		Биты 5-4	3		Биты 7-6

					ЮФКВ.431268.020РЭ	Лист 59
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле	Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле
4		Биты 9-8	5		Биты 11-10
6		Биты 13-12	7		Биты 15-14
-	-	-	-	-	-
32		Биты 1-0	33		Биты 3-2
34		Биты 5-4	35		Биты 7-6
36		Биты 9-8	37		Биты 11-10
38		Биты 13-12	39		Биты 15-14
40		Биты 17-16	41		Биты 19-18
42	GICD_ICFGR2	Биты 21-20	43	GICD_ICFGR2	Биты 23-22
44		Биты 25-24	45		Биты 27-26
46		Биты 29-28	47		Биты 31-30
48		Биты 1-0	49		Биты 3-2
50		Биты 5-4	51		Биты 7-6
52		Биты 9-8	53		Биты 11-10
54		Биты 13-12	55		Биты 15-14
56		Биты 17-16	57		Биты 19-18
58		Биты 21-20	59		Биты 23-22
60		Биты 25-24	61		Биты 27-26
62		Биты 29-28	63		Биты 31-30
64		Биты 1-0	65		Биты 3-2
66		Биты 5-4	67		Биты 7-6
68		Биты 9-8	69		Биты 11-10
70		Биты 13-12	71		Биты 15-14
72		Биты 17-16	73		Биты 19-18
74		Биты 21-20	75		Биты 23-22
76		Биты 25-24	77		Биты 27-26
78		Биты 29-28	79		Биты 31-30
80		Биты 1-0	81		Биты 3-2
82		Биты 5-4	83		Биты 7-6
84		Биты 9-8	85		Биты 11-10
86		Биты 13-12	87		Биты 15-14

					ЮФКВ.431268.020РЭ		Лист
							60
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле	Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле
88		Биты 17-16	89		Биты 19-18
90		Биты 21-20	91		Биты 23-22
92		Биты 25-24	93		Биты 27-26
94		Биты 29-28	95		Биты 31-30

В незащищённом режиме для чтения и записи доступны только поля приоритетов прерываний, относящихся к группе 1. При этом доступны только старшие четыре бита каждого поля и значения 0-15 соответствуют приоритетам 16-32 соответственно.

1.4.1.5.1.4.3.12 GICD_IRAWST1 и GICD_IRAWST2 (0xD04 и 0xD08)

Описание полей регистров GICD_IRAWST1 и GICD_IRAWST2 представлено в таблице 65.

Таблица 65 – Поля регистров GICD_IRAWST1-2

Биты	Название	Тип	Описание
[31:0]	RawStatus	RO	Каждый бит регистра соответствует одной линии прерывания. Регистр показывает состояние линии прерывания на входе в GIC: 0 – нет запроса, 1 – есть запрос

Регистр доступен только в защищённом режиме. Значение битов, соответствующих прерываниям типа «по фронту», не определено.

Имеются два экземпляра регистров:

- в регистре GICD_IRAWST1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD_IRAWST2 биты 0-31 соответствуют прерываниям 64-94 соответственно.

1.4.1.5.1.4.3.13 GICD_SGIR (0xF00)

Описание полей регистра GICD_SGIR представлено в таблице 66.

Таблица 66 – Поля регистра GICD_SGIR

Биты	Название	Тип	Описание
[31:26]	Зарезервировано	-	
[25:24]	TargetListFilter	ЗП	В это поле следует всегда записывать b00
[23:16]	CPUTargetList	ЗП	В это поле следует всегда записывать b00000001
[15]	NSATT	ЗП	Бит незащищённого режима. Запрос на прерывание генерируется, только если справедливо одно из условий: - записываемое значение данного бита – 0, запись в данный регистр производится в защищённом режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 0; - записываемое значение данного бита – 1, запись в данный регистр производится в защищённом режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 1; - записываемое значение данного бита – любое, запись в данный регистр производится в незащищённом режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 1
[14:4]	Зарезервировано	-	
[3:0]	SGIINTID	ЗП	Номер программного прерывания (Interrupt ID), на которое будет сделан запрос. Допустимые значения: 0-7 (прерывания 0-7 соответственно)

Запись в данный регистр инициирует запрос на программное прерывание.

					Лист
					61
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

1.4.1.5.1.4.3.14 GICC_CTLR (0x000)

Описание полей регистров GICC_CTLR представлено в таблице 67.

Таблица 67 – Поля регистра GICC_CTLR

Биты	Название	Тип	Описание
[31:5]	Зарезервировано	-	
[4]	SBPR	RW	Бит определяет, каким регистром задаётся размер интервала приоритетов в группе 1. Значение 0 – экземпляром регистра GICC_BPR для группы 1 (или, что то же самое, регистром GICC_ABPR), значение 1 – экземпляром регистра GICC_BPR для группы 0 (то есть одинаковое разбиение для группы 0 и группы 1)
[3]	FIQEn	RW	Бит режима прерывания. Значение 0 – прерывания группы 0 обрабатываются ядром ARM в режиме IRQ, значение 1 – в режиме FIQ
[2]	AckCtl	RW	Управляет режимом подтверждения прерываний группы 1. Влияет на поведение регистров GICC_IAR и GICC_EOIR
[1]	EnableGrp1	RW	Включение прерываний группы 1. Значение 0 – выключены, значение 1 – включены
[0]	EnableGrp0	RW	Включение прерываний группы 0. Значение 0 – выключены, значение 1 – включены

1.4.1.5.1.4.3.15 GICC_PMR (0x004)

Представление данного регистра различается при защищённом и незащищённом доступе. В защищённом режиме можно установить текущий пороговый уровень в значение от 0 до 31 (таблица 68).

Таблица 68 – Поля регистра GICC_PMR при защищённом доступе

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:3]	Priority	RW	Пороговый уровень приоритета. Все запросы на прерывание с приоритетом ниже или равным значению данного поля маскируются.
[2:0]	Зарезервировано	-	

В незащищённом режиме можно установить текущий пороговый уровень в значение от 16 до 31 (таблица 69).

Таблица 69 – Поля регистра GICC_PMR при незащищённом доступе

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:4]	Priority	RW	Пороговый уровень приоритета. При этом считается, что старший бит приоритета равен 1 (то есть значения 0-15 данного поля устанавливают приоритет 16-31 соответственно)
[2:0]	Зарезервировано	-	

Если в защищённом режиме запрограммирован текущий приоритет от 0 до 15, то любая незащищённая запись не проходит, а незащищённое чтение выдаёт 0.

1.4.1.5.1.4.3.16 GICC_BPR (0x008)

Описание полей регистров GICC_BPR представлено в таблице 70.

Таблица 70 – Поля регистра GICC_BPR

Биты	Название	Тип	Описание
[31:3]	Зарезервировано	-	
[2:0]	BinaryPoint	RW	Длина интервала приоритетов

					ЮФКВ.431268.020РЭ		Лист
							62
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Регистр GICC_BPR разбивает все возможные значения приоритетов прерываний на интервалы одинаковой длины, которые используются в механизме вложенных прерываний. Длиной интервала считается количество разных значений приоритетов в одном интервале. Физически имеется два экземпляра регистра GICC_BPR: регистр группы 0 (см. таблицу 71) и регистр группы 1 (см. таблицу 72).

Таблица 71 – Длина интервала приоритетов регистра GICC_BPR группы 0

Значение поля BinaryPoint	Длина интервала	Количество интервалов	Разделение приоритетов по интервалам
0	-	-	Зарезервировано
1	-	-	Зарезервировано
2	1	32	0, 1, ..., 31 – по одному приоритету в интервале
3	2	16	0-1, 2-3, ..., 30-31
4	4	8	0-3, 4-7, ..., 28-31
5	8	4	0-7, 8-15, 16-32, 24-31
6	16	2	0-15, 16-31
7	32	1	0-31 – все приоритеты в одном интервале

Прерывания группы 1 имеют приоритеты с 16 по 31, поэтому кодировка регистра GICC_BPR для группы 1 отличается.

Таблица 72 – Длина интервала приоритетов регистра GICC_BPR группы 1

Значение поля BinaryPoint	Длина интервала	Количество интервалов	Разделение приоритетов по интервалам
0	-	-	Зарезервировано
1	-	-	Зарезервировано
2	-	-	Зарезервировано
3	1	16	16, 17, ..., 31 – по одному приоритету в интервале
4	2	8	16-17, 18-19, ..., 30-31
5	4	4	16-19, 20-23, 24-27, 28-31
6	8	2	16-23, 24-31
7	16	1	16-31 – все приоритеты группы 1 в одном интервале

Не допускается записывать в регистр GICC_BPR зарезервированные значения.

Экземпляр регистра группы 1 может не использоваться (см. описание бита GICC_CTLR[SBPR] в п. 1.4.1.5.1.4.3.14).

1.4.1.5.1.4.3.17 GICC_IAR (0x00C)

Описание полей регистров GICC_IAR представлено в таблице 73.

Таблица 73 – Поля регистра GICC_IAR

Биты	Название	Тип	Описание
[31:7]	Зарезервировано	-	
[6:0]	InterruptID	ЧТ	Номер самого приоритетного на данный момент прерывания

Чтение из данного регистра возвращает номер наиболее приоритетного на данный момент прерывания, переводит это прерывание в состояние ОБРАБОТКИ.

Описанные действия производятся контроллером только в ответ на валидное чтение.

Если наиболее приоритетным на данный момент является прерывание из группы 0, то валидным считается чтение только в защищённом режиме процессора. Если из группы 1, то возможны варианты:

- чтение в незащищённом режиме валидно;
- если бит GICC_CTLR[AckCtl] заранее установлен в 1, то валидно чтение в защищённом режиме.

					Лист
					63
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	Подп. и дата

ЮФКВ.431268.020РЭ

При любых других условиях чтение считается невалидным. Невалидное чтение не влияет на внутреннее состояние контроллера и возвращает:

- значение 1022 в случае, когда наиболее приоритетное прерывание принадлежит группе 1, чтение в защищённом режиме и бита GICC_CTLR[AckCtl]=0;
- значение 1023 во всех других случаях.

1.4.1.5.1.4.3.18 GICC_EOIR (0x010)

Описание полей регистров GICC_EOIR представлено в таблице 74.

Таблица 74 – Поля регистра GICC_EOIR

Биты	Название	Тип	Описание
[31:10]	Зарезервировано	-	
[9:0]	EOINTID	WO	Номер прерывания

Валидная запись в данный регистр переводит прерывание с номером EOINTID из режима ОБРАБОТКИ в неактивное состояние.

Запись считается валидной, если справедливо одно из условий:

- прерывание с номером EOINTID принадлежит группе 0 и запись производится в защищённом режиме;
- прерывание с номером EOINTID принадлежат группе 1 и запись производится в незащищённом режиме;
- прерывание с номером EOINTID принадлежат группе 1, запись производится в защищённом режиме и бит GICC_CTLR[AckCtl]=1.

Любая другая запись считается невалидной, кроме того, запись в защищённом режиме при значении бита GICC_CTLR[AckCtl]=0 недопустима:

- при AckCtl=0 записываемое в защищённом режиме значение EOINTID должно соответствовать последнему прочитанному в защищённом режиме значению InterruptID регистра GICC_IAR;
- при AckCtl=1 записываемое в защищённом режиме значение EOINTID должно соответствовать последнему прочитанному в любом режиме значению InterruptID регистра GICC_IAR;
- записываемое в незащищённом режиме значение EOINTID должно соответствовать последнему прочитанному в незащищённом режиме значению InterruptID регистра GICC_IAR.

1.4.1.5.1.4.3.19 GICC_RPR (0x014)

Представление данного регистра различается при защищённом (таблица 75) и незащищённом (таблица 76) доступе.

Таблица 75 – Поля регистра GICC_RPR при защищённом доступе

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:3]	Priority	RO	Приоритет прерывания, находящегося в состоянии ОБРАБОТКИ. Возвращается наивысший приоритет из интервала, в котором находится наиболее приоритетное на данный момент прерывание
[2:0]	Зарезервировано	-	

Таблица 76 – Поля регистра GICC_RPR при незащищённом доступе

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	

					ЮФКВ.431268.020РЭ		Лист 64
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Биты	Название	Тип	Описание
[7:4]	Priority	RO	Приоритет прерывания группы 1, находящегося в состоянии ОБРАБОТКИ. При этом считается, что старший бит приоритета равен 1 (то есть значения 0-15 данного поля означает приоритет 16-31 соответственно). Если в состоянии обработки находится прерывание группы 0, то данное поле возвращает 0
[2:0]	Зарезервировано	-	

1.4.1.5.1.4.3.20 GICC_HPPIR (0x018)

Регистр наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ.

Описание полей регистров GICC_HPPIR представлено в таблице 77.

Таблица 77 – Поля регистра GICC_HPPIR

Биты	Название	Тип	Описание
[31:10]	Зарезервировано	-	
[9:0]	PENDINTID	RO	Номер наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ

При защищённом чтении регистр возвращает:

- номер наиболее приоритетного прерывания из всех находящихся в состоянии ОЖИДАНИЯ, если бит GICC_CTLR[AckCtl]=1;
- номер наиболее приоритетного прерывания из группы 0, находящегося в состоянии ОЖИДАНИЯ;
- значение 1022, если в состоянии ожидания находятся только прерывания группы 1;
- значение 1023 во всех остальных случаях.

При незащищённом чтении регистр возвращает:

- номер наиболее приоритетного прерывания из группы 1, находящегося в состоянии ОЖИДАНИЯ;
- значение 1023.

1.4.1.5.1.4.4 Зеркало регистра интервалов приоритета (GICC_ABPR)

Зеркало регистра интервалов приоритета позволяет в защищённом режиме производить доступ в экземпляр регистра интервала приоритетов для группы прерываний 1 (доступный по адресу регистра GICC_BPR только в незащищённом режиме).

1.4.1.5.1.5 Порядок работы с GIC

В данном разделе описывается пример работы с GIC в простом случае: все прерывания обрабатываются в режиме IRQ, настройки приоритетов оставлены по умолчанию. Представлен порядок действий программы, выполняемой на процессорном ядре ARM, непосредственно связанном с данным GIC.

Порядок инициализации после системного сброса:

- запись в регистры GICD_ICFGR информации о типе запросов от каждого периферийного устройства: по фронту или по уровню;
- запись в регистры GICD_IGROUPR значения 0 – все прерывание относятся к группе 0;
- запись в регистры GICD_ISENBLER информации о том, какие прерывания следует включить;
- запись в регистр GICC_PMR значения 0xFF – разрешение прерываний любого приоритета;
- запись в регистр GICC_CTLR значения 1 – включение блока интерфейса с процессорным ядром;
- запись в регистр GICD_CTLR значения 1 – включение блока обработки запросов от периферийных устройств;

					ЮФКВ.431268.020РЭ		Лист 65
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

- разрешить прерывание IRQ в процессорном ядре ARM (если уже не включено).

Порядок обработки прерывания:

- при получении запроса ядро ARM переходит в режим IRQ и выполняет первую инструкцию общего обработчика, расположенную по адресу 0x00000018 (или в другом месте, если переопределено при инициализации ядра ARM);
- общий обработчик читает регистр GICC_IAR, чтобы определить номер прерывания (InterruptID);
- общий обработчик вызывает обработчик, ассоциированный с полученным номером прерывания;
- ассоциированный обработчик совершает необходимые действия с периферийным устройством, обычно добываясь, что периферийное устройство снимает свой запрос и возвращает управление общему обработчику;
- общий обработчик записывает в регистр GICC_EOIR номер прерывания;
- общий обработчик делает возврат из режима IRQ.

1.4.1.5.2 Система таймеров (GP_TIMERS)

GP_TIMERS (General Purpose Timers) – распределённая по всей СнК сеть счётчиков, предназначенная для фиксации моментов времени и проставления соответствующих временных меток при работе различных СФ-блоков, а также генерации сигналов при достижении интервальными таймерами заданного предела.

Топология сети GP_TIMERS – звезда. Центральным устройством в сети является блок gp_global_timers, который вырабатывает сигнал для переключения оконечных блоков (gp_local_time_stamper, gp_local_sync_timer, gp_local_event_acceptor), включенных в состав отдельных СФ-блоков.

Блок gp_global_timers состоит из двух подблоков:

- gp_global_sync_timers включает два синхронно изменяющихся счётчика (таймера):
 - 1) счётчик внутреннего времени;
 - 2) счётчик реального времени в соответствии с форматом, описанным в IEEE 1588v2 (2008 год);
- gp_global_event_timers – набор программируемых интервальных таймеров.

Блок gp_global_timers интегрируется в систему посредством интерфейса AMBA APB 3.0 slave. Блок вырабатывает два типа сигналов:

- сигналы синхронизации t_sync и t10_sync, фронт и срез которых используются для переключения счётчиков в блоках gp_local_time_stamper и gp_local_sync_timer;
- группу сигналов (шину) tmr_events, каждый сигнал переключением из 0 в 1 информирует о достижении заданного предела соответствующего интервального таймера.

Блоки gp_local_time_stamper и gp_local_sync_timer имеют только специальный интерфейс для интеграции в СФ-блок верхнего уровня и вход sync_i для синхронизации с блоком gp_global_timers.

Блок gp_local_event_acceptor имеет специальный интерфейс для интеграции в СФ-блок верхнего уровня и вход tmr_event_i для получения сигнала достижения заданного предела соответствующего интервального таймера.

Функциональные возможности блока gp_global_sync_timers:

- Два системных счётчика:
 - 1) Free Run Counter (счётчик внутреннего времени);
 - 2) Global Counter (счётчик реального времени);
- Функциональные возможности Free Run Counter:
 - 1) Шаг изменения один такт системной частоты (10 нс);

					Лист	
					66	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redchell</i> 24.10.2019		34203-2		

- 2) Значение после аппаратного сброса – 0;
 - 3) Программный сброс отсутствует;
 - 4) Free Run Counter запускается программно первичным загрузчиком и не может быть остановлен во время последующей работы;
 - 5) Значение счётчика не может быть задано программно;
- Функциональные возможности Global Counter:
- 1) Global Counter – счётчик в формате:
 - а) 48 бит – секунды;
 - б) 32 бита – наносекунды;
 - 2) Значение Global Counter после аппаратного сброса – 0;
 - 3) Значение Global Counter после программного сброса – 0;
 - 4) Каждый такт системной частоты Global Counter увеличивается на значение, заданное в регистре (по умолчанию – 10,00 нс);
 - 5) Значение Global Counter может быть задано или изменено программно.

Функциональные возможности блока gp_global_event_timers:

- Число таймеров задаётся параметром при интеграции блока в систему;
- Точность работы каждого таймера – 100 тактов системной частоты (1 мкс);
- Каждый таймер синхронен с Free Run Counter;
- Для каждого таймера задаётся предельное значение;
- Каждый таймер генерирует сигнал, информирующий о достижении заданного периода, длительность сигнала – половина предельного значения;
- Каждый таймер может быть запущен однократно или выдавать сигнал с периодом, равным предельному значению.

Функциональные возможности блока gp_local_time_stamper:

- Счётчик, значение которого совпадает со значением Free Run Counter;
- В зависимости от частоты работы блока, который обслуживает gp_local_time_stamper, счётчик синхронизируется с Free Run Counter раз в 10 нс (частота работы блока выше частоты работы gp_global_timers) или раз в 100 нс (частота работы блока ниже или равна частоте работы gp_global_timers);
- Фиксация значения счётчика по внешнему сигналу.

Функциональные возможности блока gp_local_sync_timer:

- Счётчик, работающий в двух режимах:
 - 1) Счётчик, значение которого совпадает со значением Free Run Counter (аналогично gp_local_time_stamper);
 - 2) Тестовый – значение счётчика меняется каждый такт системной частоты на 0x0000000100000001;
- Непрерывная выдача состояния счётчика.

Функциональные возможности блока gp_local_event_acceptor:

- Фиксация получения сигнала достижения заданного предельного значения соответствующего таймера блока gp_global_event_timers;
- Генерация строба на частоте работы блока, который обслуживает gp_local_event_acceptor.

1.4.1.5.2.1 Структурная схема GP_TIMERS

Сеть GP_TIMERS состоит из нескольких блоков. Структурные схемы блоков приведены ниже.

					ЮФКВ.431268.020РЭ			Лист
								67
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
		34203-3	<i>Redhall</i>	24.10.2019	34203-2			

1.4.1.5.2.1.1 Структурная схема gp_global_timers

На рисунке 16 приведена структурная схема блока gp_global_timers.

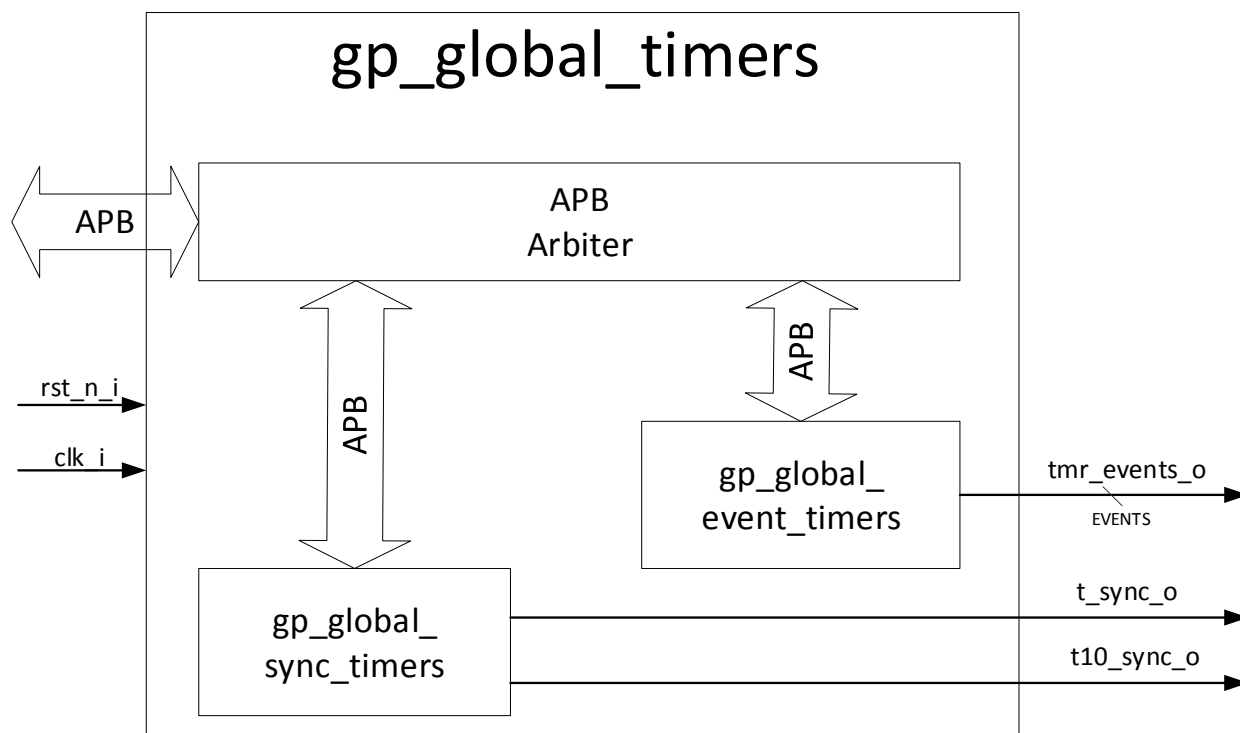


Рисунок 16 – Структурная схема gp_global_timers

Описание блоков на структурной схеме gp_global_timers приведено в таблице 78.

Таблица 78 – Описание блоков на структурной схеме gp_global_timers

Название блока	Назначение и основные функции
APB Arbiter	Арбитр шины APB для разделения сигналов между блоками
gp_global_sync_timers	Набор счётчиков (Free Run Counter и Global Counter)
gp_global_event_timers	Набор интервальных таймеров

									Лист
									68
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
34203-3	<i>Redhal</i> 24.10.2019		34203-2						

ЮФКВ.431268.020РЭ

1.4.1.5.2.1.2 Структурная схема gp_global_sync_timers

На рисунке 17 приведена структурная схема блока gp_global_sync_timers, входящего в состав блока gp_global_timers.

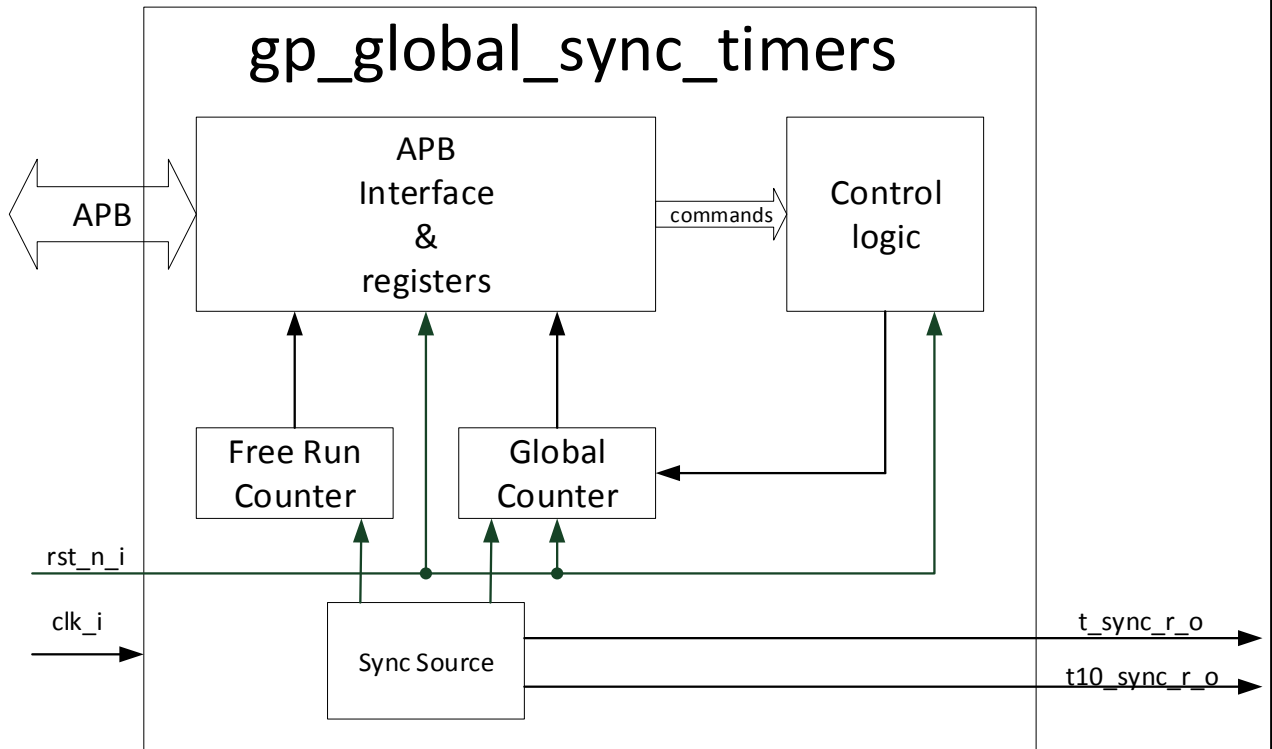


Рисунок 17 – Структурная схема gp_global_sync_timers

Описание блоков на структурной схеме gp_global_sync_timers приведено в таблице 79.

Таблица 79 – Описание блоков на структурной схеме gp_global_sync_timers

Название блока	Назначение и основные функции
APB Arbiter	Арбитр шины APB для разделения сигналов между блоками
APB interface & registers	Реализация интерфейса APB slave и набора программно доступных регистров
Control logic	Группа управляющей логики, реализующая выполнение команд блоку gp_global_sync_timers
Free Run Counter	Свободный счётчик тактов (счётчик внутреннего времени)
Global Counter	Счётчик реального времени в формате IEEE 1588v2
Sync Source	Генератор сигналов синхронизации ведомых счётчиков в сети <ul style="list-style-type: none"> - t_sync для высокоскоростных устройств (каждый такт (10 нс); - t10_sync для низкоскоростных устройств (каждые 10 тактов (100 нс)

1.4.1.5.2.1.3 Структурная схема gp_global_event_timers

На рисунке 18 приведена структурная схема блока gp_global_event_timers, входящего в состав блока gp_global_timers.

									Лист
									69
Изм	Лист	№ докум.	Подп.	Дата					
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redhal</i> 24.10.2019		34203-2						

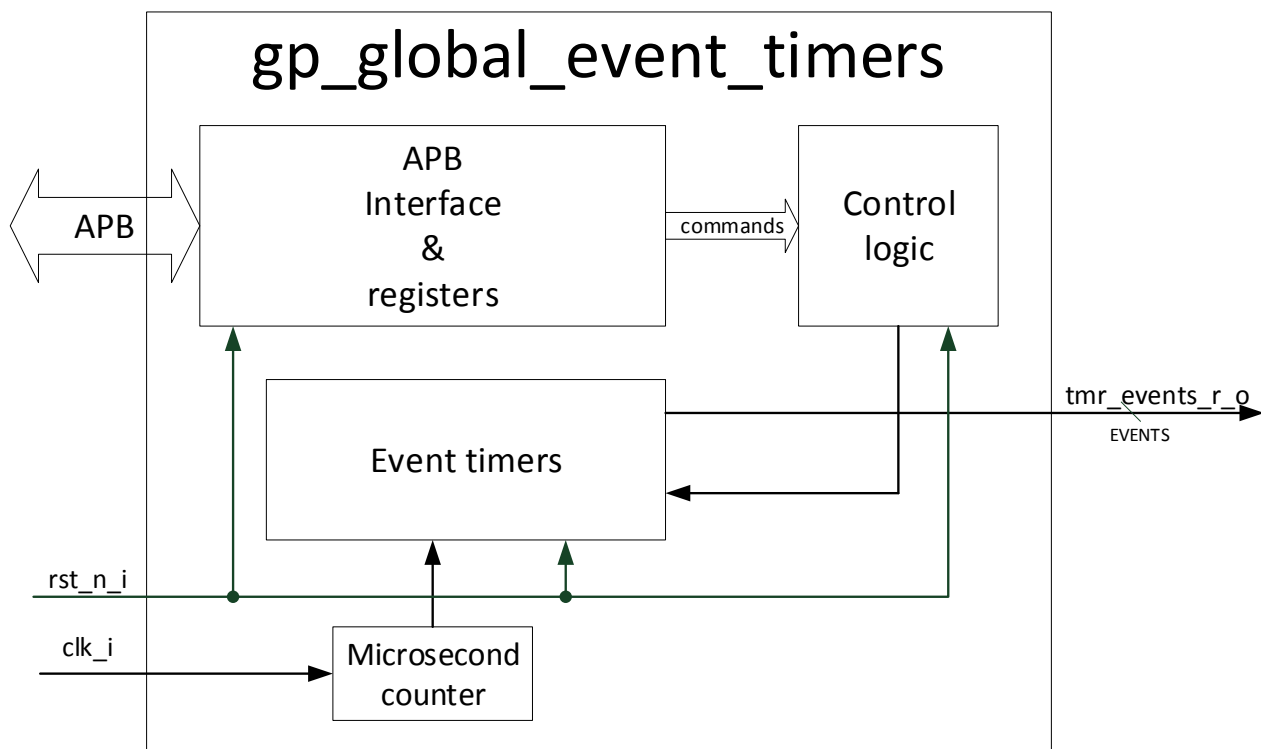


Рисунок 18 – Структурная схема gp_global_event_timers

Описание блоков на структурной схеме gp_global_event_timers приведено в таблице 80.

Таблица 80 – Описание блоков на структурной схеме gp_global_event_timers

Название блока	Назначение и основные функции
APB Arbiter	Арбитр шины APB для разделения сигналов между блоками
APB interface & registers	Реализация интерфейса APB slave и набора программно доступных регистров
Control logic	Группа управляющей логики, задающей предельные значения для интервальных таймеров
Event timers	Набор интервальных таймеров
Microsecond counter	Счётчик тактов системной частоты, отсчитывающий 100 тактов (одну микросекунду), счётчик синхронен Free Run Timer

1.4.1.5.2.1.4 Структурная схема gp_local_time_stamper

На рисунке 19 приведена структурная схема блока gp_local_time_stamper.

					ЮФКВ.431268.020РЭ		Лист
							70
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhal</i> 24.10.2019		34203-2			

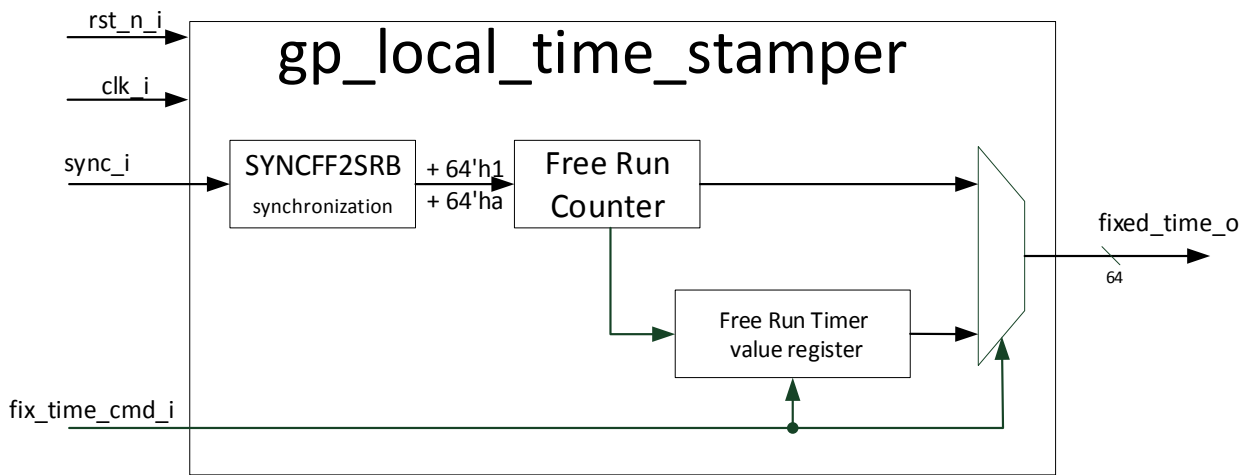


Рисунок 19 – Структурная схема gp_local_time_stamper

Описание блоков на структурной схеме gp_local_time_stamper приведено в таблице 81.

Таблица 81 – Описание блоков на структурной схеме gp_local_time_stamper

Название блока	Назначение и основные функции
SYNCFF2SRB synchronization	Ячейка синхронизации сигнала us_sync_i, построенная на двух триггерах
Free Run Counter	Свободный счётчик, значение которого соответствует значению Free Run Counter блока gp_global_timers
Free Run Counter value register	Регистр для хранения значения Free Run Counter, зафиксированного при подаче команды fix_time_cmd_i

1.4.1.5.2.1.5 Структурная схема gp_local_sync_timer

На рисунке 20 приведена структурная схема блока gp_local_sync_timer.

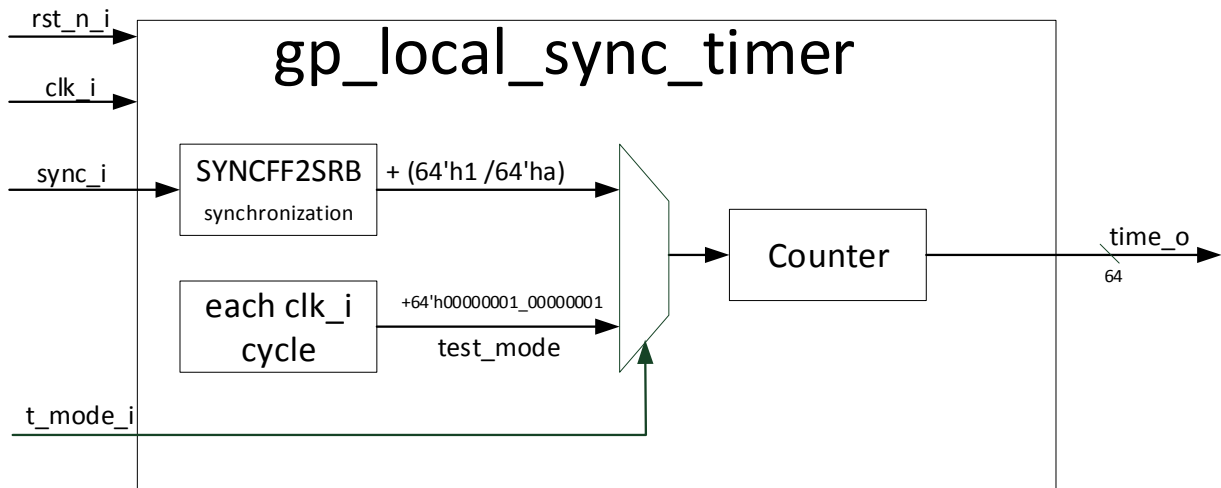


Рисунок 20 – Структурная схема gp_local_time_stamper

Описание блоков на структурной схеме gp_local_time_stamper приведено в таблице 82.

					ЮФКВ.431268.020РЭ	Лист 71
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 82 – Описание блоков на структурной схеме gp_local_time_stamper

Название блока	Назначение и основные функции
SYNCFF2SRB synchronization	Ячейка синхронизации сигнала sync_i, построенная на двух триггерах
Counter	Свободный счётчик, значение которого соответствует значению Free Run Counter или же изменяется каждый такт на фиксированное значение
each clk_i cycle	Блок, который выдаёт фиксированное значение каждый такт системной частоты

1.4.1.5.2.1.6 Структурная схема gp_local_event_acceptor

На рисунке 21 приведена структурная схема блока gp_local_event_acceptor.

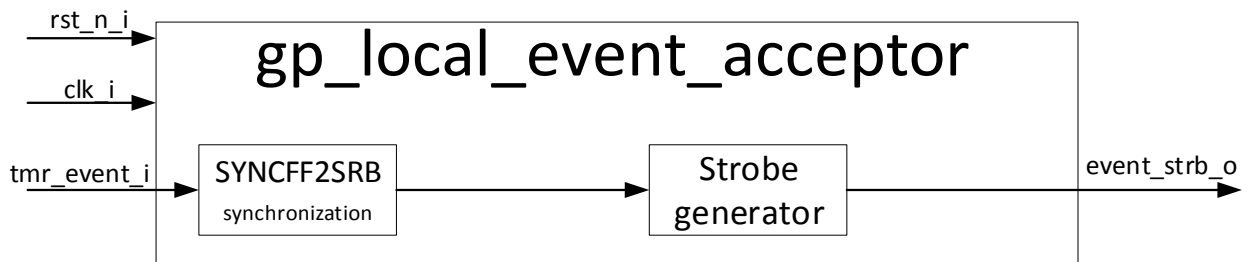


Рисунок 21 – Структурная схема gp_local_event_acceptor

Описание блоков на структурной схеме gp_local_event_acceptor приведено в таблице 83.

Таблица 83 – Описание блоков на структурной схеме gp_local_event_acceptor

Название блока	Назначение и основные функции
SYNCFF2SRB synchronization	Ячейка синхронизации сигнала tmr_event_i, построенная на двух триггерах
Strobe Generator	Генератор импульсов

1.4.1.5.2.2 Принципы функционирования GP_TIMERS

1.4.1.5.2.2.1 Базовый принцип функционирования

GP_TIMERS – распределённая по всей СБИС МИ БИУС сеть счётчиков (см. рисунок 22), предназначенная для фиксации моментов времени и предоставления соответствующих временных меток при работе различных СФ-блоков, а также для запуска блоков по сигналам от интервальных таймеров.

									Лист
									72
Изм	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата			
34203-3	<i>Redkhal</i> 24.10.2019			34203-2					

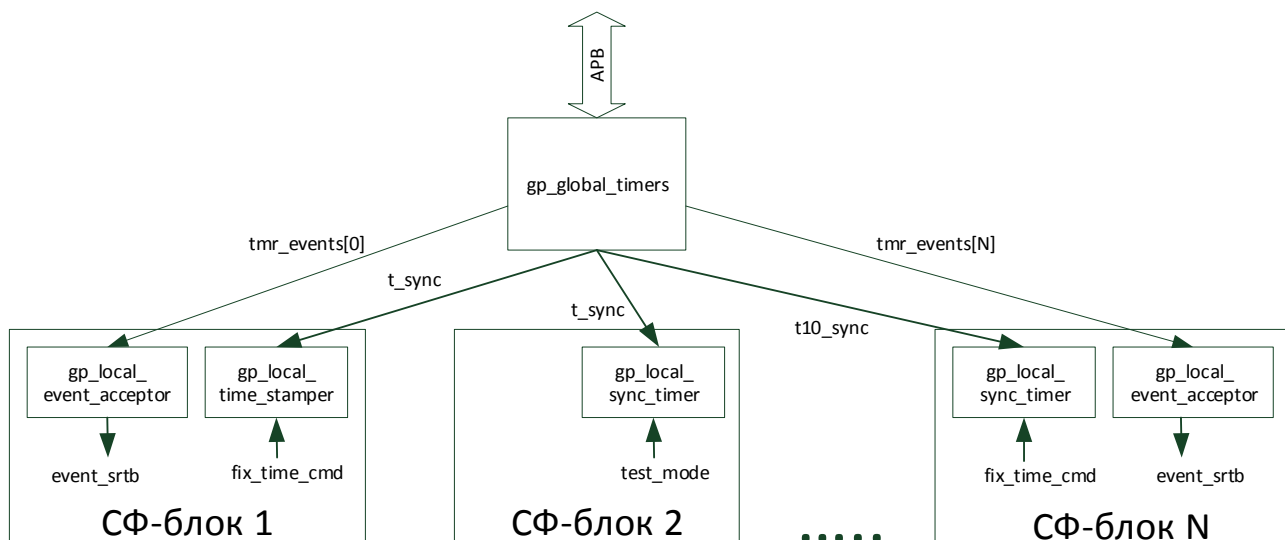


Рисунок 22 – Общий вид сети GP_TIMERS

Каждый счётчик в сети переключаются одним из двух сигналов – t_sync или $t10_sync$. Для фиксации момента переключения используется фронт и спез t_sync ($t10_sync$).

Сигнал t_sync используется при работе с блоками, частота работы которых больше 200 МГц. Значение t_sync меняется каждые 10 нс.

Сигнал $t10_sync$ используется при работе с блоками, частота работы которых меньше 200 МГц. Значение $t10_sync$ меняется каждые 100 нс.

Генератором сигналов t_sync и $t10_sync$ является блок $gp_global_sync_timers$, входящий в состав центрального блока системы – gp_global_timers .

Для поддержки одинакового значения всех счётчиков в системе при использовании более медленной синхронизации $t10_sync$, значение внутреннего счётчика в блоке увеличивается на 10.

Задержка переключения локальных счётчиков не превышает нескольких тактов частоты работы блока – задержка линии от gp_global_timers , плюс два такта на синхронизацию. Кроме того, разница в значениях счётчика в $gp_global_sync_timers$ и ведомых счётчиков в $gp_local_time_stamper$ (или $gp_local_sync_timer$) может возникнуть только в момент переключения.

На рисунке 23 приведен пример работы сигнала t_sync при работе на частоте 400 МГц.

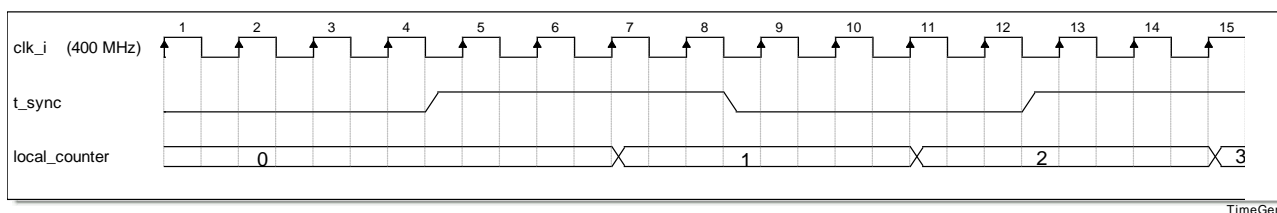


Рисунок 23 – Временная диаграмма переключения t_sync и изменения значения ведомого счётчика, работающего на частоте 400 МГц

На рисунке 24 приведен пример работы сигнала $t10_sync$ при работе на частоте 100 МГц.

					Лист	
					73	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата	
34203-3	<i>Redell</i> 24.10.2019		34203-2			

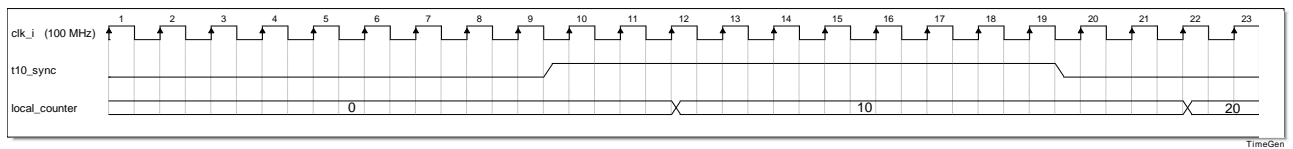


Рисунок 24 – Временная диаграмма переключения t10_sync и изменения ведомого счётчика, работающего на частоте 100 МГц

Более подробное описание узлов сети приведено ниже.

1.4.1.5.2.2.2 Блок gp_global_timers

Блок gp_global_timers – центральный узел сети, который является источником синхронизации и генератором событий. Он включает два подблока:

- gp_global_sync_timers – набор счётчиков;
- gp_global_event_timers – набор интервальных таймеров (число таймеров задаётся параметром при интеграции блока в систему).

Для управления блоком gp_global_timers используется интерфейс APB.

1.4.1.5.2.2.2.1 Блок gp_global_sync_timers

Блок gp_global_sync_timers включает два счётчика:

- Free Run Counter – счётчик, начинающий отсчёт после программного включения с нулевого значения, состояние счётчика не может быть сброшено или изменено программно. Значение счётчика увеличивается на 1 каждые 10 нс (т. е. каждый такт системной частоты блока gp_global_timers);
- Global Counter – счётчик реального времени в формате, описанном в IEEE1588v2 (2008 год) (см. рисунок 25).

48 bits	32 bits
seconds	nanoseconds

Рисунок 25 – Формат счётчика Global Counter

За выработку сигналов переключения всех остальных счётчиков в системе отвечает Sync Source – его значение меняется каждый такт системной частоты, что соответствует 10 нс.

Sync Source генерирует два сигнала синхронизации:

- t_sync для высокоскоростных устройств (каждые 10 нс, т. е. каждый такт);
- t10_sync для низкоскоростных устройств (каждые 100 нс).

Значение счётчика Free Run Counter изменяется на 1 каждый такт системной частоты.

Также каждый такт системной частоты изменяется значение поля nanoseconds счётчика Global Counter на значение, указанное в регистре INC_NS. Значение в регистре INC_NS указывается в формате: «наносекунды, десятки_пикосекунд» (подробнее формат регистра INC_NS описан в п. 1.4.1.5.2.3.2.4). Значение в регистре INC_NS может быть изменено, таким образом можно учесть отличие системной частоты от номинально заданной (например, при номинальной частоте 100 МГц реальное значение системной частоты может быть 99 МГц).

Значение счётчика Global Counter может быть задано или изменено программно.

Для блока gp_global_sync_timers доступны операции, приведенные ниже.

					ЮФКВ.431268.020РЭ			Лист
								74
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

1.4.1.5.2.2.1.1 Включение

Для того чтобы избежать возможного расхождения значения Free Run Counter и ведомых счётчиков, связанного с тем, что снятие сигнала сброса с блока `gp_global_timers` произошло раньше, чем с других блоков в сети `GP_TIMERS` (соответственно ведомыми счётчиками были потеряны несколько первых импульсов синхронизации), введена процедура программного включения блока `gp_global_timers`.

Для включения блока `gp_global_timers` необходимо записать 1 в регистр `ENABLE`. Запись 0 в регистр `ENABLE` будет проигнорирована и не приведёт к выключению блока.

Включение блока `gp_global_timers` производится первичным загрузчиком.

1.4.1.5.2.2.1.2 Программный сброс

Программный сброс выполняется записью 1 в регистр `SW_RST`.

При программном сбросе все регистры, за исключением Free Run Counter, сбрасываются в состояние, аналогичное состоянию после аппаратного сброса.

1.4.1.5.2.2.1.3 Фиксация значения счётчиков

Для фиксации значения счётчиков необходимо записать 1 в регистр `FIX_CMD`. При этом в регистрах `FREE_RUN_L` и `FREE_RUN_H` будет содержаться значение Free Run Counter, а в регистрах `GLOBAL_NS`, `GLOBAL_S_L` и – значение Global Counter на момент подачи команды. Значения данных регистров не будут меняться до подачи следующей команды фиксации значения счётчиков. Дополнительного сброса данных регистров не требуется, при фиксации значения счётчиков старое значение автоматически заменяется новым.

1.4.1.5.2.2.2 Способы точной коррекции Global Counter

Для точной настройки Global Counter используется два механизма:

- Постоянный инкремент – значение Global Counter увеличивается на заданное значение каждый такт;
- Поправка в течение заданного числа тактов – в течение заданного числа тактов применяется другое значение инкремента.

Подробнее эти механизмы описаны ниже.

1.4.1.5.2.2.2.1 Постоянный инкремент

Каждый такт системной частоты (каждые 10 нс) значение Global Counter увеличивается на значение, заданное в полях `ns` и `10ps` регистра `INC_NS`. Значение задаётся в формате **нс, (нс×10)**.

Значение инкремента по умолчанию – 10,00 нс.

Данное значение может быть изменено с целью компенсации отклонения частоты работы блока от номинальных 100 МГц.

1.4.1.5.2.2.2.2 Поправка в течение заданного числа тактов

Для более точной подстройки Global Counter допустимо применять поправочное значение инкремента в течение определённого числа тактов системной частоты. Для выполнения такой настройки необходимо задать поправочное значение инкремента в полях `adj_ns` и `adj_10ps` регистра `INC_NS` и число тактов, в течение которых будет применяться поправочное значение инкремента в регистре `GLOBAL_AJUST`.

Началом применения поправки является запись в регистр `GLOBAL_AJUST` значения, отличного от 0. Значение в регистре `GLOBAL_AJUST` уменьшается на 1 каждый такт.

По истечении числа тактов, в течение которых применяется поправка (значение регистра `GLOBAL_AJUST` равно 0), в качестве инкремента Global Counter будет снова применяться значение, заданное в полях `ns` и `10ps` регистра `INC_NS`.

									Лист
									75
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redhal</i> 24.10.2019			34203-2					

1.4.1.5.2.2.2.3 Однократный сдвиг значения Global Counter на заданную величину

Для однократного сдвига значения поля seconds или nanoseconds регистра Global Counter необходимо записать величину сдвига в регистры MOVE_S и MOVE_NS соответственно.

Значение полей seconds и nanoseconds может быть как увеличено, так и уменьшено. Самый старший бит (31) регистра MOVE_NS указывает знак числа. Если в бит 31 регистра MOVE_NS записана 1, то значение полей seconds и nanoseconds будет уменьшено на величину, заданную в остальных битах регистра MOVE_NS и регистре MOVE_S, если 0 – то увеличено. При сдвиге значения поля nanoseconds Global Counter учитывается переход через границу одна секунда, т. е. если полученное в результате увеличения значение больше 1 с, то автоматически на 1 увеличится поле seconds, аналогично, если после уменьшения получается отрицательное значение, то поле seconds автоматически уменьшится на 1.

Максимальное допустимое значение сдвига поля ns – 999 999 999 нс (0x3B9AC999). При использовании большего значения корректность выполнения сдвига не гарантируется.

Сдвиг применяется на следующий такт системной частоты после завершения транзакции записи по APB в регистр MOVE_NS. То есть для того чтобы изменить только поле seconds, необходимо в регистр MOVE_S записать величину необходимого сдвига, а после этого в регистр MOVE_NS записать направление сдвига (0 для увеличения и 0x80000000 для уменьшения).

В момент сдвига также применяется инкремент.

1.4.1.5.2.2.2.4 Задание значение Global Counter

Значение счётчика Global Counter может быть задано программно, для этого необходимо записать новое значение в регистры SET_GLOBAL_S_H, SET_GLOBAL_S_L и SET_GLOBAL_NS. Новое значение будет установлено на следующий такт системной частоты после записи в регистр SET_GLOBAL_NS, поэтому порядок записи в приведённые выше регистры имеет значение.

1.4.1.5.2.2.3 Блок gp_global_event_timers

Блок gp_global_event_timers представляет собой набор интервальных таймеров. Число таймеров задаётся параметром EVENTS при интеграции блока в систему.

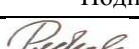
После достижения заданного предела таймер вырабатывает сигнал tmr_events[x], где x – номер линии шины tmr_events, соответствующей номеру таймера. Информативным является фронт сигнала (переключение из 0 в 1). Длительность состояния «1» сигнала задаётся в поле tmr_active регистра TMR_x_STATE, точность установки составляет 1 такт системной частоты (10 нс), значение по умолчанию составляет 100 тактов (1 мкс).

Если в поле tmr_active регистра TMR_x_STATE установить значение 0, то сигнал tmr_events[x] не будет сбрасываться аппаратно, для сброса необходимо записать 0 в поле tmr_state регистра TMR_x_STATE, т.е. программно сбросить данный сигнал.

Длительность состояния «1» сигнала tmr_events[x] должна выбираться с учётом необходимости как минимум двух тактов частоты работы приёмной части (блок gp_local_event_ассертор), требуемых на синхронизацию этого сигнала.

Каждый интервальный таймер может работать в одном из следующих режимов (задаётся в поле state регистра TMR_x_STATE, где x – номер таймера):

- Выключен (0x0);
- Однократное срабатывание при достижении значения, заданного в регистре TMR_x_LIMIT (0x2);
- Периодическое срабатывание каждые TMR_x_LIMIT микросекунд (0x3);
- Однократное срабатывание при достижении или превышении заданного значения Free Run Counter (0x4);

					ЮФКВ.431268.020РЭ			Лист
								76
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		 24.10.2019		34203-2				

- Однократное срабатывание при достижении или превышении заданного значения Global Counter (0x5).

Другие значения поля state регистра TMR_x_STATE являются некорректными (поведение блока gp_global_event_timers соответствует поведению при настройке на периодическое срабатывание).

В регистре TMR_x_LIMIT задаётся предел таймера в микросекундах.

В регистрах TMR_LIM_CNT_NS, TMR_LIM_CNT_S_L и TMR_LIM_CNT_S_H задаётся значение Free Run Counter или Global Counter, при достижении или превышении которого должен сработать таймер. При этом для задания предельного значения Free Run Counter используются только регистры TMR_LIM_CNT_NS и TMR_LIM_CNT_S_L по следующей схеме:

Free Run Counter[63:32] = TMR_LIM_CNT_S_L;

Free Run Counter[31:0] = TMR_LIM_CNT_NS.

Для регистра TMR_LIM_CNT_S_H значимы только младшие два байта.

Блок gp_global_event_timers включает счётчик, отсчитывающий 100 тактов системной частоты (1 мкс) синхронно с Free Run Counter (т.е. включается одновременно с Free Run Counter и выдаёт импульс синхронизации каждые 100 тактов системной частоты), этот счётчик служит источником синхронизации для всех интервальных таймеров блока. Следствием описанной особенности является следующее поведение при настройке таймера на периодическое срабатывание: первое срабатывание сразу после включения может произойти немного раньше заданного периода, т.к. момент включения таймера может приходиться на любую часть микросекундного интервала синхронизации. Максимальное отклонение первого цикла составляет 1 мкс.

1.4.1.5.2.2.4 Блок gp_local_time_stamper

Блок gp_local_time_stamper вырабатывает данные для установки временных меток. В качестве метки используется значение Free Run Counter.

Для синхронизации блока gp_local_time_stamper с блоком gp_global_timers может быть использован один из сигналов:

- t_sync (каждый такт частоты работы блока gp_global_timers) – если частота работы блока gp_local_time_stamper в два или более раза выше частоты работы блока gp_global_timers;
- t10_sync (каждые 10 тактов частоты работы блока gp_global_timers) – если частота работы блока gp_local_time_stamper менее чем в два раза превосходит частоты работы блока gp_global_timers либо меньше её.

В зависимости от выбранного при построении сети сигнала синхронизации необходимо установить значение параметра INCREMENT – на это значение будет увеличиваться счётчик внутри блока gp_local_time_stamper, чтобы его значение совпадало со значением Free Run Counter.

Для получения значения Free Run Counter необходимо подать строб fix_time_cmd_i, актуальное значение Free Run Counter будет выставлено на выход fixed_time_o в том же такте (см. временную диаграмму на рисунке 26).

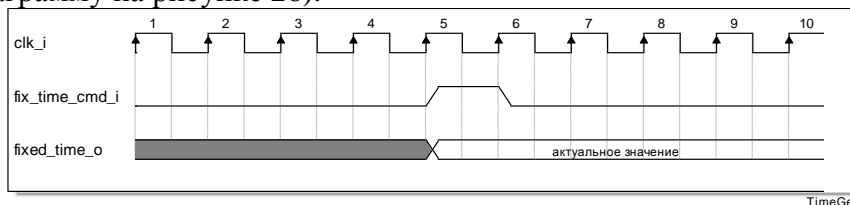


Рисунок 26 – Временная диаграмма фиксации значения Free Run Counter

					ЮФКВ.431268.020РЭ		Лист
							77
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.5.2.2.5 Блок gp_local_sync_timer

Блок gp_local_sync_timer вырабатывает данные для установки временных меток. В качестве метки используется значение Free Run Counter.

Блок gp_local_sync_timer синхронизируется с блоком gp_global_timers аналогично блоку gp_local_time_stamper.

На выходе time_o блока gp_local_sync_timer всегда отображается значение внутреннего счётчика.

Внутренний счётчик блока gp_local_sync_timer может работать в двух режимах:

- Основной – счётчик отображает значение Free Run Counter (при этом применяются те же правила, что и для блока gp_local_time_stamper);
- Тестовый – счётчик каждый такт частоты работы блока gp_local_sync_timer увеличивает своё значение на 0x0000000100000001, таким образом достигается изменение значения старших разрядов счётчика.

В тестовом режиме сигналы синхронизации с блоком gp_global_timers игнорируются. Для включения тестового режима необходимо подать значение 1 на вход t_mode_i.

При отключении тестового режима значение внутреннего счётчика gp_local_sync_timer останется рассинхронизированным со значением Free Run Counter. Синхронизация возможна только после аппаратного сброса всей системы.

1.4.1.5.2.2.6 Блок gp_local_event_acceptor

Блок gp_local_event_acceptor подключается к линии tmr_events[x] и генерирует импульс длительностью один такт своей частоты при обнаружении фронта сигнала на линии tmr_events[x].

1.4.1.5.2.3 Описание регистров GP_TIMERS

1.4.1.5.2.3.1 Карта регистров GP_TIMERS

Управление блоком gp_global_timers ведётся через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave). Каждое обращение к регистрам имеет выравнивание до 32-х разрядов.

При обращении к регистрам блока gp_global_timers по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают значение 0xe7707ad7. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

RO – поле доступно только для чтения. Запись данных в поле игнорируется;

WO – поле доступно только для записи. Чтение возвращает значение 0;

RW – поле доступно как для записи, так и для чтения.

Символом «*» в таблице 84 отмечены регистры, для которых после таблицы присутствует дополнительное описание.

В составе GP_TIMERS только блок gp_global_timers обладает собственными регистрами. Карта регистров gp_global_timers приведена в таблице 84.

Таблица 84 – Карта регистров блока gp_global_timers

Адрес	Название	Доступ	Значение после сброса	Описание
Общие регистры gp_global_timers				
0x00	GT_ID	RO	0x54475355	Идентификатор устройства
0x04*	GT_VER	RO	0x00640100	Номер версии устройства и конфигурация

									Лист
									78
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

Адрес	Название	Доступ	Значение после сброса	Описание	
Значения счётчиков					
0x08	FREE_RUN_L	RO	0x0	Значение Free Run Counter [31:0]	
0x0C	FREE_RUN_H	RO	0x0	Значение Free Run Counter [63:32]	
0x10	GLOBAL_NS	RO	0x0	Значение поля наносекунд System Counter	
0x14	GLOBAL_S_L	RO	0x0	Значение поля секунд System Counter [31:0]	
0x18	GLOBAL_S_H	RO	0x0	Значение поля секунд System Counter [48:32]	
Команды					
0x1C*	SW_RST	RW	0x0	Программный сброс	
0x20*	FIX_CMD	RW	0x0	Команда фиксации значения счётчиков	
0x24*	INC_NS	RW	0x0a00_0a00	Задание значения инкремента Global Counter в формате нс.пс×10	
0x28*	GLOBAL_ADJUST	RW	0x0	Оставшееся число применений поправки Global Counter	
0x2C	MOVE_NS	RW	0x0	Однократное увеличение поля наносекунд Global Counter	
0x30	MOVE_S	RW	0x0	Однократное увеличение поля секунд Global Counter	
0x34	SET_GLOBAL_NS	RW	0x0	Задание значения поля наносекунд Global Counter	
0x38	SET_GLOBAL_S_L	RW	0x0	Задание значения поля секунд Global Counter [31:0]	
0x3C	SET_GLOBAL_S_H	RW	0x0	Задание значения поля секунд Global Counter [48:32]	
0x40*	ENABLE	RW	0x0	Регистр включения блока gp_global_timers	
0x44 - 0x3FF	-	-	-	Резерв	
Интервальные таймеры					
0x400*	TMR_0_STATE	RW	0x00630000	Режим работы интервального таймера 0	
0x404	TMR_0_LIMIT	RW	0x0	Предел интервального таймера 0 (в мкс)	
0x408	TMR_0_LIM_CNT_NS	RW	0x0	Значение Free Run Counter или Global Counter, при достижении которого вырабатывается сигнал таймера 0. Для задания значения Free Run Counter используются только регистры TMR_0_LIM_CNT_NS (для младших 32 разрядов) и TMR_0_LIM_CNT_S_L (для старших 32 разрядов). Для регистра TMR_0_LIM_CNT_S_H значимы только младшие два байта	
0x40c	TMR_0_LIM_CNT_S_L	RW	0x0		
0x410	TMR_0_LIM_CNT_S_H	RW	0x0		
0x414 - 0x41C	-	-	-	Резерв	
0x420*	TMR_1_STATE	RW	0x00630000	Режим работы интервального таймера 1	
0x424	TMR_1_LIMIT	RW	0x0	Предел интервального таймера 1	
0x428	TMR_1_LIM_CNT_NS	RW	0x0	Значение Free Run Counter или Global Counter, при достижении которого вырабатывается сигнал таймера 1	
0x42c	TMR_1_LIM_CNT_S_L	RW	0x0		
0x430	TMR_1_LIM_CNT_S_H	RW	0x0		
				ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата
34203-3	<i>Редько</i> 24.10.2019		34203-2		

Адрес	Название	Доступ	Значение после сброса	Описание
0x434 – 0x43C	-	-	-	Резерв
...

1.4.1.5.2.3.2 Описание полей регистров GP_TIMERS

1.4.1.5.2.3.2.1 GT_VER (0x004)

Описание полей регистра GT_VER представлено в таблице 85.

Таблица 85 – Поля регистра GT_VER

Поле	Биты	Описание
subversion	7:0	Номер подверсии
version	15:8	Номер версии
frequency	31:16	Частота работы

1.4.1.5.2.3.2.2 SW_RST (0x01C)

Описание полей регистра SW_RST представлено в таблице 86.

Таблица 86 – Поля регистра SW_RST

Поле	Биты	Описание
sw_rst	0	Программный сброс
-	31:1	Резерв

1.4.1.5.2.3.2.3 FIX_CMD (0x020)

Описание полей регистра FIX_CMD представлено в таблице 87.

Таблица 87 – Поля регистра FIX_CMD

Поле	Биты	Описание
fix_cmd	0	Фиксация значения счётчиков
-	31:1	Резерв

1.4.1.5.2.3.2.4 INC_NS (0x24)

Описание полей регистра INC_NS представлено в таблице 88.

Таблица 88 – Поля регистра INC_NS

Поле	Биты	Описание
10ps	7:0	Число десятков пикосекунд инкремента
ns	15:8	Число наносекунд инкремента
adj_10ps	23:16	Число десятков пикосекунд поправочного значения инкремента
adj_ns	31:24	Число наносекунд поправочного значения инкремента

1.4.1.5.2.3.2.5 GLOBAL_AJUST (0x28)

Описание полей регистра GLOBAL_AJUST представлено в таблице 89.

Таблица 89 – Поля регистра GLOBAL_AJUST

Поле	Биты	Описание
repeats	31:0	Число применений поправки

										Лист
										80
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019			34203-2					

1.4.1.5.2.3.2.6 *ENABLE (0x040)*

Описание полей регистра *ENABLE* представлено в таблице 90.

Таблица 90 – Поля регистра *ENABLE*

Поле	Биты	Описание
enable	0	Программное включение
-	31:1	Резерв

1.4.1.5.2.3.2.7 *TMR_x_STATE (0x400, 0x420, 0x440 ...)*

Описание полей регистров *TMR_x_STATE* представлено в таблице 91.

Таблица 91 – Поля регистров *TMR_x_STATE*

Поле	Биты	Описание
state	2:0	Состояние таймера: `b000 – выключен `b010 – однократный запуск `b011 – периодический запуск `b100 – запуск при достижении значения Free Run Counter `b101 – запуск при достижении значения Global Counter
-	15:3	Резерв
active	31:16	Время, в течение которого сигнал <i>tmr_events</i> о держится в состоянии 1

1.4.1.5.2.4 Взаимодействие *GP_TIMERS* с другими блоками СБИС МИ БИУС

GP_TIMERS в составе СБИС МИ БИУС взаимодействует с большим числом блоков. Схема взаимодействия представлена на рисунке 27.

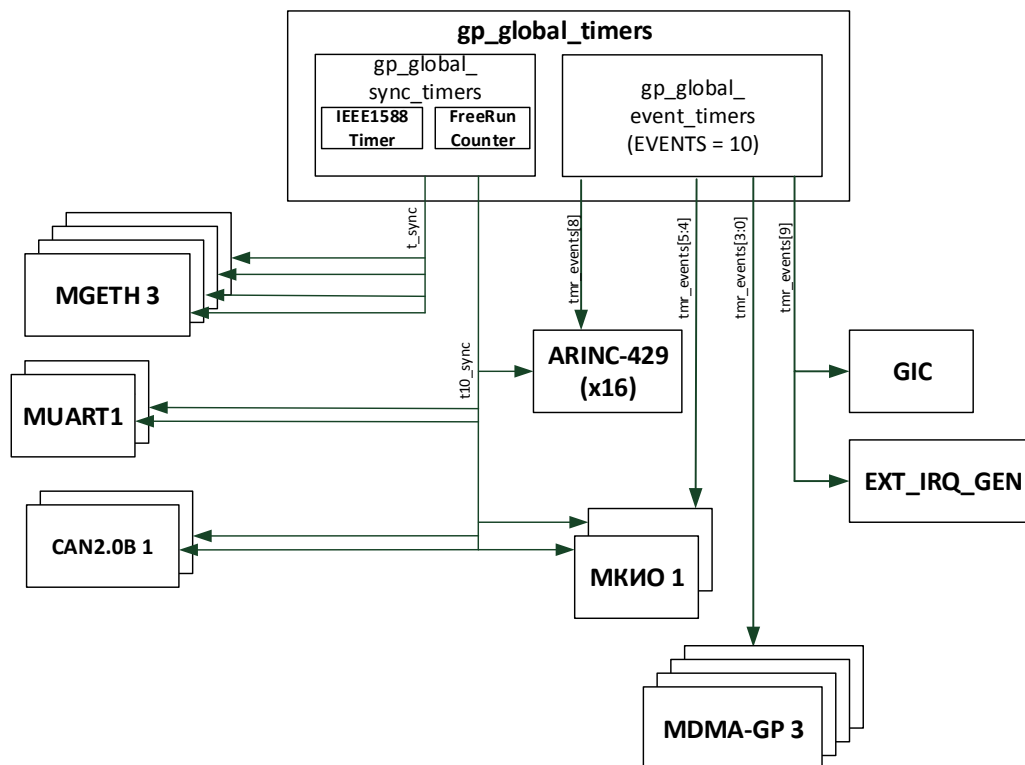


Рисунок 27 – Взаимодействие *GP_TIMERS* с другими блоками СБИС МИ БИУС

Блок *gp_global_timers* обеспечивает синхронизацию посредством сигнала *t_sync*, который меняется каждые 10 нс, с четырьмя контроллерами интерфейса Ethernet (*MGETH 0 – MGETH 3*)

					ЮФКВ.431268.020РЭ		Лист
							81
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

в составе СБИС МИ БИУС, т.к. частота работы данных контроллеров составляет 400 МГц. Для синхронизации с блокми, работающими на частоте 100 МГц, используется сигнал t10_sync, который меняется каждые 100 нс, такими блоками являются:

- два контроллера UART (MUART 0 – MUART 1);
- два контроллера CAN 2.0В (CAN 2.0В 0 – CAN 2.0В 1);
- два контроллера передачи данных в соответствии с ГОСТ Р 52070 (МКИО 0 – МКИО 1);
- 16-канальный контроллер ARINC-429.

Для запуска блоков СБИС МИ БИУС в составе gp_global_timers предусмотрено 10 интервальных таймеров. Каждый таймер взаимодействует с определённым блоком. Соответствие номера таймера и смещения адреса его регистров блоку, с которым он взаимодействует, представлено в таблице 92.

Таблица 92 – Соответствие номер таймера и смещения адреса его регистров блоку СБИС МИ БИУС

Номер таймера	Смещение адреса	Блок СБИС МИ БИУС
0	0x400	MDMA-GP 0
1	0x420	MDMA-GP 1
2	0x440	MDMA-GP 2
3	0x460	MDMA-GP 3
4	0x480	МКИО 0
5	0x4A0	МКИО 1
6	0x4C0	Резерв
7	0x4E0	Резерв
8	0x500	ARINC-429
9	0x520	GIC и EXT_IRQ_GEN

1.4.1.5.3 Блок сдвоенных таймеров (DIT)

1.4.1.5.3.1 Общее описание DIT

Блок сдвоенных таймеров имеет следующие характеристики:

- два 32- или 16-разрядных таймера;
- для каждого таймера можно настроить режим его работы (свободный счет, периодичный, одиночный);
- каждый таймер имеет собственный выход прерывания;
- подключение к системной шине СБИС через интерфейс AMBA APB.

1.4.1.5.3.2 Структурная схема DIT

DIT не имеет сигналов, соединенных с внешними выводами микросхемы. На рисунке 28 приведена структурная схема блока DIT.

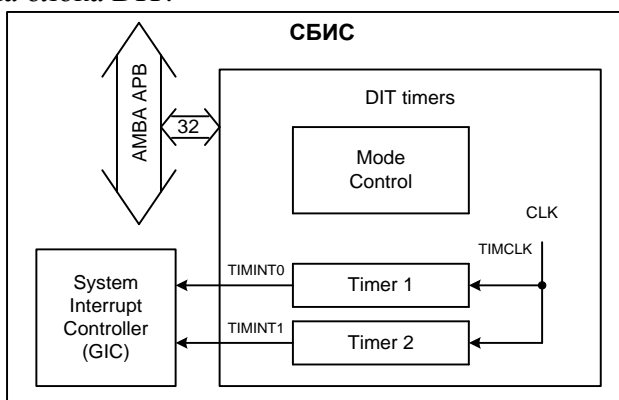


Рисунок 28 – Структурная схема блока сдвоенных таймеров

					ЮФКВ.431268.020РЭ	Лист 82
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2		

1.4.1.5.3.3 Принципы функционирования DIT

DIT состоит из двух идентичных блоков Timer 1 и Timer 2, каждый из которых может функционировать в 16- или 32-битном режиме. Внутри каждого блока находится счетчик.

Оба таймера могут быть программно настроены на работу в одном из следующих режимов:

- свободный счет (free-running) – счетчик таймера постоянно декрементируется, счет автоматически начинается с максимального значения после достижения нуля;
- периодичный (periodic) – аналогично предыдущему, только после достижения нуля счет начинается со значения, предварительно загруженного в регистр TimerXLoad;
- одиночный (one-shot) – счетчик начинает декрементироваться со значения, загруженного в регистр TimerXLoad, после достижения нуля счет останавливается.

Ниже приведена последовательность работы с таймерами:

- 1) Провести начальные настройки используемого таймера, т.е. прописать поля регистра TimerXControl.
- 2) Загрузить начальное значение счетчика в регистр TimerXLoad.
- 3) Разрешить счет путем установки бита TimerEn регистра TimerXControl. Если после установки этого бита записать новое значение в регистр TimerXLoad, то счетчик продолжит декрементироваться с нового значения.
- 4) Другой способ записать новое значение счетчика заключается в записи фонового регистра TimerXBGLoad. Эта запись не будет иметь мгновенного эффекта, вместо этого записанное значение переписывается в регистр TimerXLoad автоматически по достижении счетчиком нулевого значения.
- 5) Текущее значение счетчика может быть считано из регистра TimerXValue в любой момент времени.
- 6) Каждый раз, когда счетчик достигает нулевого значения, генерируется прерывание. Для сброса сгенерированного прерывания необходимо произвести запись в регистр TimerXIntClr. Генерация прерывания может быть замаскирована путем установки соответствующих битов регистра управления TimerXControl.

DIT имеет два прерывания, каждое из которых подключено к системному контроллеру прерываний (GIC).

1.4.1.5.3.4 Описание регистров DIT

1.4.1.5.3.4.1 Карта регистров DIT

Спецификация регистров блока двояных таймеров DIT представлена в таблице 93.

Таблица 93 – Спецификация регистров блока DIT

Адрес	Имя	Доступ	Разрядность	Значение после сброса	Описание
0x000	Timer1Load	RW	32	0x00000000	Регистр загрузки. TimerXLoad
0x004	Timer1Value	RO	32	0xFFFFFFFF	Регистр текущего значения. TimerXValue
0x008	Timer1Control	RW	8	0x20	Регистр управления. TimerXControl
0x00C	Timer1IntClr	ЗП	-	-	Регистр снятия прерываний. TimerXIntClr
0x010	Timer1RIS	RO	1	0x0	Регистр состояния прерывания до наложения маски. TimerXRIS
0x014	Timer1MIS	RO	1	0x0	Регистр состояния прерывания после наложения маски. TimerXMIS
0x018	Timer1BGLoad	RW	32	0x00000000	Фоновый регистр загрузки. TimerXBGLoad

					ЮФКВ.431268.020РЭ	Лист 83
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Имя	Доступ	Разрядность	Значение после сброса	Описание
0x020	Timer2Load	RW	32	0x00000000	Регистр загрузки. TimerXLoad
0x024	Timer2Value	RO	32	0xFFFFFFFF	Регистр текущего значения. TimerXValue
0x028	Timer2Control	RW	8	0x20	Регистр управления. TimerXControl
0x02C	Timer2IntClr	WO	-	-	Регистр снятия прерываний. TimerXIntClr
0x030	Timer2RIS	RO	1	0x0	Регистр состояния прерывания до наложения маски. TimerXRIS
0x034	Timer2MIS	RO	1	0x0	Регистр состояния прерывания после наложения маски. TimerXMIS
0x038	Timer2BGLoad	RW	32	0x00000000	Фоновый регистр загрузки. TimerXBGLoad
0x03C - 0xEFC	-	-	-	-	Резерв
0xF00	TimerITCR	RW	1	0x0	Регистр управления тестом интеграции. TimerITCR
0xF04	TimerITOP	WO	2	0x0	Регистр управления тестом интеграции. TimerITOP
0xF08 - 0xFDC	-	-	-	-	Резерв
0xFE0	TimerPeriphID0	RO	8	0x04	Идентификатор периферийного устройства. TimerPeriphID0 биты [7:0]
0xFE4	TimerPeriphID1	RO	8	0x18	Идентификатор периферийного устройства. TimerPeriphID1 биты [15:8]
0xFE8	TimerPeriphID2	RO	8	0x04	Идентификатор периферийного устройства. TimerPeriphID2 биты [23:16]
0xFEC	TimerPeriphID3	RO	8	0x00	Идентификатор периферийного устройства. TimerPeriphID3 биты [31:24]
0xFF0	TimerPCellID0	RO	8	0x0D	PrimeCell идентификатор. TimerPCellID0 биты [7:0]
0xFF4	TimerPCellID1	RO	8	0xF0	PrimeCell идентификатор. TimerPCellID1 биты [15:8]
0xFF8	TimerPCellID2	RO	8	0x05	PrimeCell идентификатор. TimerPCellID2 биты [23:16]
0xFFC	TimerPCellID3	RO	8	0xB1	PrimeCell идентификатор. TimerPCellID3 биты [31:24]

1.4.1.5.3.4.2 Описание полей и особенности работы с регистрами DIT

Далее приведено подробное описание каждого регистра. Использование X в названии регистров означает, что регистр относится к Timer 1 либо к блоку Timer 2.

1.4.1.5.3.4.2.1 TimerXLoad (0x000)

Регистр TimerXLoad – это 32-битный регистр, в который программно записывается значение, начиная с которого счетчик должен декрементироваться. Если периодический режим включен и текущее значение достигает нуля, то происходит перезагрузка счетчика.

При записи текущее значение счетчика незамедлительно меняется на записанное.

Минимальным значением для TimerXLoad является 1. Если значение TimerXLoad установлено в 0, то прерывания вырабатываются незамедлительно.

В периодическом режиме из регистра TimerXLoad читается значение, которое будет загружено в счетчик, как только он станет равным нулю.

1.4.1.5.3.4.2.2 TimerXValue (0x004)

Регистр TimerXValue – 32-битный регистр, предназначенный только для чтения, содержит текущее значение декрементирующегося счетчика.

					ЮФКВ.431268.020РЭ		Лист
							84
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Старшие 16 бит 32-битного регистра TimerXValue не сбрасываются автоматически в нуль при переходе в 16-битный режим. В них сохраняется значение, записанное прежде в 32-битном режиме.

1.4.1.5.3.4.2.3 TimerXControl (0x008)

Формат регистра управления приведен в таблице 94.

Таблица 94 – Поля регистра TimerXControl

Биты	Название	Тип	Функции
[31:8]	-	-	Зарезервировано
[7]	TimerEn	RW	Бит разрешения: 0 = Timer X неактивен (по умолчанию), 1 = Timer X активен
[6]	TimerMode	RW	Бит режима: 0 = Timer X находится в режиме свободного доступа (по умолчанию), 1 = Timer X находится в периодическом режиме
[5]	IntEnable	RW	Бит разрешения прерываний: 0 = Прерывание запрещено, 1 = Прерывание разрешено (по умолчанию)
[4]	-	-	Зарезервировано
[3:2]	TimerPre	RW	Биты масштабирования частоты счета (делитель частоты): 00 = синхросигнал не делится (по умолчанию), 01 = синхросигнал делится на 16, 10 = синхросигнал делится на 256, 11 = не используется
[1]	TimerSize	RW	Выбирает разрядность счетчика: 0 = 16-битный счетчик (по умолчанию), 1 = 32-битный счетчик
[0]	OneShot	RW	Выбирает однократный или многократный режим счетчика: 0 = многократный режим (по умолчанию), 1 = однократный режим

Состояние счетчика, разрядность и делитель частоты - это установки, которые не следует менять, пока Timer X работает. Во время записи новой конфигурации Timer X должен находиться в неактивном состоянии.

1.4.1.5.3.4.2.4 TimerXIntClr (0x00C)

Любая запись в данный регистр снимает запрос на прерывание.

1.4.1.5.3.4.2.5 TimerXRIS (0x010)

Регистр TimerXRIS показывает состояние запроса на прерывание до наложения маски. Формат регистра представлен в таблице 95.

Таблица 95 – Поля регистра TimerXRIS

Биты	Имя	Доступ	Описание поля
[31:1]	-	-	Зарезервировано
[0]	TimerXRIS	RO	Состояние запроса на прерывание

1.4.1.5.3.4.2.6 TimerXMIS (0x014)

Регистр TimerXMIS показывает состояние запроса на прерывание после наложения маски. Формат регистра представлен в таблице 96.

Таблица 96 – Поля регистра TimerXMIS

Биты	Имя	Доступ	Описание поля
[31:1]	-	-	Зарезервировано
[0]	TimerXMIS	RO	Состояние запроса на прерывание

					ЮФКВ.431268.020РЭ		Лист
							85
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.5.3.4.2.7 TimerXBGLoad (0x018)

Регистр TimerXBGLoad – 32-битный регистр, который содержит значение, с которого счетчик начинает декрементироваться. Данное значение используется для перезагрузки счетчика в периодическом режиме, когда текущее значение счета достигает нуля.

1.4.1.5.3.4.2.8 TimerPeriphID0-3 (0xFE0 – 0xFEC)

Регистр TimerPeriphID0-3 представляет собой четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр. В таблице 97 приведен формат полей регистра TimerPeriphID0-3.

Таблица 97 – Поля регистра TimerPeriphID0-3

Биты	Выполняемые функции
PartNumber[11:0]	Содержит шифр компонента периферийного блока. Для DIT - 0x804
DesignerID[19:12]	Идентификационный номер проектировщика блока. Для ARM - 0x41 (ASCII A)
Revision[23:20]	Номер ревизии периферийного блока. Номер ревизии начинается с нуля
Configuration[31:24]	Вариант конфигурации. Для DIT 0x0

1.4.1.5.3.4.2.9 TimerPCellID0-3 (0xFF0 – 0xFFC)

Регистры TimerPCellID0-3 – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, предназначенные только для чтения, могут быть концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр TimerPCellID установлен в 0xB105F00D.

1.4.1.5.3.4.2.10 TimerITCR (0xF00)

Этот однобитный регистр включает тестовый режим интеграции, в котором сигналы прерывания напрямую контролируются регистром TimerITOP. Формат регистра приведен в таблице 98.

Таблица 98 – Поля регистра TimerITCR

Биты	Название	Доступ	Описание поля
[31:1]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	ITEN	RW	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, DIT переходит в режим теста интеграции, иначе находится в нормальном режиме

1.4.1.5.3.4.2.11 TimerITOP (0xF04)

Когда используется режим теста интеграции, выходные сигналы прерывания непосредственно управляются битами этого регистра. Формат регистра приведен в таблице 99.

Таблица 99 – Поля регистра TimerITOP

Биты	Название	Доступ	Описание поля
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	TIMERINT2	WO	Сигнал запроса на прерывание таймера 2 в режиме теста интеграции
[1]	TIMERINT1	WO	Сигнал запроса на прерывание таймера 1 в режиме теста интеграции

1.4.1.5.4 Сторожевой таймер (WDT)

1.4.1.5.4.1 Общее описание WDT

Сторожевой таймер служит индикатором попадания процессора в состояние “зависания” и сброса процессора в случае обнаружения данной ситуации. Управление блоком сторожевого таймера осуществляется по шине AMBA APB. Блок состоит из программируемого

					ЮФКВ.431268.020РЭ		Лист
							86
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

32-разрядного таймера, работающего на тактовой частоте шины APB, схемы управления режимами работы таймера и схемы формирования контрольных и управляющих сигналов.

1.4.1.5.4.2 Принципы функционирования WDT

После снятия сигнала системного сброса блок находится в выключенном состоянии. Если возникла необходимость воспользоваться сторожевым таймером, то программным образом надо задать интервал счета таймера, формируя тем самым квант времени работы сторожевого таймера. После записи интервала счета счетчик начинает декрементироваться.

Когда счетчик достигает нулевого значения, генерируется сигнал прерывания сторожевого таймера (wdt_int). Одновременно в счетчик заносится начальное значение интервала счета и декремент счетчика возобновляется. Если до достижения счетчиком нулевого значения прерывание не будет обработано (сброшено), то будет произведён аппаратный сброс микросхемы.

Для исключения случайного сброса процессора вследствие неправильной записи в регистры блока сторожевого таймера предусмотрена возможность программно заблокировать эти регистры для записи.

1.4.1.5.4.3 Описание регистров WDT

1.4.1.5.4.3.1 Карта регистров WDT

Спецификация регистров блока сторожевого таймера WDT представлена в таблице 100. Обращение к периферийным регистрам должно быть 32-битным, независимо от их реальной разрядности.

Таблица 100 – Карта регистров WDT

Адрес	Имя	Доступ	Разрядность	Значение после сброса	Описание
0x000	WdogLoad	RW	32	0xFFFFFFFF	Регистр загрузки
0x004	WdogValue	RO	32	0xFFFFFFFF	Регистр значения
0x008	WdogControl	RW	2	0x0	Регистр управления
0x00C	WdogIntClr	WO	-	-	Регистр сброса прерываний
0x010	WdogRIS	RO	1	0x0	Регистр состояния прерывания до наложения маски
0x014	WdogMIS	RO	1	0x0	Регистр состояния прерывания после наложения маски
0x018 - 0xBFF	-	-	-	-	Резерв
0xC00	WdogLock	RW	32	0x0	Регистр блокировки
0xC04 - 0xEFF	-	-	-	-	Резерв
0xF00	WdogITCR	RW	1	0x0	Регистр управления тестом интеграции
0xF04	WdogITOP	WO	2	0x0	Регистр управления тестом интеграции
0xF08 - 0xFDC	-	-	-	-	Резерв
0xFE0	WdogPeriphID0	RO	8	0x05	Идентификатор периферийного устройства
0xFE4	WdogPeriphID1	RO	8	0x18	Идентификатор периферийного устройства
0xFE8	WdogPeriphID2	RO	8	0x14	Идентификатор периферийного устройства
0xFEC	WdogPeriphID3	RO	8	0x00	Идентификатор периферийного устройства
0xFF0	WdogPCellID0	RO	8	0x0D	Идентификатор PrimeCell
0xFF4	WdogPCellID1	RO	8	0xF0	Идентификатор PrimeCell
0xFF8	WdogPCellID2	RO	8	0x05	Идентификатор PrimeCell
0xFFC	WdogPCellID3	RO	8	0xB1	Идентификатор PrimeCell

					Лист
					87
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhall</i> 24.10.2019		34203-2	Подп. и дата

1.4.1.5.4.3.2 Описание полей и особенности работы с регистрами WDT

1.4.1.5.4.3.2.1 WdogLoad (0x000)

WdogLoad – регистр загрузки – 32-разрядный регистр, доступный по записи и по чтению. Данный регистр хранит значение интервала счета, с которого счетчик начинает декрементироваться. Если значение регистра WdogLoad установлено в нуль, то прерывания сторожевым таймером вырабатываются незамедлительно. Если содержимое регистра отлично от нуля, то это значение загружается в счетчик незамедлительно после записи регистра.

1.4.1.5.4.3.2.2 WdogValue (0x004)

WdogValue – регистр значения счетчика – 32-разрядный регистр, доступный только на чтение. При чтении этого регистра выдается текущее значение декрементирующего счетчика.

1.4.1.5.4.3.2.3 WdogControl (0x008)

WdogControl – регистр управления – 2-разрядный регистр, доступный на запись и чтение, который разрешает программному обеспечению управлять сторожевым таймером. В таблице 101 приведен формат регистра WdogControl.

Таблица 101 – Поля регистра WdogControl

Биты	Поле	Доступ	Описание поля
[31:2]	-	-	Резерв
[1]	RESEN	RW	Разрешение сброса от WDT: 0 – сброс не вырабатывается, 1 – сброс вырабатывается блоком WDT.
[0]	INTEN	RW	Разрешение прерывания от WDT: 0 – прерывание и счётчик выключены, 1 – счётчик и прерывание включены.

1.4.1.5.4.3.2.4 WdogIntClr (0x00C)

WdogIntClr – регистр сброса прерываний. Любая запись в данный регистр, снимает прерывание WDOG, и перезагружает счетчик значением регистра WdogLoad.

1.4.1.5.4.3.2.5 WdogRIS (0x010)

WdogRIS – регистр состояния прерывания до наложения маски. Данный регистр определяет состояние прерываний, формируемых счетчиком, до наложения маски. Регистр WdogRIS возводится в единицу в момент, когда счетчик сторожевого таймера достигает нуля. В таблице 102 приведен формат регистра WdogRIS.

Таблица 102 – Поля регистра WdogRIS

Биты	Поле	Доступ	Описание поля
[31:1]	-	-	Зарезервировано
[0]	WDOGRIS	RO	Состояние прерывания от счетчика до наложения маски

1.4.1.5.4.3.2.6 WdogMIS (0x014)

WdogMIS – регистр состояния прерывания после наложения маски. Данный регистр определяет состояние прерывания счетчика после наложения маски. Это состояние формируется логической функцией «И» между битом WDOGRIS и битом INTEN регистра управления. В таблице 103 приведен формат регистра WdogMIS.

									Лист
									88
Изм	Лист	№ докум.	Подп.	Дата					
	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
	34203-3		<i>Редхал</i> 24.10.2019		34203-2				

Таблица 103 – Поля регистра WdogMIS

Биты	Поле	Доступ	Описание поля
[31:1]	-	-	Зарезервировано
[0]	WDOGMS	RO	Состояние прерывания от счетчика после наложения маски

1.4.1.5.4.3.2.7 WdogLock (0xC00)

WdogLock – регистр блокировки записи. Запись любого значения, кроме 0x1ACCE551, в данный регистр блокирует программную запись во все другие регистры блока. Запись значения 0x1ACCE551 разблокирует программную запись во все регистры блока. Таким образом, можно защитить регистры WDOG от некорректно работающего программного обеспечения. Чтение из этого регистра возвращает состояние блокировки:

0 – доступ по записи разрешен (нет блокировки);

1 – доступ по записи запрещен (заблокирован).

В таблице 104 приведен формат регистра WdogLock.

Таблица 104 – Поля регистра WdogLock

Биты	Поле	Доступ	Описание поля
[31:0]	WDOGLOCK	RW	Запись значения 0x1ACCE551 в этот регистр разрешает запись во все регистры. Запись любого другого значения делает невозможным доступ по записи ко всем регистрам. Чтение возвращает состояние блокировки: 0x00000000 – запись во все регистры разрешена; 0x00000001 – запись во все регистры запрещена

1.4.1.5.4.3.2.8 WdogPeriphID0-3 (0xFE0 – 0xFEC)

WdogPeriphID0-3 – Идентификатор периферийного устройства Регистр WdogPeriphID0-3 представляет собой четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр. В таблице 105 приведен формат этого регистра.

Таблица 105 - Формат регистра WdogPeriphID0-3

Биты	Выполняемые функции
PartNumber[11:0]	Содержит шифр компонента периферийного блока. Для WDT 0x805
DesignerID[19:12]	Идентификационный номер проектировщика блока. Для ARM 0x41 (ASCII A)
Revision[23:20]	Является номером ревизии периферийного блока. Номер ревизии начинается с нуля
Configuration[31:24]	Является вариантом конфигурации периферии. Для WDT 0x0

1.4.1.5.4.3.2.9 WdogPCellID0-3 (0xFF0 – 0xFFC)

WdogPCellID0-3 – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, программно доступные только по чтению, могут быть концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр WdogPCellID установлен в 0xB105F00D.

1.4.1.5.4.3.2.10 WdogITCR (0xF00)

WdogITCR – регистр управления тестом интеграции. Данный однобитный регистр включает тестовый режим интеграции, в котором прерывание и сигнал сброса от WDT контролируются регистром WdogITOP. Формат регистра приведен в таблице 106.

Таблица 106 – Поля регистра WdogITCR

Биты	Поле	Доступ	Описание поля
[31:1]	-	-	Зарезервированы
[0]	ITEN	RW	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, WDOG переходит в режим теста интеграции, иначе находится в нормальном режиме

					Лист	
					89	
		ЮФКВ.431268.020РЭ				
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

1.4.1.5.4.3.2.11 WdogITOP (0xF04)

WdogITOP – регистр управления выходными сигналами. В режиме теста интеграции на выходные сигналы прерывания и сброса подаются соответствующие разряды данного регистра. Формат регистра приведен в таблице 107.

Таблица 107 – Поля регистра WdogITOP

Биты	Поле	Доступ	Описание поля
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	WDOGINT	WO	Состояние запроса на прерывание в режиме теста интеграции
[1]	WDOGRST	WO	Состояние сигнала сброса в режиме теста интеграции

1.4.1.5.5 Системный контроллер (SCTL)

1.4.1.5.5.1 Общее описание SCTL

Системный контроллер СБИС МИ БИУС (SCTL) представляет собой набор программно-доступных регистров, которые обеспечивают функции управления и отслеживания состояния, не реализованные в других устройствах СБИС.

1.4.1.5.5.2 Описание регистров SCTL

1.4.1.5.5.2.1 Карта регистров SCTL

Карта регистров SCTL представлена в таблице 108.

Таблица 108 – Карта регистров блока SCTL

Адрес	Название	Описание
0x000	BOOTM	Состояние конфигурационных битов BOOTM[2:0]
0x004	ARM_STANDBY_STAT	Состояние режима STANDBY ядра ARM
...		
0x014	SGMII_CTRL_STAT	Регистр управления и состояния SGMII_PHY
...		
0x020	SYS_RST	Регистр программного сброса
...		
0x030	CAN_SEL_0	Выбор режима работы CAN0
0x034	CAN_SEL_1	Выбор режима работы CAN1
0x038	BISR_L2C	Управление схемой BISR_L2C
0x03C	BISR_CLK_EN	Тактирование L2C для операции саморемонта
0x040	DDR0_STATUS	Состояние контроллера DDR0
0x044	DDR1_STATUS	Состояние контроллера DDR1
0x048	DDR0_AXI_CFG	Конфигурация AXI-порта контроллера DDR0
0x04C	DDR1_AXI_CFG	Конфигурация AXI-порта контроллера DDR1
...		
0x100	IOCFG0	Конфигурация буферов IO интерфейсов SPI0, SPI1
0x104	IOCFG1	Конфигурация буферов IO интерфейсов CAN0, CAN1
0x108	IOCFG2	Конфигурация буферов IO интерфейсов МК0, МК1
0x10C	IOCFG3	Конфигурация буферов IO интерфейса ARNC
0x110	IOCFG4	Конфигурация буферов IO интерфейсов UART0, UART1
0x114	IOCFG5	Конфигурация буферов IO интерфейса MDIO0
0x118	IOCFG6	Конфигурация буферов IO интерфейса MDIO1
0x11C	IOCFG7	Конфигурация буферов IO интерфейса MDIO2
0x120	IOCFG8	Конфигурация буферов IO интерфейса MDIO3
0x124	IOCFG9	Конфигурация буферов IO интерфейса GPIO0_0...GPIO0_3
0x128	IOCFG10	Конфигурация буферов IO интерфейса GPIO0_4...GPIO0_7
0x12C	IOCFG11	Конфигурация буферов IO интерфейса GPIO1_0...GPIO1_3
0x130	IOCFG12	Конфигурация буферов IO интерфейса GPIO1_4...GPIO1_7
0x134	IOCFG13	Конфигурация буферов IO интерфейса GPIO2_0...GPIO2_3
0x138	IOCFG14	Конфигурация буферов IO интерфейса GPIO2_4...GPIO2_7
0x13C	IOCFG15	Конфигурация буферов IO интерфейса ARNC_SLP0...ARNC_SLP3
0x140	IOCFG16	Конфигурация буферов IO интерфейса ARNC_SLP4...ARNC_SLP7

					ЮФКВ.431268.020РЭ		Лист 90
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Адрес	Название	Описание
0x144	IOCFG17	Конфигурация буферов IO интерфейса ARNC_SLP8...ARNC_SLP11
0x148	IOCFG18	Конфигурация буферов IO интерфейса ARNC_SLP12...ARNC_SLP15
0x14C	IOCFG19	Конфигурация буферов IO интерфейсов JTAG (DGB_, DFT_)
0x150	IOCFG20	Конфигурация буферов IO интерфейсов EXT_IRQ, WDT_IRQ
0x154	IOCFG21	Конфигурация буферов IO интерфейсов I2C0, I2C1
...		
0x400	PCIE_RST	Регистр управления сбросом интерфейса PCIe
0x404	PCIE_REG_0	Регистр управления базовыми настройками интерфейса PCIe
0x408	PCIE_REG_1	Регистр управления потреблением функции
0x40C	PCIE_REG_2	Регистр отладочной информации

1.4.1.5.5.2.2 Описание полей регистров SCTL

1.4.1.5.5.2.2.1 BOOTM (0x000)

Поля регистра BOOTM описаны в таблице 109.

Таблица 109 – Описание полей регистра BOOTM

Биты	Поле	Значение после сброса	Доступ	Описание
[31:3]	-	-	R0	Резерв
[2:0]	BOOTM	-	R	Отражает состояние выводов GPIO0_2, GPIO0_1, GPIO0_0 на момент снятия сигнала сброса NRST_PON

1.4.1.5.5.2.2.2 ARM_STANDBY_STAT (0x004)

Поля регистра ARM_STANDBY_STAT описаны в таблице 110.

Таблица 110 – Описание полей регистра ARM_STANDBY_STAT

Биты	Поле	Значение после сброса	Доступ	Описание
[31:2]	-	-	R0	Резерв
[1]	STANDBYWFE		RO	Статус режима WFE: 0 – процессор не находится в режиме WFE 1 – процессор находится в режиме WFE
[0]	STANDBYWFI	-	RO	Статус режима WFI: 0 – процессор не находится в режиме WFI 1 – процессор находится в режиме WFI

1.4.1.5.5.2.2.3 SGMII_CTRL_STAT (0x014)

Поля регистра SGMII_CTRL_STAT описаны в таблице 111.

Таблица 111 – Описание полей регистра SGMII_CTRL_STAT

Биты	Поле	Значение после сброса	Доступ	Описание
[31:9]	-	-	R0	Резерв
[8]	PLL_LOCK		RO	Статус стабилизации PLL в SGMII_PHY
[7:4]	PHY_RDY	-	RO	Биты готовности приемопередатчиков (четыре канала)
[3:1]	-	-	R0	Резерв
[0]	PHY_EN	0	RW	Включение/выключение SGMII_PHY

1.4.1.5.5.2.2.4 SYS_RST (0x020)

Поля регистра SYS_RST описаны в таблице 112.

					ЮФКВ.431268.020РЭ		Лист
							91
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Таблица 112 – Описание полей регистра SYS_RST

Биты	Поле	Значение после сброса	Доступ	Описание
[31:16]	RST_LOCK	0x0001	RW	Блокировка записи в бит RST_REQ. Для снятия блокировки необходимо записать значение 0x526D. Чтение возвращает статус блокировки: 0x0001 – блокировка включена 0x0000 – блокировка выключена
[15:1]	-	-	R0	Резерв
[0]	RST_REQ	0	RW	Запись 1 выставляет запрос на системный сброс в блоки CRG

1.4.1.5.5.2.2.5 CAN_SEL_0 и CAN_SEL_1 (0x030 и 0x034)

Поля регистра CAN_SEL описаны в таблице 113.

Таблица 113 – Описание полей регистра CAN_SEL

Биты	Поле	Значение после сброса	Доступ	Описание
[31:3]	-	-	R0	Резерв
[2:0]	CAN_SEL_*	0	RW	0 – CAN в режиме «Адаптер», 0x7 – CAN в режиме «Базовый»

1.4.1.5.5.2.2.6 BISR_L2C (0x038)

Поля регистра описаны в таблице 114.

Таблица 114 – Описание полей регистра BISR_L2C

Биты	Поле	Значение после сброса	Доступ	Описание
[31:5]	-	-	R0	Резерв
[4]	REDOK	0	RO	1 – все резервные элементы свободны и исправны (для AP)
[3]	RSLT	0	RO	1 – успешное выполнение операции саморемонта (для AP)
[2]	FINISH	0	RO	1 – завершение операции саморемонта в AP или операции самотестирования в ПП
[1]	PROG_START	0	RW	Запись 1 инициирует старт операции саморемонта в программном режиме
[0]	START	0	RW	Запись 1 инициирует старт операции саморемонта в аппаратном режиме

1.4.1.5.5.2.2.7 BISR_CLK_EN (0x03C)

Поля регистра BISR_CLK_EN описаны в таблице 115.

Таблица 115 – Описание полей регистра BISR_CLK_EN

Биты	Поле	Значение после сброса	Доступ	Описание
[31:1]	-	-	R0	Резерв
[0]	BISR_CLK_EN	0	RW	Запись 1 активирует тактирование памяти L2C для операции саморемонта

					ЮФКВ.431268.020РЭ		Лист
							92
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.5.5.2.2.8 DDR0(1)_STATUS (0x040, 0x044)

Поля регистра DDR0(1)_STATUS описаны в таблице 116.

Таблица 116 – Описание полей регистров DDR0(1)_STATUS

Биты	Поле	Значение после сброса	Доступ	Описание
[31:8]	-	-	RO	Резерв
[7]	ecc_dataout_uncorrected_0	-	RO	Признак двойной ошибки ECC. Имеет значение только если функция ECC включена (ecc_en = 1)
[6]	ecc_dataout_corrected_0	-	RO	Признак одиночной ошибки ECC. Имеет значение только если функция ECC включена (ecc_en = 1)
[5]	cke_status	-	RO	Значением сигнала control_cke внутри контроллера DDR, задержанным на количество тактов, указанных в параметре cke_delay в контроллере DDR. 0 – SDRAM память находится в режиме регенерации или низкого потребления. 1 – SDRAM в активном режиме. Значение этого параметра дублируется в регистре контроллера DDR (параметр cke_status)
[4]	port_busy	-	RO	Признак работы AXI-порта. Устанавливается в 0 только тогда, когда порт не читает данные, не пишет данные и не обрабатывает команды
[3]	controller_busy	-	RO	Признак работы контроллера. Устанавливается в 0 только тогда, когда контроллер не читает данные, не пишет данные и не обрабатывает команды
[2]	q_almost_full	-	RO	Признак занятости очереди команд. Устанавливается в 1, когда глубина очереди достигла значения, установленного в поле q_fullness регистра DENALI_CTL_42 в контроллере DDR
[1]	refresh_in_process	-	RO	Признак исполнения команды refresh. Устанавливается в 1, когда команда refresh была отправлена внешним памятьям DRAM, и сбрасывается в 0 после завершения команды refresh

										Лист
										93
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redkhal</i> 24.10.2019			34203-2					

Биты	Поле	Значение после сброса	Доступ	Описание
[0]	mem_rst_valid	-	RO	<p>Когда внешняя память SDRAM находится в режиме регенерации, этот параметр используется для указания того, что ее полная инициализация не требуется. Этот параметр также показывает, что контроллер DDR управляет внешними сигналами сброса и разрешения тактирования SDRAM. Установка сигнала mem_rst_valid указывает, что контроллер DDR может восстановить управление сигналами сброса памяти и ske, и что сигнал сброса памяти на шине DFI является действительным и стабильным.</p> <p>Пользователь должен дождаться установки mem_rst_valid и передачи команды DFI на внешние выводы, чтобы освободить управление этими сигналами.</p> <p>Задержка через PHY представляет собой комбинацию параметра tdfi_ctrl_delay и времени, необходимого в DDR PHY для включения передатчиков и пути канала команд. Система может использовать сигнал dfi_init_complete, чтобы указать, что командный канал и передатчики включены. Хотя эта задержка может быть достигнута раньше, сигнал dfi_init_complete не должен устанавливаться до тех пор, пока PHY не будет готов принимать команды, что гарантирует выполнение этого требования.</p> <p>Обычно этот параметр равен 0 и используется только при включении контроллера при установленном параметре rwgtrp_srefresh_exit.</p> <p>Значение этого параметра дублируется в регистре контроллера DDR (параметр mem_rst_valid)</p>

1.4.1.5.5.2.2.9 DDR0(1)_AXI_CFG (0x048, 0x04C)

Поля регистров DDR0(1)_AXI_CFG описаны в таблице 117.

Таблица 117 – Описание полей регистров DDR0(1)_AXI_CFG

Биты	Поле	Значение после сброса	Доступ	Описание
[31:4]	-	-	RO	Резерв
[3]	ARAPCMD	0x0	RW	Управление выдачей auto-precharge при командах чтения: 0 – не выдавать auto-precharge 1 – выдавать auto-precharge после завершения команд чтения (если параметр AP в регистре DENALI_CTL_14 контроллера DDR установлен в 0)
[2]	AWAPCMD	0x0	RW	Управление выдачей auto-precharge при командах записи: 0 – не выдавать auto-precharge 1 – выдавать auto-precharge после завершения команд записи (если параметр AP в регистре DENALI_CTL_14 контроллера DDR установлен в 0)
[1]	AWALLSTRB	0x0	RW	Управление зависимостью между приемом команд и данных

					ЮФКВ.431268.020РЭ		Лист
							94
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

Биты	Поле	Значение после сброса	Доступ	Описание
[0]	AWCOBUF	0x0	RW	Управление когерентностью буферизованной записи (при AWCACHE[0]=1). Данный бит определяет, как будет выдаваться ответ на буферизованную запись: 0 – ответ будет выдаваться, когда команда и данные были приняты AXI-портом 1 – ответ будет выдаваться, когда команда была помещена в очередь команд ядра контроллера DDR, и все связанные с этой командой данные были приняты AXI-портом

1.4.1.5.5.2.2.10 IOCFG0- IOCFG21 (0x100 – 0x154)

Регистры IOCFG0–IOCFG21 определяют параметры функционирования КМОП-буферов СБИС МИ БИУС, некоторые из которых можно изменять программно. Перечень параметров, доступных для изменения, и их описание приведены в таблице 118.

Таблица 118 – Параметры функционирования КМОП-буферов СБИС МИ БИУС

Наименование параметра	Описание
PU_PD[1:0]	Задаёт состояние выхода КМОП-буфера при его работе в режиме входа: 0 – состояние высокого импеданса (HI_Z) 1 – подтяжка к уровню логической единицы (PU); 2 – подтяжка к уровню логического нуля (PD); 3 – зарезервированное значение
SR	Задаёт скорость нарастания/спада сигнала при работе КМОП-буфера в режиме выхода: 0 – медленный фронт (SLOW); 1 – быстрый фронт (FAST)
SMT	Задаёт включение/отключение триггера Шмитта для КМОП-буфера при его работе в режиме входа: 0 – триггер выключен (DIS); 1 – триггер включен (EN)

В таблице 119 приведен перечень выводов микросхемы с указанием полей регистров IOCFG0-IOCFG21, при помощи которых возможно программное изменение приведенных в таблице 118 параметров.

При необходимости изменения параметров для конкретного КМОП-буфера микросхемы модификации должны подвергаться только те поля регистров IOCFG0 – IOCFG21, которые, согласно таблице 119, соответствуют этому КМОП-буферу – остальные поля регистров должны оставаться без изменения. Поэтому, модификация полей регистров IOCFG0 – IOCFG21 должна строго соответствовать следующей последовательности «Считывание-Модификация-Запись»:

1. Считать содержимое регистра IOCFGx, который содержит поле с модифицируемым параметром КМОП-буфера.
2. В считанном значении изменить только биты поля с модифицируемым параметром КМОП-буфера.
3. Записать обновленное значение обратно в IOCFGx.

Таблица 119 – Перечень выводов СБИС МИ БИУС, для которых возможна настройка параметров

Наименование вывода	PU_PD		SR		SMT	
	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию

					ЮФКВ.431268.020РЭ		Лист
							95
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Наименование вывода	PU_PD		SR		SMT	
	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию
SPI0_SCK	-	-	IOCFG0[1]	0 (SLOW)	-	-
SPI0_MOSI	IOCFG0[5:4]	2 (PD)	IOCFG0[1]	0 (SLOW)	IOCFG0[2]	1 (EN)
SPI0_MISO	IOCFG0[5:4]	2 (PD)	IOCFG0[1]	0 (SLOW)	IOCFG0[2]	1 (EN)
SPI0_IRQ	IOCFG0[5:4]	2 (PD)	IOCFG0[1]	0 (SLOW)	IOCFG0[2]	1 (EN)
SPI0_DAT2	IOCFG0[5:4]	2 (PD)	IOCFG0[1]	0 (SLOW)	IOCFG0[2]	1 (EN)
SPI0_SCS	IOCFG0[5:4]	2 (PD)	IOCFG0[1]	0 (SLOW)	IOCFG0[2]	1 (EN)
SPI1_SCK	-	-	IOCFG0[9]	0 (SLOW)	-	-
SPI1_MOSI	IOCFG0[13:12]	2 (PD)	IOCFG0[9]	0 (SLOW)	IOCFG0[10]	1 (EN)
SPI1_MISO	IOCFG0[13:12]	2 (PD)	IOCFG0[9]	0 (SLOW)	IOCFG0[10]	1 (EN)
SPI1_IRQ	IOCFG0[13:12]	2 (PD)	IOCFG0[9]	0 (SLOW)	IOCFG0[10]	1 (EN)
SPI1_DAT2	IOCFG0[13:12]	2 (PD)	IOCFG0[9]	0 (SLOW)	IOCFG0[10]	1 (EN)
SPI1_SCS	IOCFG0[13:12]	2 (PD)	IOCFG0[9]	0 (SLOW)	IOCFG0[10]	1 (EN)
I2C0_SDA	-	-	-	-	IOCFG21[2]	1 (EN)
I2C0_SCL	-	-	-	-	IOCFG21[2]	1 (EN)
I2C1_SDA	-	-	-	-	IOCFG21[10]	1 (EN)
I2C1_SCL	-	-	-	-	IOCFG21[10]	1 (EN)
CAN0_TX	-	-	IOCFG1[1]	0 (SLOW)	-	-
CAN1_TX	-	-	IOCFG1[9]	0 (SLOW)	-	-
CAN0_RX	IOCFG1[5:4]	1 (PU)	-	-	-	-
CAN1_RX	IOCFG1[13:12]	1 (PU)	-	-	-	-
MK0_TXA	-	-	IOCFG2[1]	0 (SLOW)	-	-
MK0_TXA_N	-	-	IOCFG2[1]	0 (SLOW)	-	-
MK0_TXB	-	-	IOCFG2[1]	0 (SLOW)	-	-
MK0_TXB_N	-	-	IOCFG2[1]	0 (SLOW)	-	-
MK0_TXINHA	-	-	IOCFG2[1]	0 (SLOW)	-	-
MK0_TXINHB	-	-	IOCFG2[1]	0 (SLOW)	-	-
MK0_RXA	IOCFG2[5:4]	1 (PU)	-	-	-	-
MK0_RXA_N	IOCFG2[5:4]	1 (PU)	-	-	-	-
MK0_RXB	IOCFG2[5:4]	1 (PU)	-	-	-	-
MK0_RXB_N	IOCFG2[5:4]	1 (PU)	-	-	-	-
MK1_TXA	-	-	IOCFG2[9]	0 (SLOW)	-	-
MK1_TXA_N	-	-	IOCFG2[9]	0 (SLOW)	-	-
MK1_TXB	-	-	IOCFG2[9]	0 (SLOW)	-	-
MK1_TXB_N	-	-	IOCFG2[9]	0 (SLOW)	-	-
MK1_TXINHA	-	-	IOCFG3[1]	0 (SLOW)	-	-
MK1_TXINHB	-	-	IOCFG3[1]	0 (SLOW)	-	-
MK1_RXA	IOCFG2[13:12]	1 (PU)	-	-	-	-
MK1_RXA_N	IOCFG2[13:12]	1 (PU)	-	-	-	-
MK1_RXB	IOCFG2[13:12]	1 (PU)	-	-	-	-

					ЮФКВ.431268.020РЭ		Лист 96
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Recheh</i> 24.10.2019		34203-2			

Наименование вывода	PU_PD		SR		SMT	
	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию
MK1_RXB_N	IOCFG2[13:12]	1 (PU)	-	-	-	-
ARNC_TXA0	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA1	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA2	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA3	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA4	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA5	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA6	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA7	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA8	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA9	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA10	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA11	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA12	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA13	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA14	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXA15	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_RXA0	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA1	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA2	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA3	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA4	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA5	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA6	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA7	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA8	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA9	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA10	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA11	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA12	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA13	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA14	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXA15	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_TXB0	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB1	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB2	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB3	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB4	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB5	-	-	IOCFG3[1]	0 (SLOW)	-	-

					Лист	
					97	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редкол</i> 24.10.2019		34203-2		

Наименование вывода	PU_PD		SR		SMT	
	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию
ARNC_TXB6	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB7	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB8	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB9	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB10	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB11	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB12	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB13	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB14	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TXB15	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_RXB0	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB1	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB2	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB3	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB4	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB5	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB6	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB7	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB8	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB9	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB10	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB11	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB12	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB13	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB14	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_RXB15	IOCFG3[5:4]	1 (PU)	-	-	-	-
ARNC_TESTA	-	-	IOCFG3[1]	0 (SLOW)	-	-
ARNC_TESTB	-	-	IOCFG3[1]	0 (SLOW)	-	-
UART0_TXD	-	-	IOCFG4[1]	0 (SLOW)	-	-
UART0_RTS	-	-	IOCFG4[1]	0 (SLOW)	-	-
UART1_TXD	-	-	IOCFG4[9]	0 (SLOW)	-	-
UART1_RTS	-	-	IOCFG4[9]	0 (SLOW)	-	-
UART0_RXD	IOCFG4[5:4]	1 (PU)	-	-	-	-
UART0_CTS	IOCFG4[5:4]	1 (PU)	-	-	-	-
UART1_RXD	IOCFG4[13:12]	1 (PU)	-	-	-	-
UART1_CTS	IOCFG4[13:12]	1 (PU)	-	-	-	-
MDIO0_MDC	IOCFG5[5:4]	2 (PD)	IOCFG5[1]	0 (SLOW)	IOCFG5[2]	1 (EN)
MDIO0_MDIO	IOCFG5[13:12]	2 (PD)	IOCFG5[9]	0 (SLOW)	IOCFG5[10]	1 (EN)
MDIO0_INT	IOCFG5[21:20]	2 (PD)	IOCFG5[17]	0 (SLOW)	IOCFG5[18]	1 (EN)

					Лист	
					98	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Rechell</i> 24.10.2019		34203-2		

Наименование вывода	PU_PD		SR		SMT	
	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию
MDIO0_RSTN	IOCFG5[29:28]	2 (PD)	IOCFG5[25]	0 (SLOW)	IOCFG5[26]	1 (EN)
MDIO1_MDC	IOCFG6[5:4]	2 (PD)	IOCFG6[1]	0 (SLOW)	IOCFG6[2]	1 (EN)
MDIO1_MDIO	IOCFG6[13:12]	2 (PD)	IOCFG6[9]	0 (SLOW)	IOCFG6[10]	1 (EN)
MDIO1_INT	IOCFG6[21:20]	2 (PD)	IOCFG6[17]	0 (SLOW)	IOCFG6[18]	1 (EN)
MDIO1_RSTN	IOCFG6[29:28]	2 (PD)	IOCFG6[25]	0 (SLOW)	IOCFG6[26]	1 (EN)
MDIO2_MDC	IOCFG7[5:4]	2 (PD)	IOCFG7[1]	0 (SLOW)	IOCFG7[2]	1 (EN)
MDIO2_MDIO	IOCFG7[13:12]	2 (PD)	IOCFG7[9]	0 (SLOW)	IOCFG7[10]	1 (EN)
MDIO2_INT	IOCFG7[21:20]	2 (PD)	IOCFG7[17]	0 (SLOW)	IOCFG7[18]	1 (EN)
MDIO2_RSTN	IOCFG7[29:28]	2 (PD)	IOCFG7[25]	0 (SLOW)	IOCFG7[26]	1 (EN)
MDIO3_MDC	IOCFG8[5:4]	2 (PD)	IOCFG8[1]	0 (SLOW)	IOCFG8[2]	1 (EN)
MDIO3_MDIO	IOCFG8[13:12]	2 (PD)	IOCFG8[9]	0 (SLOW)	IOCFG8[10]	1 (EN)
MDIO3_INT	IOCFG8[21:20]	2 (PD)	IOCFG8[17]	0 (SLOW)	IOCFG8[18]	1 (EN)
MDIO3_RSTN	IOCFG8[29:28]	2 (PD)	IOCFG8[25]	0 (SLOW)	IOCFG8[26]	1 (EN)
GPIO0_0	IOCFG9[5:4]	0 (HI_Z)	IOCFG9[1]	0 (SLOW)	IOCFG9[2]	1 (EN)
GPIO0_1	IOCFG9[13:12]	0 (HI_Z)	IOCFG9[9]	0 (SLOW)	IOCFG9[10]	1 (EN)
GPIO0_2	IOCFG9[21:20]	0 (HI_Z)	IOCFG9[17]	0 (SLOW)	IOCFG9[18]	1 (EN)
GPIO0_3	IOCFG9[29:28]	2 (PD)	IOCFG9[25]	0 (SLOW)	IOCFG9[26]	1 (EN)
GPIO0_4	IOCFG10[5:4]	2 (PD)	IOCFG10[1]	0 (SLOW)	IOCFG10[2]	1 (EN)
GPIO0_5	IOCFG10[13:12]	2 (PD)	IOCFG10[9]	0 (SLOW)	IOCFG10[10]	1 (EN)
GPIO0_6	IOCFG10[21:20]	2 (PD)	IOCFG10[17]	0 (SLOW)	IOCFG10[18]	1 (EN)
GPIO0_7	IOCFG10[29:28]	2 (PD)	IOCFG10[25]	0 (SLOW)	IOCFG10[26]	1 (EN)
GPIO1_0	IOCFG11[5:4]	2 (PD)	IOCFG11[1]	0 (SLOW)	IOCFG11[2]	1 (EN)
GPIO1_1	IOCFG11[13:12]	2 (PD)	IOCFG11[9]	0 (SLOW)	IOCFG11[10]	1 (EN)
GPIO1_2	IOCFG11[21:20]	2 (PD)	IOCFG11[17]	0 (SLOW)	IOCFG11[18]	1 (EN)
GPIO1_3	IOCFG11[29:28]	2 (PD)	IOCFG11[25]	0 (SLOW)	IOCFG11[26]	1 (EN)
GPIO1_4	IOCFG12[5:4]	2 (PD)	IOCFG12[1]	0 (SLOW)	IOCFG12[2]	1 (EN)
GPIO1_5	IOCFG12[13:12]	2 (PD)	IOCFG12[9]	0 (SLOW)	IOCFG12[10]	1 (EN)
GPIO1_6	IOCFG12[21:20]	2 (PD)	IOCFG12[17]	0 (SLOW)	IOCFG12[18]	1 (EN)
GPIO1_7	IOCFG12[29:28]	2 (PD)	IOCFG12[25]	0 (SLOW)	IOCFG12[26]	1 (EN)
GPIO2_0	IOCFG13[5:4]	2 (PD)	IOCFG13[1]	0 (SLOW)	IOCFG13[2]	1 (EN)
GPIO2_1	IOCFG13[13:12]	2 (PD)	IOCFG13[9]	0 (SLOW)	IOCFG13[10]	1 (EN)
GPIO2_2	IOCFG13[21:20]	2 (PD)	IOCFG13[17]	0 (SLOW)	IOCFG13[18]	1 (EN)
GPIO2_3	IOCFG13[29:28]	2 (PD)	IOCFG13[25]	0 (SLOW)	IOCFG13[26]	1 (EN)
GPIO2_4	IOCFG14[5:4]	2 (PD)	IOCFG14[1]	0 (SLOW)	IOCFG14[2]	1 (EN)
GPIO2_5	IOCFG14[13:12]	2 (PD)	IOCFG14[9]	0 (SLOW)	IOCFG14[10]	1 (EN)
GPIO2_6	IOCFG14[21:20]	2 (PD)	IOCFG14[17]	0 (SLOW)	IOCFG14[18]	1 (EN)
GPIO2_7	IOCFG14[29:28]	2 (PD)	IOCFG14[25]	0 (SLOW)	IOCFG14[26]	1 (EN)
ARNC_SLP0	IOCFG15[5:4]	2 (PD)	IOCFG15[1]	0 (SLOW)	IOCFG15[2]	1 (EN)
ARNC_SLP1	IOCFG15[13:12]	2 (PD)	IOCFG15[9]	0 (SLOW)	IOCFG15[10]	1 (EN)

					Лист
ЮФКВ.431268.020PЭ					99
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Rechell</i> 24.10.2019		34203-2	Подп. и дата

Наименование вывода	PU_PD		SR		SMT	
	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию	Поле регистра IOCFGx	Значение по умолчанию
ARNC_SLP2	IOCFG15[21:20]	2 (PD)	IOCFG15[17]	0 (SLOW)	IOCFG15[18]	1 (EN)
ARNC_SLP3	IOCFG15[29:28]	2 (PD)	IOCFG15[25]	0 (SLOW)	IOCFG15[26]	1 (EN)
ARNC_SLP4	IOCFG16[5:4]	2 (PD)	IOCFG16[1]	0 (SLOW)	IOCFG16[2]	1 (EN)
ARNC_SLP5	IOCFG16[13:12]	2 (PD)	IOCFG16[9]	0 (SLOW)	IOCFG16[10]	1 (EN)
ARNC_SLP6	IOCFG16[21:20]	2 (PD)	IOCFG16[17]	0 (SLOW)	IOCFG16[18]	1 (EN)
ARNC_SLP7	IOCFG16[29:28]	2 (PD)	IOCFG16[25]	0 (SLOW)	IOCFG16[26]	1 (EN)
ARNC_SLP8	IOCFG17[5:4]	2 (PD)	IOCFG17[1]	0 (SLOW)	IOCFG17[2]	1 (EN)
ARNC_SLP9	IOCFG17[13:12]	2 (PD)	IOCFG17[9]	0 (SLOW)	IOCFG17[10]	1 (EN)
ARNC_SLP10	IOCFG17[21:20]	2 (PD)	IOCFG17[17]	0 (SLOW)	IOCFG17[18]	1 (EN)
ARNC_SLP11	IOCFG17[29:28]	2 (PD)	IOCFG17[25]	0 (SLOW)	IOCFG17[26]	1 (EN)
ARNC_SLP12	IOCFG18[5:4]	2 (PD)	IOCFG18[1]	0 (SLOW)	IOCFG18[2]	1 (EN)
ARNC_SLP13	IOCFG18[13:12]	2 (PD)	IOCFG18[9]	0 (SLOW)	IOCFG18[10]	1 (EN)
ARNC_SLP14	IOCFG18[21:20]	2 (PD)	IOCFG18[17]	0 (SLOW)	IOCFG18[18]	1 (EN)
ARNC_SLP15	IOCFG18[29:28]	2 (PD)	IOCFG18[25]	0 (SLOW)	IOCFG18[26]	1 (EN)
DBG_TDI	IOCFG19[5:4]	1 (PU)	-	-	IOCFG19[2]	1 (EN)
DBG_TMS	IOCFG19[5:4]	1 (PU)	IOCFG19[1]	0 (SLOW)	IOCFG19[2]	1 (EN)
DBG_TDO	-	-	IOCFG19[1]	0 (SLOW)	-	-
DBG_TCK	IOCFG19[5:4]	1 (PU)	-	-	IOCFG19[2]	1 (EN)
DBG_TRSTN	IOCFG19[5:4]	1 (PU)	-	-	IOCFG19[2]	1 (EN)
DFT_TDI	IOCFG19[13:12]	1 (PU)	-	-	IOCFG19[10]	1 (EN)
DFT_TMS	IOCFG19[13:12]	1 (PU)	-	-	IOCFG19[10]	1 (EN)
DFT_TCK	IOCFG19[13:12]	1 (PU)	-	-	IOCFG19[10]	1 (EN)
DFT_TRSTN	IOCFG19[13:12]	1 (PU)	-	-	IOCFG19[10]	1 (EN)
DFT_TDO	-	-	IOCFG19[9]	0 (SLOW)	-	-
WDT_IRQ	-	-	IOCFG20[1]	0 (SLOW)	-	-
EXT_IRQ	-	-	IOCFG20[1]	0 (SLOW)	-	-

1.4.1.5.5.2.2.11 PCIE_RST (0x400)

Поля регистра PCIE_RST описаны в таблице 120.

Таблица 120 – Описание полей регистра PCIE_RST

Биты	Поле	Значение после сброса	Доступ	Описание
[31:1]	-	-	R0	Резерв

					ЮФКВ.431268.020РЭ		Лист 100
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Биты	Поле	Значение после сброса	Доступ	Описание
[0]	Resetn	0x0	RW	запись 1 – запуск последовательности включения интерфейса запись 0 – ничего не произойдет чтение 0 – последовательность включения не выполнена чтение 1 – последовательность включения выполнена Сразу после записи 1 чтение должно выдавать 0. Включение здесь показывает готовность блока (стабилизацию PLL) и не имеет отношения к установлению связи с ответным устройством ни на каком уровне

1.4.1.5.5.2.2.12 PCIE_REG_0 (0x404)

Поля регистра PCIE_REG_0 описаны в таблице 121.

Таблица 121 – Описание полей регистра PCIE_REG_0

Биты	Поле	Значение после сброса	Доступ	Описание
[0]	pcie_generation_sel	1	RW	Версия PCIe 0: Gen1 (2.5Gbs per lane) 1: Gen1 (2.5Gbs per lane) или Gen2 (5Gbs per lane) после переобучения, инициированного RC. Изменение этого значения допустимо только до снятия сброса
[1]	mode_select	0	RW	Режим работы контроллера PCIe 0: Endpoint 1: Root Complex Изменение этого значения допустимо только до снятия сброса
[3:2]	lane_count_in	2	RW	Количество используемых лейнов 00: лейн № 0 01: лейны № 0 и № 1 10: лейны № 0, № 1, № 2, и № 3 11: reserved Этот параметр должен быть одинаковым у обоих соединенных устройств. Изменение этого значения допустимо только до снятия сброса
[4]	link_training_enable_reg	1	RW	Разрешение инициации последовательности обучения 0: запрещено 1: разрешено
[5]	config_enable_reg	1	RW	0: входящие конфигурационные запросы запрещены; возвращается ошибка (CRS Completion) по шине PCIe 1: входящие конфигурационные запросы разрешены
[6]	req_pm_transition_l23_ready_reg	0	RW	Только для Endpoint. Установка этого бита переводит контроллер PCIe в L23_READY состояние и впоследствии в L2 состояние. Это следует делать после того, как PCI функции перешли в состояние D3 и после того, как было подтвержден прием PME_Turn_Off сообщения от Root Port. После снятия этого бита контроллер должен быть сброшен
[7]	client_req_exit_l2_reg	0	RW	Может быть программно установлено после входа линка в состояние L2 и до отключения питания системы. Пока питание и тактовый сигнал еще присутствуют, можно программно установить этот бит, чтобы инициировать переход из L2_IDLE в DETECT состояние
[8]	-	-	R0	Резерв

					Лист
					101
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Биты	Поле	Значение после сброса	Доступ	Описание
[9]	down_cfg_susp_1n_00	0	RW	Питание лейна № 0 0: включено 1: выключено Изменение этого значения допустимо только до снятия сброса
[10]	down_cfg_susp_1n_01	0	RW	Питание лейна № 1 0: включено 1: выключено Изменение этого значения допустимо только до снятия сброса
[11]	down_cfg_susp_1n_02	0	RW	Питание лейна № 2 0: включено 1: выключено Изменение этого значения допустимо только до снятия сброса
[12]	down_cfg_susp_1n_03	0	RW	Питание лейна № 3 0: включено 1: выключено Изменение этого значения допустимо только до снятия сброса
[13]	hot_reset_in_reg	0	RW	Установка этого бита в режиме RC сбрасывает PCIe линк. Не работает в режиме EP
[14]	hot_reset_out_sync	0	RO	Устанавливается в режимах RC и EP по осуществлении горячего сброса
[15]	link_down_reset_out_sync	0	RO	Устанавливается контроллером PCIe при обнаружении события отключения линка (link-down event – LINK_UP переключается в 0)
[17:16]	link_status_sync	0	RO	Показывает статус линка PCIe 0 – ответное устройство не обнаружено 1 – происходит обучение линка 2 – линк готов, происходит инициализация на пакетном уровне 3 – линк готов, инициализация пакетного уровня завершена
[21:18]	link_power_state_sync	0	RO	Текущий режим потребления линка 1 – L0 2 – L0s 4 – L1 8 – L2
[22]	client_req_exit_l1_reg	0	RW	Установка этого бита вызовет выход контроллера PCIe из состояния L1 в состояние L0. Также установка этого бита блокирует переход в состояние L1 в режиме EndPoint
[23]	mbist_start	0	RW	Установка этого бита запустит автомат проверки внутренних блоков памяти контроллера PCIe. Установку следует производить не одновременно с установкой бита mbist_enable
[24]	mbist_error	0	RW	Значение этого бита валидно только после установки бита mbist_done. 0 – ошибок не обнаружено 1 – обнаружены ошибки внутренних блоков памяти контроллера PCIe. Интерфейс PCIe будет работать некорректно. Микросхема должна быть отбракована
[25]	mbist_done	0	RO	Аппаратная установка этого бита показывает завершение работы автомата проверки памяти

					Лист
					102
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	Подп. и дата

Биты	Поле	Значение после сброса	Доступ	Описание
[26]	mbist_enable	0	RW	Включение системы проверки памяти. Рекомендуемая последовательность проверки памяти: установка mbist_enable установка mbist_start ожидание установки mbist_done проверка mbist_error
[31:27]	-	-	R0	Резерв

1.4.1.5.5.2.2.13 PCIE_REG_1 (0x408)

Поля регистра PCIE_REG_1 описаны в таблице 122.

Таблица 122 – Описание полей регистра PCIE_REG_1

Биты	Поле	Значение после сброса	Доступ	Описание
[0]	int200	0	RO	Устанавливается контроллером при изменении режима потребления функции на D1 или D3. Сохраняется в установленном состоянии, пока не будет подтвержден. При этом контроллер PCIe не будет возвращать завершения транзакций конфигурационных чтений и записей
[1]	ack200	0	RWOS	Запись 1 вызовет подтверждение изменения режима потребления функции. Будет сброшен аппаратно вслед за аппаратным сбросом int200
[2]	autoack200	0	RW	1 – разрешение автоматического подтверждения изменения режима потребления функции 0 – автоматическое подтверждение отключено
[31:3]	-	-	R0	Резерв

1.4.1.5.5.2.2.14 PCIE_REG_2 (0x40C)

Поля регистра PCIE_REG_2 описаны в таблице 123.

Таблица 123 – Описание полей регистра PCIE_REG_2

Биты	Поле	Значение после сброса	Доступ	Описание
[15:0]	debug_data_out_sync	0	RO	Текущие данные на шине отладки. Таблица значений расположена в спецификации на PCIe
[21:16]	ltssm_state_sync	0	RO	Текущее состояние автомата обучения линка. Кодировка значений приведена в спецификации на PCIe
[31:22]	-	-	R0	Резерв

1.4.1.6 Подсистема высокоскоростных интерфейсных контроллеров

1.4.1.6.1 Контроллер оперативной памяти DDR3

1.4.1.6.1.1 Общее описание контроллера оперативной памяти DDR3

СБИС МИ БИУС имеет в своем составе две идентичные подсистемы оперативной (внешней динамической) памяти DDR3 (далее контроллер DDR3), каждая из которых

					Лист
					103
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	

ЮФКВ.431268.020РЭ

предназначена для организации и управления обменом данными между СБИС МИ БИУС и внешними микросхемами памяти. Каждая подсистема имеет следующие характеристики:

- Тип поддерживаемой памяти DDR3/DDR3L-1066 SDRAM;
- Максимальный общий объем подключенных микросхем памяти – 1 Гбайт;
- Разрядность внешней шины данных, бит – 16;
- Поддержка ECC;
- Количество сигналов выбора микросхемы (chip select) – 1;
- Количество банков в микросхеме памяти – 8;
- Встроенный генератор напряжения питания VREF.

1.4.1.6.1.2 Структурная схема контроллера оперативной памяти DDR3

Подсистема состоит из контроллера (DDR3-MC) и блока физического уровня (DDR3-PHY). На рисунке 29 показана структура и основные интерфейсы подсистемы.

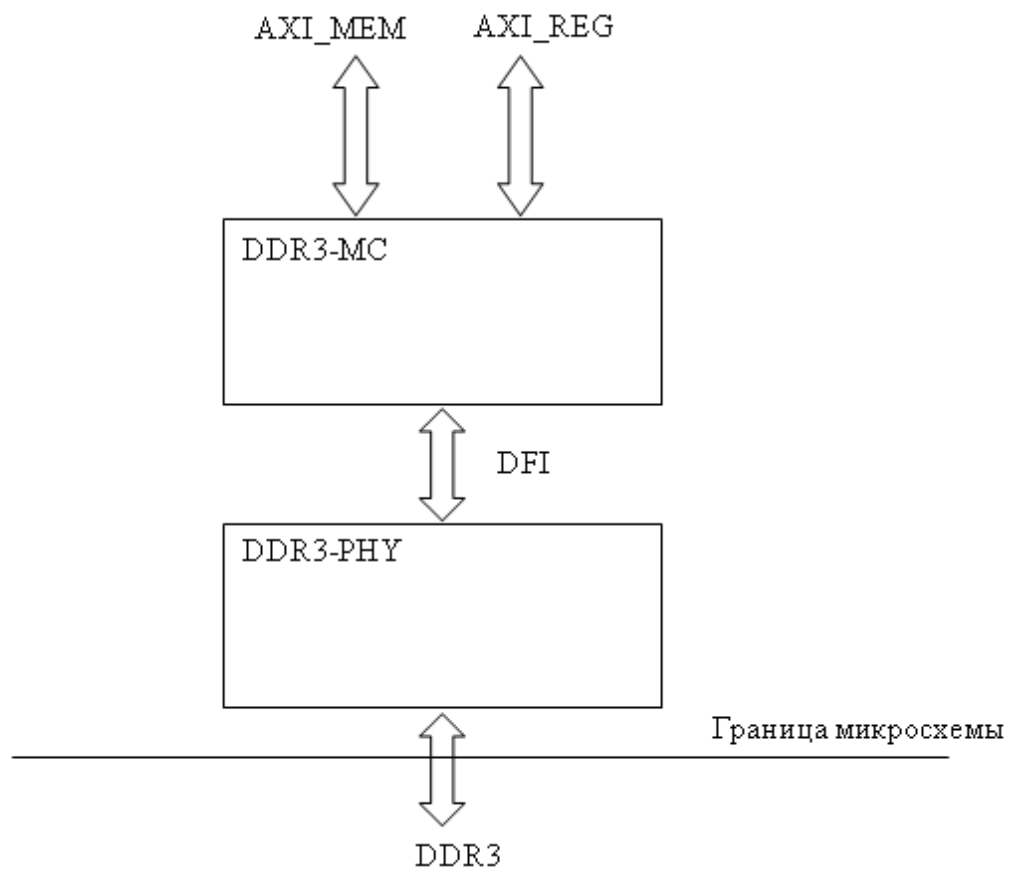


Рисунок 29 – Структурная схема контроллера оперативной памяти DDR3

AXI_MEM – 64-разрядный slave-интерфейс стандарта AXI3, используемый для доступа внутренних устройств СБИС к микросхемам внешней памяти DDR3, работает на системной частоте 400 МГц.

AXI_REG – 32-разрядный slave-интерфейс стандарта AXI3, используемый для доступа к управляющим регистрам DDR3-MC и DDR3-PHY, работает на системной частоте 100 МГц.

DFI – промежуточный интерфейс между контроллером и блоком физического уровня, имеет разрядность данных 64 бита и частоту 400 МГц.

DDR3 – внешний интерфейс для подключения микросхем памяти.

					ЮФКВ.431268.020РЭ			Лист
								104
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

1.4.1.6.1.3 Принципы функционирования контроллера оперативной памяти DDR3

1.4.1.6.1.3.1 Общее описание работы контроллера оперативной памяти DDR3

Контроллер оперативной памяти DDR3 преобразует поступающие в него транзакции AXI в транзакции DDR3. Порядок исполнения AXI-транзакций может быть автоматически изменен в целях увеличения пропускной способности интерфейса. Зависимые друг от друга транзакции не будут переупорядочены. Переупорядочивание транзакций может быть программно отключено.

Контроллер оперативной памяти DDR3 поддерживает защиту данных, находящихся в оперативной памяти с помощью ECC. ECC – это контрольная сумма, хранящаяся в отдельной внешней SDRAM. Она позволяют находить и при возможности исправлять битовые ошибки данных оперативной памяти. В этом контроллере генерация, проверка ECC и исправление ошибок происходят автоматически и могут быть отключены.

При использовании ECC соответствующие настройки физической части интерфейса должны быть сделаны перед включением контроллера – вместе с остальными настройками.

После сброса SDRAM содержит случайные данные, ECC будет неправильным и читать из памяти не получится. По умолчанию при включенном ECC при транзакции записи в SDRAM происходит последовательность Read-Modify-Write, в ходе которой ECC также проверяется, поэтому писать в память тоже не получится. Проблема решается исполнением следующей последовательности сразу после готовности контроллера:

- При включенном ECC запретить контроллеру проверять ECC при Read-Modify-Write (установить бит `ecc_disable_w_uc_err`);
- Записать в предполагаемую к использованию память любые данные;
- Разрешить контроллеру проверять ECC при Read-Modify-Write (снять бит `ecc_disable_w_uc_err`).

Контроллер оперативной памяти DDR3 поддерживает несколько энергосберегающих режимов работы. Их описание приведено ниже в порядке возрастания экономии энергии.

- 1) Активный пониженный (Active Power-Down). Контроллер переводит внешнюю динамическую память в режим пониженного потребления, пока одна из строк активна. В этом режиме и контроллер, и память полностью работоспособны, но сигнал SKE снят. При этом память входит в активный или закрытый режим пониженного потребления в зависимости от наличия открытых строк. Если параметр `LOWPOWER_REFRESH_ENABLE` снят, то, находясь в текущем режиме, контроллер будет продолжать переводить память в состояние регенерации. При этом сигнал SKE будет устанавливаться на период регенерации. Регенерация включает в себя команду закрытия (`PRECHARGE ALL`) всех банков, поэтому по ее окончании память войдет в закрытый режим, а сигнал SKE снимется снова.
- 2) Активный пониженный с отключением синхросигнала памяти (Active Power-Down With Memory Clock Gating). Данный режим представляет собой активный пониженный, дополненный отключением тактового сигнала. При регенерации синхросигнал CK0 будет подключен до установки SKE. Отключение тактового сигнала не стандартизовано и может не поддерживаться некоторыми SDRAM.
- 3) Закрытый пониженный (Precharge Power-Down). Контроллер переводит внешнюю динамическую память в режим пониженного потребления, если все банки не используются. Если хотя бы одна строка активна, то перед входом в режим контроллер закрывает все банки (`PRECHARGE ALL`). Если параметр `LOWPOWER_REFRESH_ENABLE` снят, то, находясь в текущем режиме, контроллер будет продолжать переводить память в состояние регенерации. При этом сигнал SKE будет устанавливаться на период регенерации. По окончании регенерации сигнал SKE снимется снова.
- 4) Закрытый пониженный с отключением синхросигнала памяти (Precharge Power-Down With Memory Clock Gating). Данный режим представляет собой закрытый пониженный, дополненный отключением тактового сигнала. При регенерации

									Лист
									105
Изм	Лист	№ докум.	Подп.	Дата					
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redchell</i> 24.10.2019			34203-2					

синхросигнал СК0 будет подключен до установки СКЕ. Отключение тактового сигнала не стандартизовано и может не поддерживаться некоторыми SDRAM.

- 5) Собственная регенерация (Self-Refresh). Контроллер переводит внешнюю динамическую память в режим собственной регенерации. При этом тактовые сигналы контроллера и памяти включены, сигнал СКЕ снят. В данном режиме память регенерирует самостоятельно.
- 6) Собственная регенерация с отключением синхросигнала памяти (Self-Refresh With Memory Clock Gating). Контроллер переводит внешнюю динамическую память в режим собственной регенерации, отключает тактовый сигнал СК0. При выходе из этого состояния тактовый сигнал будет подан снова.
- 7) Собственная регенерация с отключением синхросигнала памяти и контроллера (Self-Refresh With Memory And Controller Clock Gating). Режим с наименьшим потреблением энергии. Контроллер переводит внешнюю динамическую память в режим собственной регенерации, отключает тактовый сигнал СК0, а также собственный тактовый сигнал. При выходе из этого режима все тактовые сигналы будут подключены снова. Если автоматический выход из этого состояния разрешен, то новая запись или чтение выведут память в активное состояние. В этот режим нельзя входить во время записи или чтения данных. Необходимо предварительно убедиться, что контроллер не выполняет никаких команд, посредством чтения параметра CONTROLLER_BUSY.

Есть два способа переключения между режимами питания – программный и автоматический. Автоматический вход в любой режим пониженного потребления основан на отслеживании отсутствия передачи данных.

1.4.1.6.1.3.2 Настройка контроллера оперативной памяти DDR3

Первым делом необходимо настроить генератор тактового сигнала CRG_DDR на нужную частоту, в зависимости от требуемого режима DDR (DDR1066, DDR1333 или DDR1600).

Потом должен быть настроен и включен сам контроллер оперативной памяти DDR3. При правильной настройке будут автоматически исполнены процедуры:

- запуска встроенных PLL;
- запуска встроенных DLL;
- запуска встроенного генератора напряжения;
- калибровки буферов;
- конфигурация внешней SDRAM;
- обучения Write Leveling, Data Eye Training, Gate Training.

При успешном окончании всех процедур можно работать с внешней SDRAM.

Настройка контроллера оперативной памяти DDR3 может выполняться в рамках работы вторичного загрузчика. Для настройки используется специальный файл.

1.4.1.6.1.4 Описание регистров контроллера оперативной памяти DDR3

Предполагается, что после обработки вторичного загрузчика нет необходимости в какой-либо дополнительной настройке контроллера оперативной памяти DDR3.

Полное описание регистров и функционала контроллера оперативной памяти DDR3 высылается по дополнительному запросу.

1.4.1.6.2 Контроллер PCI Express 2.0 (контроллер PCIe)

1.4.1.6.2.1 Общее описание контроллера PCIe

Высокоскоростной интерфейс используется для интеграции СБИС МИ БИУС в вычислительную систему. Контроллер интерфейса PCI Express 2.0 (контроллер PCIe) обеспечивает отображение внешних устройств шины PCI Express в карте памяти СБИС МИ БИУС и наоборот, внутренней адресуемой памяти СБИС МИ БИУС - в адресном пространстве PCI Express.

					ЮФКВ.431268.020РЭ			Лист
								106
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhell</i> 24.10.2019		34203-2				

Интерфейс соответствует стандарту PCI Express 2.0 и содержит четыре линии. Работа в режиме Gen2 позволяет достичь пиковой двусторонней скорости передачи в 40 ГБод/с.

Основные особенности интерфейса:

- тип устройства – Dual Mode (может быть как конечным устройством шины PCI Express – End Point, так и хост-контроллером – Root Port);
- поддержка Gen 1 и Gen 2;
- количество линий передачи/приема – 4;
- количество виртуальных каналов – 1;
- одновременно отображаемое адресное пространство – до 1 Гбайта.

Особенности контроллера PCIe:

- поддержка MSI прерываний;
- поддержка MSI-X прерываний;
- поддержка Legacy прерываний;
- количество функций PCI – 1 физическая, 0 виртуальных;
- максимальный объем данных в транзакции – 1024 байт;
- поддержка D1 состояния PCI функции;
- генерация и проверка ECRC;
- поддержка 64-битной адресации.

Особенности AXI:

- 128 регионов трансляции адреса AXI->PCIe;
- девять регионов трансляции адреса PCIe->AXI.

Особенности встроенного ПДП контроллера

- двухканальный;
- размер выходного буфера – 4 Кбайта;
- размер входного буфера – 4 Кбайта.

1.4.1.6.2.2 Структурная схема контроллера PCIe

На показанной ниже структурной схеме (см. рисунок 29) можно выделить следующие составные блоки контроллера PCIe:

- блок физического интерфейса (PCI Express PHY);
- блок контроллерного ядра (PCI Express Controller);
- интерфейсный блок контроллера (PIPE Bridge);
- контроллер физического уровня (Physical Layer);
- контроллер канального уровня (Data Link Layer);
- контроллер уровня транзакций (Transaction Layer);
- интерфейсный блок шины AXI (AXI Bridge);
- контроллер прямого доступа в память (DMAC);
- блоки программно доступных конфигурационных регистров (Configuration Register Set);
- блоки трансляции входящих и исходящих транзакций (PCIe_inbound_trans, PCIe_outbound_trans);
- контроллер внешних прерываний (PCIe_int_ctrl или ext_irq_gen).

Системный контроллер (SCTL) управляет сбросами, базовой конфигурацией интерфейса и отображает выход отладочной шины.

										Лист
										107
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

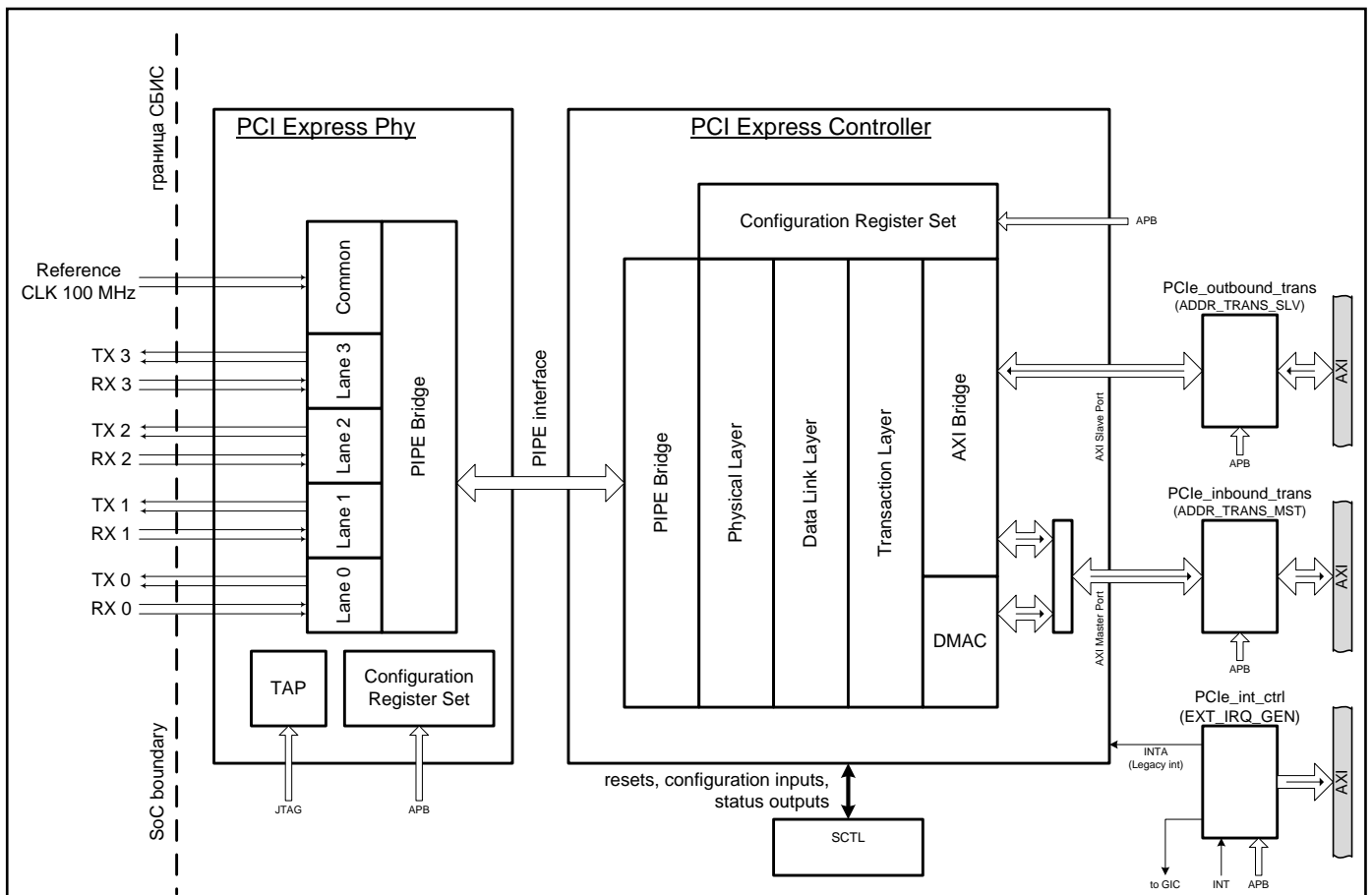


Рисунок 30 – Структурная схема контроллера интерфейса PCIe

1.4.1.6.2.3 Описание регистров контроллера PCIe

1.4.1.6.2.3.1 Карта регистров контроллера PCIe

Контроллер интерфейса PCIe имеет множество регистров, доступных центральному процессору. К некоторым регистрам также имеют доступ внешние устройства PCI Express. Программно доступная область имеет общий размер 32 Кбайта. Все регистры можно условно разделить по назначению на четыре типа:

- Стандартные конфигурационные регистры PCI Express (Physical Function Configuration Register Set , Root Port Configuration Register Set). Выбор режима Root Port или End Point изменяет их набор;
- Регистры локального управления (Local Management Registers);
- Регистры обработки AXI сообщений (AXI Configuration Registers);
- Регистры управления ПДП (PCIe DMA Registers).

Программный доступ к некоторым стандартным конфигурационным регистрам в RP режиме может быть расширен с R или RWCLR до RW. Для этого при обращении к ним надо также установить [13] бит адреса.

Адреса регистров и их описание приведены в п. 1.4.1.6.2.3. Поддерживается байтовая запись в регистры. Неопределенные адреса зарезервированы. Конфигурационный запрос по шине PCIe по зарезервированным адресам вызовет завершение с UR (Unsupported Request) кодом. Чтение по шине APB по зарезервированным адресам вернет 0. Запись по шине APB по зарезервированным адресам не возымет действия.

Выбор режимов работы и статус интерфейса контролируются через программные регистры системного контроллера SCTL. Подробное их описание можно найти в соответствующей документации.

					Лист
					108
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
34203-3	<i>Redell</i> 24.10.2019		34203-2		

Трансляторы адреса и контроллер прерываний являются отдельными конечными устройствами шины APB. Описание их регистров приведено, соответственно, в пп. 1.4.1.6.2.6, 1.4.1.6.2.7 и 1.4.1.6.3.

Блок физического интерфейса имеет собственные программно доступные регистры. При сбросе они принимают стандартные значения и не требуют установки. Ввиду этого, а также большого их количества, эти регистры не описываются в данной документации. Спецификация на программируемую часть PCIe PHY может быть предоставлена по запросу.

Карта стандартных конфигурационных регистров для режима End Point приведена в таблице 124.

Таблица 124 – Карта стандартных конфигурационных регистров для режима End Point

Адрес	Наименование регистра	Доступ APB	Доступ PCIe	Значение после сброса	Описание регистра
0x0000	PCIe_EP_i_vendor_id_device_id	RW	RO	0x010017CD	Основной идентификационный регистр (Vendor ID и Device ID)
0x0004	PCIe_EP_i_command_status	RW	RW	0x00100000	Регистр команд и статуса
0x0008	PCIe_EP_i_revision_id_class_code	RW	RO	0x0	Идентификационный регистр (Revision ID и Class Code)
0x000C	PCIe_EP_i_bist_header_latency_cache_line	RW	RO	0x0	Регистр настроек и самотестирования
0x0010	PCIe_EP_i_base_addr_0	RW	RO/RW	0x0	Регистр базового адреса 0
0x0014	PCIe_EP_i_base_addr_1	RW	RO/RW	0x0	Регистр базового адреса 1
0x0018	PCIe_EP_i_base_addr_2	RW	RO/RW	0x0	Регистр базового адреса 2
0x001C	PCIe_EP_i_base_addr_3	RW	RO/RW	0x0	Регистр базового адреса 2
0x0020	PCIe_EP_i_base_addr_4	RW	RO/RW	0x0	Регистр базового адреса 2
0x0024	PCIe_EP_i_base_addr_5	RW	RO/RW	0x0	Регистр базового адреса 2
0x002C	PCIe_EP_i_subsystem_vendor_id_subsystem_id	RW	RO	0x000017CD	Идентификационный регистр подсистемы (Subsystem Vendor ID и Subsystem ID)
0x0034	PCIe_EP_i_capabilities_pointer	RW	RO	0x80	Указатель на первую структуру характеристик (PCI Capability Structure)
0x003C	PCIe_EP_i_intrpt_line_intrpt_pin	RW	RW	0x1FF	Регистр номера Legacy-прерывания
0x0080	PCIe_EP_i_pwr_mgmt_cap	RW	RO	0x5A039001	Регистр управления питанием
0x0084	PCIe_EP_i_pwr_mgmt_ctrl_stat_rep	RW	RW	0x8	Регистр контроля и статуса управления питанием
0x0090	PCIe_EP_i_msi_ctrl_reg	RO/RW	RO/RW	0x0180B005	Регистр управления MSI прерываниями
0x0094	PCIe_EP_i_msi_msg_low_addr	RW	RW	0x0	Регистр адреса MSI прерывания (младшая часть)
0x0098	PCIe_EP_i_msi_msg_high_addr	RW	RW	0x0	Регистр адреса MSI прерывания (старшая часть)
0x009C	PCIe_EP_i_msi_msg_data	RW	RW	0x0	Регистр данных MSI сообщения

					ЮФКВ.431268.020РЭ	Лист 109
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ APB	Доступ PCIe	Значение после сброса	Описание регистра
0x00A0	PCIe_EP_i_msi_mask	RW	RW	0x0	Регистр маски битов пришедшего вектора MSI прерывания
0x00A4	PCIe_EP_i_msi_pending_bits	RW	RO	0x0	Регистр ожидающих MSI прерываний
0x00B0	PCIe_EP_i_msix_ctrl	RW	RO/RW	0x0000C011	Регистр управления MSI-X прерываниями
0x00B4	PCIe_EP_i_msix_tbl_offset	RW	RO	0x0	Регистр адреса таблицы векторов MSI-X прерываний
0x00B8	PCIe_EP_i_msix_pending_intrpt	RW	RO	0x00000008	Регистр адреса таблицы ожидающих MSI-X прерываний
0x00C0	PCIe_EP_i_pcie_capability	RO/RW	RO	0x00020010	Регистр списка характеристик PCIe
0x00C4	PCIe_EP_i_pcie_device_capability	RO/RW	RO	0x00008103	Регистр характеристик устройства PCIe
0x00C8	PCIe_EP_i_pcie_device_control_status	RO/RW	RO/RW	0x00002810	Регистр управления и статуса устройства PCIe
0x00CC	PCIe_EP_i_link_capability	RO/RW	RO	0x0041AC42	Регистр характеристик линка
0x00D0	PCIe_EP_i_link_control_status	RO/RW	RO/RW	0x00410000	Регистр управления и статуса линка
0x00E4	PCIe_EP_i_pcie_device_capability_2	RO	RO/RW	0x00100012	Регистр характеристик устройства PCIe 2
0x00E8	PCIe_EP_i_pcie_device_control_status_2	RO/RW	RO/RW	0x0	Регистр управления и статуса устройства PCIe 2
0x00EC	PCIe_EP_i_link_capability_2_register	RO	RO	0x00000006	Регистр характеристик линка 2
0x00F0	PCIe_EP_i_link_control_status_2	RO/RW	RO/RW	0x00010002	Регистр управления и статуса линка 2
0x0100	PCIe_EP_i_AER_extended_capability_header	RO/RW	RO	0x00020001	Регистр характеристик расширенного обработчика ошибок
0x0104	PCIe_EP_i_uncorrectable_error_status	RW	RW	0x0	Регистр статуса неисправимых ошибок
0x0108	PCIe_EP_i_uncorrectable_error_mask	RW	RW	0x00400000	Регистр маски неисправимых ошибок
0x010C	PCIe_EP_i_uncorrectable_error_severity	RW	RW	0x00462030	Регистр приоритета неисправимых ошибок
0x0110	PCIe_EP_i_correctable_error_status	RW	RW	0x0	Регистр статуса исправимых ошибок
0x0114	PCIe_EP_i_correctable_error_mask	RW	RW	0x0000E000	Регистр маски исправимых ошибок
0x0118	PCIe_EP_i_advanced_error_reporting_control	RO/RW	RO/RW	0x000000A0	Регистр управления и расширенных характеристик ошибок
0x011C	PCIe_EP_i_hdr_log_0	RO	RO	0x0	Регистр заголовка пакета № 0
0x0120	PCIe_EP_i_hdr_log_1	RO	RO	0x0	Регистр заголовка пакета № 1

					Лист
					110
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Rechell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Адрес	Наименование регистра	Доступ APB	Доступ PCIe	Значение после сброса	Описание регистра
0x0124	PCIe_EP_i_hdr_log_2	RO	RO	0x0	Регистр заголовка пакета № 2
0x0128	PCIe_EP_i_hdr_log_3	RO	RO	0x0	Регистр заголовка пакета № 3

Карта стандартных конфигурационных регистров для режима Root Port приведена в таблице 125.

Таблица 125 – Карта стандартных конфигурационных регистров для режима Root Port

Адрес	Наименование регистра	Доступ APB	Доступ PCIe	Значение после сброса	Описание регистра
0x0000	PCIe_RP_i_vendor_id_device_id	RW	RO	0x010017CD	Основной идентификационный регистр (Vendor ID и Device ID)
0x0004	PCIe_RP_i_command_status	RW	RW	0x00100000	Регистр команд и статуса
0x0008	PCIe_RP_i_revision_id_class_code	RW	RO	0x0	Идентификационный регистр (Revision ID и Class Code)
0x000C	PCIe_RP_i_bist_header_latency_cache_line	RW	RO	0x00010000	Регистр настроек и самотестирования
0x0010	PCIe_RP_i_RC_BAR_0	RW	RO/RW	0x0	Регистр базового адреса 0
0x0014	PCIe_RP_i_RC_BAR_1	RW	RO/RW	0x0	Регистр базового адреса 1
0x0018	PCIe_RP_i_pcie_bus_numbers	RW	RW	0x0	Регистр номеров шин
0x001C	PCIe_RP_i_pcie_io_base_limit	RO/RW	RO/RW	0x0	Регистр параметров региона IO
0x0020	PCIe_RP_i_pcie_memory_base_limit	RW	RW	0x0	Регистр параметров региона Memory
0x0024	PCIe_RP_i_pcie_prefetch_base_limit	RO	RW	0x0	Регистр параметров региона Memory с предвыборкой
0x0028	PCIe_RP_i_pcie_prefetch_base_upper	RO	RW	0x0	Регистр параметров региона Memory с предвыборкой (страшная часть базового адреса)
0x002C	PCIe_RP_i_pcie_prefetch_limit_upper	RO	RW	0x0	Регистр параметров региона Memory с предвыборкой (страшная часть границы)
0x0030	PCIe_RP_i_pcie_io_base_limit_upper	RO	RW	0x0	Регистр параметров региона IO (старшая часть)
0x0034	PCIe_RP_i_capabilities_pointer	RW	RO	0x80	Указатель на первую структуру характеристик (PCI Capability Structure)
0x003C	PCIe_RP_i_intrpt_line_intrpt_pin	RW	RW	0x1FF	Регистр номера Legacy-прерывания
0x0080	PCIe_RP_i_pwr_mgmt_cap	RW	RO	0x5A039001	Регистр управления питанием
0x0084	PCIe_RP_i_pwr_mgmt_ctrl_stat_rep	RW	RW	0x8	Регистр контроля и статуса управления питанием

					ЮФКВ.431268.020РЭ	Лист 111
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ APB	Доступ PCIe	Значение после сброса	Описание регистра
0x0090	PCIe_RP_i_msi_ctrl_reg	RO/RW	RO/RW	0x0180B005	Регистр управления MSI прерываниями
0x0094	PCIe_RP_i_msi_msg_low_addr	RW	RW	0x0	Регистр адреса MSI прерывания (младшая часть)
0x0098	PCIe_RP_i_msi_msg_high_addr	RW	RW	0x0	Регистр адреса MSI прерывания (старшая часть)
0x009C	PCIe_RP_i_msi_msg_data	RW	RW	0x0	Регистр данных MSI сообщения
0x00A0	PCIe_RP_i_msi_mask	RW	RW	0x0	Регистр маски битов пришедшего вектора MSI прерывания
0x00A4	PCIe_RP_i_msi_pending_bits	RW	RO	0x0	Регистр ожидающих MSI прерываний
0x00B0	PCIe_RP_i_msix_ctrl	RW	RO/RW	0x0000C011	Регистр управления MSI-X прерываниями
0x00B4	PCIe_RP_i_msix_tbl_offset	RW	RO	0x0	Регистр адреса таблицы векторов MSI-X прерываний
0x00B8	PCIe_RP_i_msix_pending_intrpt	RW	RO	0x8	Регистр адреса таблицы ожидающих MSI-X прерываний
0x00C0	PCIe_RP_i_pcie_capability	RO/RW	RO	0x00420010	Регистр списка характеристик PCIe
0x00C4	PCIe_RP_i_pcie_capability	RO/RW	RO	0x00008003	Регистр характеристик устройства PCIe
0x00C8	PCIe_RP_i_pcie_device_control_status	RO/RW	RO/RW	0x00002810	Регистр управления и статуса устройства PCIe
0x00CC	PCIe_RP_i_link_capability	RO/RW	RO	0x0061AC42	Регистр характеристик линка
0x00D0	PCIe_RP_i_link_control_status	RO/RW	RO/RW	0x00420000	Регистр управления и статуса линка
0x00D8	PCIe_RP_i_slot_control_status	RW	RO	0x00400000	Регистр управления и статуса слота
0x00DC	PCIe_RP_i_root_control_capability	RW	RW	0x0	Регистр управления хоста
0x00E0	PCIe_RP_i_root_status	RW	RW	0x0	Регистр статуса хоста
0x00E4	PCIe_RP_i_pcie_capability_2	RO	RO/RW	0x00100012	Регистр характеристик устройства PCIe 2
0x00E8	PCIe_RP_i_pcie_device_control_status_2	RO/RW	RO/RW	0x0	Регистр управления и статуса устройства PCIe 2
0x00EC	PCIe_RP_i_link_capability_2	RO	RO	0x00000006	Регистр характеристик линка 2
0x00F0	PCIe_RP_i_link_control_status_2	RO/RW	RO/RW	0x00010002	Регистр управления и статуса линка 2
0x0100	PCIe_RP_i_AER_extended_capability	RO/RW	RO	0x00020001	Регистр характеристик расширенного обработчика ошибок
0x0104	PCIe_RP_i_uncorrectable_error_status	RW	RW	0x0	Регистр статуса неисправимых ошибок
0x0108	PCIe_RP_i_uncorrectable_error_mask	RW	RW	0x00400000	Регистр маски неисправимых ошибок

					ЮФКВ.431268.020РЭ	Лист 112
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ APB	Доступ PCIe	Значение после сброса	Описание регистра
0x010C	PCIe_RP_i_uncorr_err_s everity	RW	RW	0x00462030	Регистр приоритета неисправимых ошибок
0x0110	PCIe_RP_i_corr_err_stat us	RW	RW	0x0	Регистр статуса исправимых ошибок
0x0114	PCIe_RP_i_corr_err_ma sk	RW	RW	0x0000E000	Регистр маски исправимых ошибок
0x0118	PCIe_RP_i_adv_err_cap _ctl	RO/RW	RO/RW	0x000000A0	Регистр управления и расширенных характеристик ошибок
0x011C	PCIe_RP_i_hdr_log_0	RO	RO	0x0	Регистр заголовка пакета № 0
0x0120	PCIe_RP_i_hdr_log_1	RO	RO	0x0	Регистр заголовка пакета № 1
0x0124	PCIe_RP_i_hdr_log_2	RO	RO	0x0	Регистр заголовка пакета № 2
0x0128	PCIe_RP_i_hdr_log_3	RO	RO	0x0	Регистр заголовка пакета № 3
0x012C	PCIe_RP_i_root_err_cm d	RW	NA	0x0	Регистр обработки отчетов об ошибках
0x0130	PCIe_RP_i_root_err_stat	RW	NA	0x0	Регистр статуса отчетов об ошибках
0x0134	PCIe_RP_i_err_src_id	RO	NA	0x0	Регистр источника отчета об ошибке

Карта регистров локального управления представлена в таблице 126.

Таблица 126 – Карта регистров локального управления

Адрес	Наименование регистра	Доступ APB	Значение после сброса	Описание регистра
0x1000	PCIe_LocMgmt_i_pl_co nfig_0_reg	RW	0x00000024	Регистр настроек физического уровня 0
0x1004	PCIe_LocMgmt_i_pl_co nfig_1_reg	RW	0x40808000	Регистр настроек физического уровня 1
0x1008	PCIe_LocMgmt_i_dll_t mr_config_reg	RW	0x0	Регистр настроек таймера пакетного уровня
0x100C	PCIe_LocMgmt_i_rcv_c red_lim_0_reg	RW	0x20020200	Регистр настроек буферов приемника 0
0x1010	PCIe_LocMgmt_i_rcv_c red_lim_1_reg	RW	0x00000020	Регистр настроек буферов приемника 1
0x1014	PCIe_LocMgmt_i_trans m_cred_lim_0_reg	RO	0x0	Регистр настроек буферов передатчика 0
0x1018	PCIe_LocMgmt_i_trans m_cred_lim_1_reg	RO	0x0	Регистр настроек буферов передатчика 1
0x101C	PCIe_LocMgmt_i_trans m_cred_update_int_conf ig_0_reg	RW	0x00040004	Регистр интервала обновления передатчика 0
0x1020	PCIe_LocMgmt_i_trans m_cred_update_int_conf ig_1_reg	RW	0x03AA0004	Регистр интервала обновления передатчика 1

					ЮФКВ.431268.020РЭ	Лист 113
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ АРВ	Значение после сброса	Описание регистра
0x1024	PCIe_LocMgmt_i_L0S_timeout_limit_reg	RW	0x00000177	Регистр времени тайм-аута перехода в L0s
0x1028	PCIe_LocMgmt_i_transmit_tlp_count_reg	RW	0x0	Регистр количества переданных пакетов TLP
0x102C	PCIe_LocMgmt_i_transmit_tlp_payload_dword_count_reg	RW	0x0	Регистр количества переданных двойных слов
0x1030	PCIe_LocMgmt_i_receive_tlp_count_reg	RW	0x0	Регистр количества принятых пакетов TLP
0x1034	PCIe_LocMgmt_i_receive_tlp_payload_dword_count_reg	RW	0x0	Регистр количества принятых двойных слов
0x1038	PCIe_LocMgmt_i_completion_timeout_limit_0_reg	RW	0x00BEBC20	Регистр времени тайм-аута подтверждения 0
0x103C	PCIe_LocMgmt_i_completion_timeout_limit_1_reg	RW	0x02FAF080	Регистр времени тайм-аута подтверждения 1
0x1040	PCIe_LocMgmt_i_L1_state_reentry_delay_reg	RW	0x0	Регистр задержки до повторного входа в L1 состояние
0x1044	PCIe_LocMgmt_i_vendor_id_reg	RW	0x17cd17cd	Регистр установки идентификатора
0x1048	PCIe_LocMgmt_i_aspm_L1_entry_timeout_delay_reg	RW	0x000002EE	Регистр времени тайм-аута перехода в L1
0x104C	PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg	RW	0x00000064	Регистр задержки подтверждения выключения
0x1050	PCIe_LocMgmt_i_linkwidth_control_reg	RW	0x0000000F	Регистр управления шириной линка
0x1074	PCIe_LocMgmt_i_sris_control_reg	RW	0x0	Регистр управления SRIS
0x1100	PCIe_LocMgmt_i_shadow_hdr_log_0_reg	RW	0x0	Теневой регистр хранения заголовка 0
0x1104	PCIe_LocMgmt_i_shadow_hdr_log_1_reg	RW	0x0	Теневой регистр хранения заголовка 1
0x1108	PCIe_LocMgmt_i_shadow_hdr_log_2_reg	RW	0x0	Теневой регистр хранения заголовка 2
0x110C	PCIe_LocMgmt_i_shadow_hdr_log_3_reg	RW	0x0	Теневой регистр хранения заголовка 3
0x1110	PCIe_LocMgmt_i_shadow_func_num_reg	RW	0x0	Теневой регистр номера функции
0x1114	PCIe_LocMgmt_i_shadow_ur_err_reg	WO	0x0	Теневой регистр ошибки неподдерживаемого запроса
0x1144	PCIe_LocMgmt_i_debug_dllp_count_gen1_reg	RO	0x0	Регистр количества сообщений пакетного уровня в режиме Gen1

					Лист
					114
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	Подп. и дата

Адрес	Наименование регистра	Доступ APB	Значение после сброса	Описание регистра
0x1148	PCIe_LocMgmt_i_debug_dllp_count_gen2_reg	RO	0x0	Регистр количества сообщений пакетного уровня в режиме Gen2
0x114C	PCIe_LocMgmt_i_debug_dllp_count_gen3_reg	RO	0x0	Регистр количества сообщений пакетного уровня в режиме Gen3
0x1200	PCIe_LocMgmt_i_negotiated_lane_map_reg	RO	0x0	Регистр согласованной карты лейнов
0x1204	PCIe_LocMgmt_i_receive_fts_count_reg	RO	0x0	Регистр количества последовательностей ускоренного обучения
0x1208	PCIe_LocMgmt_i_debug_mux_control_reg	RW	0x80000000	Регистр управления отладкой
0x120C	PCIe_LocMgmt_i_local_error_status_register	RW	0x0	Регистр локальных ошибок и статуса
0x1210	PCIe_LocMgmt_i_local_intrpt_mask_reg	RW	0x022C0FFF	Регистр масок локальных ошибок
0x1214	PCIe_LocMgmt_i_lcrc_err_count_reg	RW	0x0	Регистр количества ошибок LCRC
0x1218	PCIe_LocMgmt_i_ecc_correct_err_count_reg	RW	0x0	Регистр количества исправимых ошибок ECC
0x1224	PCIe_LocMgmt_i_pme_service_timeout_delay_reg	RW	0x000186A0	Регистр времени тайм-аута сообщений PM_PME
0x1228	PCIe_LocMgmt_i_root_port_requestor_id_reg	RW	0x0	Регистр идентификатора хоста
0x122C	PCIe_LocMgmt_i_ep_bus_device_number_reg	RO	0x0	Регистр номеров шины и устройства
0x1234	PCIe_LocMgmt_i_debug_mux_control_2_reg	RW	0x0	Регистр управления отладкой 2
0x1240	PCIe_LocMgmt_i_pf_0_BAR_config_0_reg	RW	0x05058D8B	Регистр настройки BAR физической функции 0
0x1244	PCIe_LocMgmt_i_pf_0_BAR_config_1_reg	RW	0x00000505	Регистр настройки BAR физической функции 1
0x12C0	PCIe_LocMgmt_i_pf_config_reg	RW	0x00000001	Регистр конфигурации физической функции
0x1300	PCIe_LocMgmt_i_rc_BAR_config_reg	RW	0x00002914	Регистр настройки BAR хоста
0x1C80	PCIe_LocMgmt_i_ecc_correct_err_count_reg_axi	RW	0x0	Регистр количества исправимых ошибок ECC AXI памяти
0x1C88	PCIe_LocMgmt_low_power_debug_and_control_0	RW	0x0	Регистр управления и отладки режимов низкого потребления 0
0x1C8C	PCIe_LocMgmt_low_power_debug_and_control_1	RW	0x0	Регистр управления и отладки режимов низкого потребления 1

					Лист
					115
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Наименование регистра	Доступ АРВ	Значение после сброса	Описание регистра
0x1C94	PCIe_LocMgmt_tl_interanal_control	RW	0x0	Регистр управления уровнем транзакций
0x1DA0	PCIe_LocMgmt_i_ld_ctl1	RW	0x015F5E10	Регистр индикации отключения линка
0x1DA4	PCIe_LocMgmt_rx_elec_idle_filter_control	RW	0x04200000	Регистр управления фильтром пульсаций

Карта регистров управления AXI портом представлена в таблице 127.

Таблица 127 – Карта регистров управления AXI портом

Адрес	Наименование регистра / группы регистров	Доступ АРВ	Значение после сброса	Описание регистра
0x4000	PCIe_AXI_outregion_0_addr_translation_0 (Outbound Region 0)	RW	0x0	Регистр адреса трансляции 0
0x4004	PCIe_AXI_outregion_0_addr_translation_1 (Outbound Region 0)	RW	0x0	Регистр адреса трансляции 1
0x4008	PCIe_AXI_outregion_0_header_descriptor_0 (Outbound Region 0)	RW	0x0	Регистр параметров 0
0x400C	PCIe_AXI_outregion_0_header_descriptor_1 (Outbound Region 0)	RW	0x0	Регистр параметров 1
0x4010 - 0x4014	-	-	-	Резерв
0x4018	PCIe_AXI_outregion_0_region_base_addr (Outbound Region 0)	RW	0x0	Регистр базового адреса
0x4020	Outbound Region 1	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4040	Outbound Region 2	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4060	Outbound Region 3	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4080	Outbound Region 4	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x40A0	Outbound Region 5	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x40C0	Outbound Region 6	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x40E0	Outbound Region 7	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4100	Outbound Region 8	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4120	Outbound Region 9	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4140	Outbound Region 10	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4160	Outbound Region 11	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4180	Outbound Region 12	RW		Группа регистров, аналогичная по составу Outbound Region 0

					ЮФКВ.431268.020РЭ	Лист 116
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Наименование регистра / группы регистров	Доступ АРВ	Значение после сброса	Описание регистра
0x41A0	Outbound Region 13	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x41C0	Outbound Region 14	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x41E0	Outbound Region 15	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4200	Outbound Region 16	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4220	Outbound Region 17	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4240	Outbound Region 18	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4260	Outbound Region 19	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4280	Outbound Region 20	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x42A0	Outbound Region 21	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x42C0	Outbound Region 22	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x42E0	Outbound Region 23	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4300	Outbound Region 24	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4320	Outbound Region 25	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4340	Outbound Region 26	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4360	Outbound Region 27	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4380	Outbound Region 28	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x43A0	Outbound Region 29	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x43C0	Outbound Region 30	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x43E0	Outbound Region 31	RW		Группа регистров, аналогичная по составу Outbound Region 0
0x4800	PCIe_AXI_inregion_rc_bar_0_addr_translation	RW	0x0	
0x4808	PCIe_AXI_inregion_rc_bar_1_addr_translation	RW	0x0	
0x4810	PCIe_AXI_inregion_rc_bar_2_addr_translation	RW	0x0	
0x4824	PCIe_AXI_I0	RW	0x0	
0x4840	PCIe_AXI_inregion_ep_bar_0_addr_translation	RW	0x0	
0x4848	PCIe_AXI_inregion_ep_bar_1_addr_translation	RW	0x0	
0x4850	PCIe_AXI_inregion_ep_bar_2_addr_translation	RW	0x0	
0x4858	PCIe_AXI_inregion_ep_bar_3_addr_translation	RW	0x0	
0x4860	PCIe_AXI_inregion_ep_bar_4_addr_translation	RW	0x0	
0x4868	PCIe_AXI_inregion_ep_bar_5_addr_translation	RW	0x0	

										Лист
										117
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Rechell</i> 24.10.2019			34203-2					

Адрес	Наименование регистра / группы регистров	Доступ АРВ	Значение после сброса	Описание регистра
0x4870	PCIe_AXI_inregion_ep_bar_6_addr_translation	RW	0x0	

Карта регистров управления ПДП представлена в таблице 128.

Таблица 128 – Карта регистров управления ПДП

Адрес	Наименование регистра	Доступ АРВ	Значение после сброса	Описание регистра
0x6000	PCIe_DMA_channel_0_ctrl	RW	0x0	Регистр управления каналом 0
0x6004	PCIe_DMA_channel_0_sp_l	RW	0x0	Регистр указателя на дескриптор канала 0 (младшая часть)
0x6008	PCIe_DMA_channel_0_sp_u	RW	0x0	Регистр указателя на дескриптор канала 0 (старшая часть)
0x600C	PCIe_DMA_channel_0_attr_l	RW	0x0	Регистр атрибутов канала 0 (младшая часть)
0x6010	PCIe_DMA_channel_0_attr_u	RW	0x0	Регистр атрибутов канала 0 (старшая часть)
0x6014	PCIe_DMA_channel_1_ctrl	RW	0x0	Регистр управления каналом 1
0x6018	PCIe_DMA_channel_1_sp_l	RW	0x0	Регистр указателя на дескриптор канала 1 (младшая часть)
0x601C	PCIe_DMA_channel_1_sp_u	RW	0x0	Регистр указателя на дескриптор канала 1 (старшая часть)
0x6020	PCIe_DMA_channel_1_attr_l	RW	0x0	Регистр атрибутов канала 1 (младшая часть)
0x6024	PCIe_DMA_channel_1_attr_u	RW	0x0	Регистр атрибутов канала 1 (старшая часть)
0x60A0	PCIe_DMA_common_dma_int	RW	0x0	Регистр статуса прерываний
0x60A4	PCIe_DMA_common_dma_int_ena	RW	0x0000FFFF	Регистр разрешения прерываний
0x60A8	PCIe_DMA_common_dma_int_dis	RW	0x0000FFFF	Регистр запрещения прерываний
0x60AC	PCIe_DMA_common_dma_ib_ecc_uncorrectable_errors	RO	0x0	Регистр количества неисправимых ошибок входного буфера
0x60B0	PCIe_DMA_common_dma_ib_ecc_correctable_errors	RO	0x0	Регистр количества исправимых ошибок входного буфера
0x60B4	PCIe_DMA_common_dma_ob_ecc_uncorrectable_errors	RO	0x0	Регистр количества неисправимых ошибок выходного буфера

					Лист
					118
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Адрес	Наименование регистра	Доступ APB	Значение после сброса	Описание регистра
0x60B8	PCIe_DMA_common_dma_ob_ecc_correctable_errors	RO	0x0	Регистр количества исправимых ошибок выходного буфера
0x60F8	PCIe_DMA_common_dma_cap_ver	RO	0x00000001	Регистр версии и характеристик блока ПДП
0x60FC	PCIe_DMA_common_dma_config	RO	0x00004622	Регистр параметров блока ПДП

1.4.1.6.2.3.2 Описание полей стандартных конфигурационных регистров физической функции

В этой главе поле «Тип доступа» в таблицах описания регистров относится к конфигурационным обращениям по шине PCIe. Возможности программного доступа по шине APB приведены в поле «Описание».

1.4.1.6.2.3.2.1 PCIe_EP_i_vendor_id_device_id (0x0000)

Описание полей регистра PCIe_EP_i_vendor_id_device_id представлено в таблице 129.

Таблица 129 – Поля регистра PCIe_EP_i_vendor_id_device_id

Биты	Доступ	Значение после сброса	Описание
15:0	R	16'h17cd	Vendor ID: ID разработчика устройства, присвоенное ему PCI SIG. Значение настраивается программно в регистре PCIe_LocMgmt_i_vendor_id_reg
31:16	R	16'h100	Device ID: ID устройства, присвоенное ему разработчиком микросхемы. Доступен по шине APB на запись

1.4.1.6.2.3.2.2 PCIe_EP_i_command_status (0x0004)

Описание полей регистра PCIe_EP_i_command_status представлено в таблице 130.

Таблица 130 – Поля регистра PCIe_EP_i_command_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	IO-Space Enable: разрешение передачи сообщений типа IO через контроллер. Доступен по шине APB на запись
1	R/W	0x0	Mem-Space Enable: разрешение передачи сообщений типа Memory через контроллер. Доступен по шине APB на запись
2	R/W	0x0	Bus-Master Enable: разрешение приема сообщений типа IO и Memory от контроллера. Доступен по шине APB на запись
5:3	R	0x0	Reserved

					ЮФКВ.431268.020РЭ		Лист
							119
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
6	R/W	0x0	Parity Error Response Enable: 1 – установка бита Master Data Parity Error разрешена 0 – установка Master Data Parity Error запрещена Доступен по шине APB на запись
7	R	0x0	Reserved
8	R/W	0x0	SERR Enable: 1 – разрешает отправку сообщений о фатальных и нефатальных ошибках хост-контроллеру 0 – отправка запрещена Доступен по шине APB на запись
9	R	0x0	Reserved
10	R/W	0x0	INTx Message Disabled: 1 – INTx (Legacy) прерывания запрещены 0 – INTx (Legacy) прерывания разрешены Доступен по шине APB на запись
15:11	R	0x0	Reserved
18:16	R	0x0	Reserved
19	R	0x0	Interrupt Status: устанавливается, только если прерывания INTx (Legacy) разрешены. Устанавливается, если сообщение Assert_INTx было оправлено, а сообщение Deassert_INTx не было отправлено
20	R	0x1	Capabilities List: указывает на наличие расширенного списка регистров (PCI Extended Capabilities registers). Всегда равно 1
23:21	R	0x0	Reserved
24	R/WOCLR	0x0	Master Data Parity Error: устанавливается при получении завершения с ошибкой (poisoned completion) или отправлении записи с ошибкой (poisoned write request). Этот бит может быть сброшен записью 1 по шине APB
26:25	R	0x0	Reserved
27	R/WOCLR	0x0	Signaled Target Abort: устанавливается, если контроллер послал сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB
28	R/WOCLR	0x0	Received Target Abort: устанавливается, если контроллер принял сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB
29	R/WOCLR	0x0	Received Master Abort: устанавливается, если контроллер принял сообщение завершения со статусом Unsupported Request. Этот бит может быть сброшен записью 1 по шине APB
30	R/WOCLR	0x0	Signaled System Error: устанавливается при отправлении контроллером хост-контроллеру сообщения о фатальной или не фатальной ошибке. Этот бит может быть сброшен записью 1 по шине APB
31	R/WOCLR	0x0	Detected Parity Error: устанавливается при получении контроллером сообщения TLP с ошибкой. Этот бит может быть сброшен записью 1 по шине APB

1.4.1.6.2.3.2.3 PCIe_EP_i_revision_id_class_code (0x0008)

Описание полей регистра PCIe_EP_i_revision_id_class_code представлено в таблице 131.

Таблица 131 – Поля регистра PCIe_EP_i_revision_id_class_code

Биты	Тип доступа	Начальное значение	Описание
7:0	R	8'h0	Revision ID: указывает версию микросхемы, устанавливается разработчиком микросхемы. Доступен по шине APB на запись
15:8	R	8'h0	Programming Interface Byte: показывает набор регистров устройства. Доступен по шине APB на запись
23:16	R	8'h0	Sub-Class Code: содержит подкатегорию текущей функции. Доступен по шине APB на запись
31:24	R	8'h0	Class Code: содержит номер текущей функции. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист 120
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.2.4 *PCIe_EP_i_bist_header_latency_cache_line (0x000C)*

Описание полей регистра *PCIe_EP_i_bist_header_latency_cache_line* представлено в таблице 132.

Таблица 132 – Поля регистра *PCIe_EP_i_bist_header_latency_cache_line*

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	8'h0	Cache Line Size: см. PCI Specifications 3.0. Регистр доступен по PCIe и APB шине на чтение и запись, но его значение не используется
15:8	R	8'h0	Latency Timer: не используется. Всегда равно 0
22:16	R	7'h0	Header Type: формат заголовка. Всегда равно 0
23	R	1'h0	Device Type: всегда равно 0
31:24	R	8'h0	BIST Register: регистр управления BIST. Доступен по шине APB на запись

1.4.1.6.2.3.2.5 *PCIe_EP_i_base_addr_0 (0x0010)*

Base Address Register 0 – один из шести BAR, определенных согласно PCI Specifications 3.0. Эти регистры используются для определения диапазонов адресов для Мемору и IO запросов к End Point устройствам. В ходе начальной инициализации устройства, конфигурирующая программа определяет размер диапазона адресов путем записи всех 1 в BAR, чтения из BAR и определения положения первого MSB, равного 1. Если считаны все нули, этот BAR выключен. BAR 0 может быть настроен как BAR 32-битных транзакций или объединен с BAR 1 для 64-битных транзакций.

Описание полей регистра *PCIe_EP_i_base_addr_0* представлено в таблице 133.

Таблица 133 – Поля регистра *PCIe_EP_i_base_addr_0*

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Memory Space Indicator: тип области, соответствующей BAR 0 0 – memory 1 – IO Значение настраивается программно в регистре 0
1	R	0x0	Reserved
2	R	0x0	Size: ширина адреса (только для мемору области) 0 – 32 бита 1 – 64 бита, в этом случае BAR 1 дополняет BAR 0 (только для BAR с четными номерами) Значение настраивается программно в регистре 0
3	R	0x0	Prefetchability: возможность предвыборки данных (только для мемору области). Значение настраивается программно в регистре 0
7:4	R	0x0	Reserved
17:8	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра 0. Доступен по шине APB на запись
31:18	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра 0. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							121
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.2.6 *PCIe_EP_i_base_addr_1 (0x0014)*

Это один из шести BAR, определенных согласно PCI Specifications 3.0. BAR 1 может быть настроен как BAR 32-битных транзакций или объединен с BAR 0 для 64-битных транзакций. Во втором случае хранит 32 старших бита базового адреса.

Описание полей регистра PCIe_EP_i_base_addr_1 представлено в таблице 134.

Таблица 134 – Поля регистра PCIe_EP_i_base_addr_1

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Memory Space Indicator: тип области, соответствующей BAR 1 0 – memory 1 – IO Значение настраивается программно в регистре 0
1	R	0x0	Reserved
2	R	0x0	Size: только 32 битный адрес (для всех BAR с нечетными номерами) Значение настраивается программно в регистре 0
3	R	0x0	Prefetchability: возможность предвыборки данных (только для memory области) Значение настраивается программно в регистре 0
7:4	R	0x0	Reserved
19:8	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра 0. Доступен по шине APB на запись
31:20	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра 0. Доступен по шине APB на запись

1.4.1.6.2.3.2.1 *PCIe_EP_i_base_addr_2 – PCIe_EP_i_base_addr_5 (0x0018 – 0x0024)*

После снятия сброса данные регистры не активны. Назначения полей такие же, как у остальных регистров BAR, с учётом чётности номера (т.е. поля PCIe_EP_i_base_addr_2 аналогичны полям PCIe_EP_i_base_addr_0, а поля PCIe_EP_i_base_addr_3 аналогичны полям PCIe_EP_i_base_addr_1).

1.4.1.6.2.3.2.2 *PCIe_EP_i_subsystem_vendor_id_subsystem_i (0x002C)*

Описание полей регистра PCIe_EP_i_subsystem_vendor_id_subsystem_i представлено в таблице 135.

Таблица 135 – Поля регистра PCIe_EP_i_subsystem_vendor_id_subsystem_i

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'h17cd	Subsystem Vendor ID: ID разработчика подсистемы, присвоенное ему PCI SIG. Значение настраивается программно в регистре PCIe_LocMgmt_i_vendor_id_reg
31:16	R	16'h0	Subsystem ID: ID подсистемы, присвоенное ему разработчиком микросхемы. Доступен по шине APB на запись

1.4.1.6.2.3.2.3 *PCIe_EP_i_capabilities_pointer (0x0034)*

Описание полей регистра PCIe_EP_i_capabilities_pointer представлено в таблице 136.

					Лист	
					122	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 136 – Поля регистра PCIe_EP_i_capabilities_pointer

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x80	Capabilities Pointer: содержит указатель на первую структуру характеристик (PCI Capability Structure). По умолчанию это структура управления питанием (Power Management Capability Structure). Доступен по шине APB на запись
31:8	R	0x0	Reserved

1.4.1.6.2.3.2.4 PCIe_EP_i_intrpt_line_intrpt_pin (0x003C)

Этот регистр используется, только если контроллер поддерживает Legacy прерывания.
Описание полей регистра PCIe_EP_i_intrpt_line_intrpt_pin представлено в таблице 137.

Таблица 137 – Поля регистра PCIe_EP_i_intrpt_line_intrpt_pin

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	8'hff	Interrupt Line Register: показывает, какой вход контроллера прерываний хост-контроллера (ответного устройства) будет использоваться этой функцией. То есть какой номер будет посылаться с сообщениями Assert_INTx или Deassert_INTx по шине PCIe. (00 = IRQ0, ... , 0F = IRQ15, FF = отключено). Доступен по шине APB на запись
10:8	R	0x1	Interrupt Pin Register: показывает, каким будет передаваться Legacy прерывание, полученное данной функцией 0x1 – INTA 0x2 – INTB 0x3 – INTC 0x4 – INTD Доступен по шине APB на запись. В данной микросхеме Legacy прерывания поступают в контроллер PCIe только по сигналу INTA. Поэтому изменение этого параметра отключит Legacy прерывания
31:11	R	0x0	Reserved

1.4.1.6.2.3.2.5 PCIe_EP_i_pwr_mgmt_cap (0x0080)

Описание полей регистра PCIe_EP_i_pwr_mgmt_cap представлено в таблице 138.

Таблица 138 – Поля регистра PCIe_EP_i_pwr_mgmt_cap

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x01	Capability ID: показывает, что это структура управления питанием. Доступен по шине APB на запись
15:8	R	8'h90	Capabilities Pointer: содержит указатель на следующую структуру характеристик (PCI Capability Structure). Доступен по шине APB на запись
18:16	R	0x3	Version ID: показывает версию системы управления питанием, поддерживаемую текущей функцией. Доступен по шине APB на запись
19	R	0x0	PME Clock: всегда равен 0
20	R	0x0	Reserved
21	R	0x0	Device Specific Initialization Bit: всегда равен 0
24:22	R	0x0	Max Current Required from Aux Power Supply: всегда равен 0
25	R	0x1	D1 Support: показывает возможность поддержки PCI функцией состояния D1. Доступен по шине APB на запись
26	R	0x0	D2 Support: показывает возможность поддержки PCI функцией состояния D2, всегда равен 0

					ЮФКВ.431268.020РЭ		Лист
							123
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
27	R	0x01	PME Support for D0 State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D0. Доступен по шине APB на запись
28	R	0x1	PME Support for D1 State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D1. Доступен по шине APB на запись
29	R	0x0	PME Support for D2 State: всегда равен 0 (D2 состояние не поддерживается)
30	R	0x01	PME Support for D3(hot) State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D3(hot). Доступен по шине APB на запись
31	R	0x0	PME Support for D3(cold) State: всегда равен 0

1.4.1.6.2.3.2.6 PCIe_EP_i_pwr_mgmt_ctrl_stat_rep (0x0084)

Описание полей регистра PCIe_EP_i_pwr_mgmt_ctrl_stat_rep представлено в таблице 139.

Таблица 139 – Поля регистра PCIe_EP_i_pwr_mgmt_ctrl_stat_rep

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Power State: используется для отслеживания текущего состояния активности функции и для переходов в новое состояние 00 – D0 01 – D1 10 – reserved 11 – D3(hot) Доступен по шине APB на запись
2	R	0x0	Reserved
3	R	0x01	No Soft Reset: сохранение настроек PCI функции при переводе ее в D3(hot) состояние. Доступен по шине APB на запись
7:4	R	0x0	Reserved
8	R/W	0x0	PME Enable: разрешение сообщений о событиях управления питанием (PME messages). Доступен по шине APB на запись
14:9	R	0x0	Reserved
15	R/WOCLR	0x0	PME Status: При установленном бите PME Enable запись 1 по шине APB вызовет передачу PME сообщения (только для режима End Point). RC в процессе обработки сообщения должен сбросить этот бит посредством конфигурационной записи 1 (Config Write). Доступен по шине APB на запись
23:16	R	0x0	Reserved
31:24	R	0x0	Data Register: всегда равен 0

1.4.1.6.2.3.2.7 PCIe_EP_i_msi_ctrl_reg (0x0090)

Описание полей регистра PCIe_EP_i_msi_ctrl_reg представлено в таблице 140.

Таблица 140 – Поля регистра PCIe_EP_i_msi_ctrl_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x05	Capability ID: показывает, что это структура управления MSI прерываниями. Всегда равно 0x05

					ЮФКВ.431268.020РЭ	Лист 124
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Биты	Тип доступа	Начальное значение	Описание
15:8	R	8'hb0	Capabilities Pointer: содержит указатель на следующую структуру характеристик. Доступен по шине APB на запись
16	R/W	0x0	MSI Enable: разрешение MSI прерываний. Доступен по шине APB на запись
19:17	R	0x0	Multiple Message Capable: количество различных MSI сообщений, которые может генерировать контроллер для этой функции (т.е. количество разных векторов прерываний) 000 = 1 001 = 2 010 = 4 011 = 8 100 = 16 101 = 32 Контроллер поддерживает всего до 32 различных прерываний, но установка этого поля должна быть основана на количестве прерываний, непосредственно используемых клиентом. Доступен по шине APB на запись
22:20	R/W	0x0	Multiple Message Enable: количество различных MSI сообщений, которые генерирует контроллер для этой функции (т.е. количество разных векторов прерываний) 000 = 1 001 = 2 010 = 4 011 = 8 100 = 16 101 = 32 Установка этого поля должна быть основана на количестве прерываний, непосредственно используемых функцией. Доступен по шине APB на запись
23	R	0x1	64-Bit Address Capable: установка в 1 показывает, что устройство поддерживает 64-разрядную адресацию для MSI сообщений. Доступен по шине APB на запись
24	R	0x1	MSI masking capable: Доступен по шине APB на запись
31:25	R	0x0	Reserved

1.4.1.6.2.3.2.8 PCIe_EP_i_msi_msg_low_addr (0x0094)

Описание полей регистра PCIe_EP_i_msi_msg_low_addr представлено в таблице 141.

Таблица 141 – Поля регистра PCIe_EP_i_msi_msg_low_addr

Биты	Тип доступа	Начальное значение	Описание
1:0	R	0x0	Reserved
31:2	R/W	0x0	Message Address Low: младшая часть адреса MSI сообщений. Доступен по шине APB на запись

1.4.1.6.2.3.2.9 PCIe_EP_i_msi_msg_hi_addr (0x0098)

Описание полей регистра PCIe_EP_i_msi_msg_hi_addr представлено в таблице 142.

Таблица 142 – Поля регистра PCIe_EP_i_msi_msg_hi_addr

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Message Address High: старшая часть адреса MSI сообщений. Если равна нулю, то адрес 32-разрядный. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							125
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.6.2.3.2.10 *PCIe_EP_i_msi_msg_data (0x009C)*

Этот регистр содержит данные, используемые в MSI сообщениях, генерируемых для соответствующей функции. Если количество различных векторов прерываний равно 1, то в качестве данных будет использоваться непосредственно указанное здесь значение. Если количество различных векторов больше 1, то LSB указанного значения заменяются на кодированный номер вектора.

Описание полей регистра *PCIe_EP_i_msi_msg_data* представлено в таблице 143.

Таблица 143 – Поля регистра *PCIe_EP_i_msi_msg_data*

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0	Message Data: данные MSI сообщения. Доступен по шине APB на запись
31:16	R	0x0	Reserved

1.4.1.6.2.3.2.11 *PCIe_EP_i_msi_mask (0x00A0)*

Описание полей регистра *PCIe_EP_i_msi_mask* представлено в таблице 144.

Таблица 144 – Поля регистра *PCIe_EP_i_msi_mask*

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	MSI Mask: маска битов пришедшего вектора MSI прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний. Доступен по шине APB на запись
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний

1.4.1.6.2.3.2.12 *MSI Pending Bits Register (0x00A4)*

Описание полей регистра *PCIe_EP_i_msi_pending_bits* представлено в таблице 145.

Таблица 145 – Поля регистра *PCIe_EP_i_msi_pending_bits*

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	MSI Pending Bits: должен быть программно установлен при попытке отправки замаскированного прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable. Доступен по шине APB на запись
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний

1.4.1.6.2.3.2.13 *MSI-X Control Register (0x00B0)*

Описание полей регистра *PCIe_EP_i_msix_ctrl* представлено в таблице 146.

Таблица 146 – Поля регистра *PCIe_EP_i_msix_ctrl*

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x11	Capability ID: показывает, что это структура характеристик MSI-X. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							126
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
15:8	R	8'hc0	Capabilities Pointer: содержит указатель на следующую структуру характеристик. Доступен по шине APB на запись
26:16	R	11'h3f	MSI-X Table Size: задает размер MSI-X таблицы, т.е. количество доступных векторов прерываний. Значение, содержащееся здесь, равно размер таблицы минус один. Доступен по шине APB на запись
29:27	R	0x0	Reserved
30	R/W	0x0	Function Mask: общая маска MSI-X прерываний. Доступен по шине APB на запись
31	R/W	0x0	MSI-X Enable: разрешение использования MSI-X прерываний. Доступен по шине APB на запись

1.4.1.6.2.3.2.14 PCIe_EP_i_msix_tbl_offset (0x00B4)

Описание полей регистра PCIe_EP_i_msix_tbl_offset представлено в таблице 147.

Таблица 147 – Поля регистра PCIe_EP_i_msix_tbl_offset

Биты	Тип доступа	Начальное значение	Описание
2:0	R	3'd0	BAR Indicator Register: содержит номер BAR, соответствующего пространству памяти, где расположена таблица векторов MSI-X. 000 – BAR 0 001 – BAR 1 010 – BAR 2 011 – BAR 3 100 – BAR 4 101 – BAR 5 В текущей микросхеме эта таблица располагается в BAR 0 и изменение этого параметра не предполагается. Доступен по шине APB на запись
31:3	R	29'h203100	Table Offset: смещение начального адреса таблицы векторов MSI-X относительно начального адреса соответствующего BAR. Три младших бита отсутствуют, поскольку таблица выровнена по 32-битным словам. В текущей микросхеме этот параметр должен быть равен адресу регистра v0_Message_Address контроллера внешних прерываний, сдвинутому на три бита вправо. При включении второго уровня трансляции входящих транзакций это значение должно быть изменено соответствующим образом. Доступен по шине APB на запись

1.4.1.6.2.3.2.15 PCIe_EP_i_msix_pending_intrpt (0x00B8)

Описание полей регистра PCIe_EP_i_msix_pending_intrpt представлено в Таблица 148.

					ЮФКВ.431268.020РЭ		Лист
							127
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 148 – Поля регистра PCIe_EP_i_msix_pending_intrpt

Биты	Тип доступа	Начальное значение	Описание
2:0	R	3'd0	BAR Indicator Register: содержит номер BAR, соответствующего пространству памяти, где расположена таблица ожидающих прерываний (PBA). 000 – BAR 0 001 – BAR 1 010 – BAR 2 011 – BAR 3 100 – BAR 4 101 – BAR 5 В текущей микросхеме эта таблица располагается в BAR 0 и изменение этого параметра не предполагается. Доступен по шине APB на запись
31:3	R	29'h203180	PBA Offset: смещение начального адреса таблицы ожидающих прерываний (PBA) относительно начального адреса соответствующего BAR. Три младших бита отсутствуют, поскольку таблица выровнена по 32-битным словам. В текущей микросхеме этот параметр должен быть равен адресу регистра PBA_Entries_1 контроллера внешних прерываний, сдвинутому на три бита вправо. При включении второго уровня трансляции входящих транзакций это значение должно быть изменено соответствующим образом. Доступен по шине APB на запись

1.4.1.6.2.3.2.16 PCIe_EP_i_pcie_cap_list (0x00C0)

Описание полей регистра PCIe_EP_i_pcie_cap_list представлено в таблице 149.

Таблица 149 – Поля регистра PCIe_EP_i_pcie_cap_list

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x010	Capability ID: показывает, что это структура характеристик Express расширения. Всегда равно 0x010
15:8	R	0x0	Next Capability Pointer: содержит указатель на следующую структуру характеристик. Равенство нулю показывает, что эта структура последняя. Всегда равно 0
19:16	R	0x2	Capability Version: показывает версию этой структуры характеристик. В данном случае она совместима с PCI Express Base Specification Revision 3.0. Доступен по шине APB на запись
23:20	R	0x0	Device Type: показывает тип устройства 0x0 – конечное устройство – End Point (EP) 0x4 – хост-контроллер – Root Port (RP) Всегда равно 0 в текущем режиме
24	R	0x0	Slot Status: установлен в 1, если линк подключен к слоту. Всегда равно 0
29:25	R	0x0	Interrupt Message Number: показывает вектор MSI или MSI-X прерывания в случае, если оно вызывается в соответствии с битами статуса в Slot Status Register, Root Status Register или текущей структуре характеристик. Значение устанавливается в зависимости от выбранного режима прерываний – MSI или MSI-X. Всегда равно 0

					ЮФКВ.431268.020РЭ		Лист
							128
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
30	R	0x0	TCS Routing Supported: 0 – устройство не поддерживает маршрутизацию доверенных конфигурационных запросов (Trusted Configuration Requests). 1 – опция поддерживается. Не используется в режиме конечного устройства. Всегда равно 0
31	R	0x0	Reserved

1.4.1.6.2.3.2.17 PCIe_EP_i_pcie_dev_cap (0x00C4)

Описание полей регистра PCIe_EP_i_pcie_dev_cap представлено в таблице 150.

Таблица 150 – Поля регистра PCIe_EP_i_pcie_dev_cap

Биты	Тип доступа	Начальное значение	Описание
2:0	R	3'b011	Max Payload Size: показывает максимальное количество данных в сообщении. Доступен по шине APB на запись
4:3	R	0x0	Phantom Functions Supported: расширение поля тэга за счет неиспользуемых битов. Не используется в этой микросхеме. Всегда равно 0
5	R	0x0	Extended Tag Field Supported: расширенное поле tag не поддерживается. Всегда равно 0
8:6	R	0x4	Acceptable LOS Latency: допустимая контроллером задержка перехода из L0s в L0 состояния. Доступен по шине APB на запись
11:9	R	0x0	Acceptable L1 Latency: допустимая контроллером задержка перехода из L1 в L0 состояния. Доступен по шине APB на запись
14:12	R	0x0	Reserved
15	R	0x01	Role-Based Error Reporting: разрешение ролевых (role-based) отчетов об ошибках. Доступен по шине APB на запись
17:16	R	0x0	Reserved
25:18	R	0x0	Captured Slot Power Limit Value: максимальное значение потребления, поддерживаемое слотом. Доступен по шине APB на запись
27:26	R	0x0	Captured Power Limit Scale: масштаб значения поля Captured Slot Power Limit Value текущего регистра. Доступен по шине APB на запись
28	R	0x0	Function Level Reset Capability: всегда равно 0
31:29	R	0x0	Reserved

1.4.1.6.2.3.2.18 PCIe_EP_i_pcie_dev_ctrl_status (0x00C8)

Описание полей регистра PCIe_EP_i_pcie_dev_ctrl_status представлено в таблице 151.

Таблица 151 – Поля регистра PCIe_EP_i_pcie_dev_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	Enable Correctable Error Reporting: разрешение отправки ERR_COR сообщений при обнаружении исправимой ошибки. Доступен по шине APB на запись
1	R/W	0x0	Enable Non-Fatal Error Reporting: разрешение отправки ERR_NONFATAL сообщений при обнаружении нефатальной ошибки. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							129
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
2	R/W	0x0	Enable Fatal Error Reporting: разрешение отправки ERR_FATAL сообщений при обнаружении фатальной ошибки. Доступен по шине APB на запись
3	R/W	0x0	Enable Unsupported Request Reporting: разрешение отправки сообщений об обнаружении неподдерживаемого запроса. Доступен по шине APB на запись
4	R/W	0x01	Enable Relaxed Ordering: разрешает установку бита Relaxed Ordering в передаваемых транзакциях. Доступен по шине APB на запись
7:5	R/W	0x0	Max Payload Size: показывает максимальное количество данных в сообщении. Устройство должно быть в состоянии принимать пакеты с таким количеством данных и не должно отправлять пакеты большего размера. Устанавливается программно на основании данных из Device Capabilities Register этого и ответного устройств. Доступен по шине APB на запись
8	R	0x0	Extended Tag Field Enable: расширение поля tag с 5 до 8 бит. Всегда равно 0
9	R	0x0	Enable Phantom Functions: всегда равно 0
10	R	0x0	Enable Aux Power: всегда равно 0
11	R/W	0x1	Enable No Snooper: установка в 1 разрешает установку бита No Snooper в передаваемых транзакциях, не требующих когерентности кэша. Доступен по шине APB на запись
14:12	R/W	0x02	Max Read Request Size: показывает максимальное количество данных в запросах чтения, сгенерированных этим устройством. Доступен по шине APB на запись
15	R	0x0	Function-Level Reset: всегда равно 0
16	R/WOCLR	0x0	Correctable Error Detected: устанавливается контроллером, когда он обнаруживает исправимую ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB
17	R/WOCLR	0x0	Non-Fatal Error Detected: устанавливается контроллером, когда он обнаруживает нефатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB
18	R/WOCLR	0x0	Fatal Error Detected: устанавливается контроллером, когда он обнаруживает фатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB
19	R/WOCLR	0x0	Unsupported Request Detected: устанавливается контроллером, когда он обнаруживает неподдерживаемый запрос. Не зависит от разрешения соответствующего сообщения. Сброс при записи 1 по шине APB
20	R	0x0	Aux Power Detected: не используется. Всегда равно 0
21	R	0x0	Transaction Pending: устанавливается, если есть ожидающие запросы, требующие подтверждения (Non-Posted). Только для чтения по шине APB
31:22	R	0x0	Reserved

1.4.1.6.2.3.2.19 PCIe_EP_i_link_cap (0x00CC)

Описание полей регистра PCIe_EP_i_link_cap представлено в Таблица 152.

					ЮФКВ.431268.020РЭ		Лист 130
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 152 – Поля регистра PCIe_EP_i_link_cap

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x2	Maximum Link Speed: показывает максимальную скорость линка. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB
9:4	R	0x4	Maximum Link Width: показывает максимальное количество лейнов. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB
11:10	R	0x3	Active State Power Management: показывает уровень поддерживаемого ASPM. Доступен по шине APB на запись
14:12	R	0x2	L0S Exit Latency: показывает время, требуемое устройству для перехода из состояния L0S в L0. Значение зависит от реализации Phy. Доступен по шине APB на запись
17:15	R	0x3	L1 Exit Latency: показывает время, требуемое устройству для выхода из состояния L1. Значение зависит от реализации Phy. Доступен по шине APB на запись
18	R	0x0	Clock Power Management: показывает, что устройство поддерживает отключение опорного тактового сигнала. Доступен по шине APB на запись
19	R	0x0	Surprise Down Error Reporting Capability: показывает способность устройства сообщать о ошибке внезапного выключения (Surprize Down error). Эта функция не поддерживается. Всегда равно 0
20	R	0x0	Data Link Layer Active Reporting Capability: показывает способность устройства сообщать о достижении автоматом управления пакетным уровнем состояния DL_Active. Эта функция не поддерживается. Всегда равно 0
21	R	0x0	Link Bandwidth Notification Capability: поддержка уведомлений о ширине линка и механизме прерываний. Не используется в режиме Endpoint. Всегда равно 0
22	R	0x1	ASPM Optionality Compliance: показывает поддержку устройством дополнительных ASPM возможностей. Доступен по шине APB на запись
23	R	0x0	Reserved
31:24	R	0x0	Port Number: показывает номер порта, присвоенный PCIe линку, подключенному к устройству. Доступен по шине APB на запись

1.4.1.6.2.3.2.20 PCIe_EP_i_link_ctrl_status (0x00D0)

Описание полей регистра PCIe_EP_i_link_ctrl_status представлено в таблице 153.

Таблица 153 – Поля регистра PCIe_EP_i_link_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Active State Power Management Control: управление ASPM возможностями: 00 – ASPM запрещен 01 – L0s состояние разрешено, L1 запрещено 10 – L0s состояние запрещено, L1 разрешено 11 – L0s и L1 состояния разрешены Эти биты могут быть установлены только при установленных соответствующих битах Active State Power Management регистра PCIe_EP_i_link_cap. Доступен по шине APB на запись
2	R	0x0	Reserved

					ЮФКВ.431268.020РЭ		Лист 131
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
3	R/W	0x0	Read Completion Boundary: показывает границы завершения чтения для хост-контроллера, подключенного к этому конечному устройству. 0 – 64 байта 1 – 128 байт Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
4	R	0x0	Link Disable: не используется в Endpoint режиме
5	R	0x0	Retrain Link: не используется в Endpoint режиме
6	R/W	0x0	Common Clock Configuration: показывает отношения опорного тактового сигнала этого EP и ответного устройства 0 – асинхронные 1 – синхронные Доступен по шине APB на запись
7	R/W	0x0	Extended Synch: установка этого бита увеличивает частоту передачи управляющих пакетов (Ordered Sets) при переходе из L0s в L0 состояние. Доступен по шине APB на запись
8	R	0x0	Enable Clock Power Management: Когда этот бит установлен в 1, устройство может использовать CLKREQ# пин PCIe слота для управления тактовым сигналом. Бит доступен на запись только при установленном Clock Power Management бите в Link Capability Register. Доступен по шине APB на запись
9	R	0x0	Hardware Autonomous Width Disable: установленный, этот бит показывает программе, что она должна запрашивать изменение ширины линка только в случае некорректной работы текущего набора лейнов. Доступен по шине APB на запись
10	R	0x0	Link Bandwidth Management Interrupt Enable: не используется в Endpoint режиме
11	R	0x0	Link Autonomous Bandwidth Interrupt Enable: не используется в Endpoint режиме
15:12	R	0x0	Reserved
19:16	R	0x2	Negotiated Link Speed: согласованная скорость передачи данных 0001 – 2,5 Гбайт/с на лейн 0010 – 5 Гбайт /с на лейн Доступен по шине APB только на чтение
25:20	R	0x4	Negotiated Link Width: согласованное количество лейнов. Устанавливается по окончании обучения линка. Доступен по шине APB только на чтение
26	R	0x0	Reserved
27	R	0x0	Link Training Status: устанавливается аппаратно, если LTSSM в режиме Configuration или Recovery или в начале переобучения линка. Всегда равно 0 в режиме Endpoint. Доступен по шине APB только на чтение
28	R	0x0	Slot Clock Configuration: показывает, что используется тактовый сигнал от коннектора. Если устройство использует независимый тактовый сигнал несмотря на наличие такового на коннекторе, этот бит должен быть сброшен в 0. Доступен по шине APB на запись
29	R	0x0	Data Link Layer Active: показывает статус пакетного уровня. Всегда равно 0
30	R/WOCLR	0x0	Link Bandwidth Management Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Всегда равно 0 в режиме Endpoint. Сброс при записи 1 по шине APB

					ЮФКВ.431268.020PЭ		Лист 132
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
31	R/WOCLR	0x0	Link Autonomous Bandwidth Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, не связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Всегда равно 0 в режиме Endpoint. Сброс при записи 1 по шине APB

1.4.1.6.2.3.2.21 PCIe_EP_i_pcie_dev_cap_2 (0x00E4)

Описание полей регистра PCIe_EP_i_pcie_dev_cap_2 представлено в таблице 154.

Таблица 154 – Поля регистра PCIe_EP_i_pcie_dev_cap_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x02	Completion Timeout Ranges: показывает поддерживаемый устройством таймаут подтверждения сообщения. По умолчанию 10-250 мс. Доступен по шине APB на запись
4	R	0x01	Completion Timeout Disable Supported: показывает возможность функции выключить таймаут подтверждения сообщения. Доступен по шине APB на запись
5	R	0x0	ARI forwarding support: всегда равно 0
6	R	0x0	Atomic OP routing supported: маршрутизация атомарных операций (Atomic OP) поддерживается. Не используется в режиме Endpoint
7	R	0x0	32-Bit Atomic Op Completer Supported: всегда равно 0
8	R	0x0	64-Bit Atomic Op Completer Supported: всегда равно 0
9	R	0x0	128-Bit CAS Atomic Op Completer Supported: всегда равно 0
10	R	0x0	Reserved
11	R	0x0	LTR Mechanism Supported: всегда равно 0
13:12	R	0x0	TPH Completer Supported: всегда равно 0
17:14	R	0x0	Reserved
19:18	R	0x0	OBFF Supported: показывает, что функция поддерживает OBFF. Всегда равно 0
20	R	0x1	Extended Format Field Supported: показывает, что функция поддерживает 3-битный формат поля Fmt заголовка TLP. Всегда равно 1
21	R	0x0	End-End TLP Prefix Supported: показывает, что функция поддерживает End-End TLP Prefix. Всегда равно 0
23:22	R	0x0	Max End-End TLP Prefixes: максимальное количество End-End TLP Prefixes 01 – 1 End-End TLP Prefix 10 – 2 End-End TLP Prefix Всегда равно 0
31:24	R	0x0	Reserved

1.4.1.6.2.3.2.22 PCIe_EP_i_pcie_dev_ctrl_status_2 (0x00E8)

Описание полей регистра PCIe_EP_i_pcie_dev_ctrl_status_2 представлено в таблице 155.

					ЮФКВ.431268.020РЭ	Лист 133
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 155 – Поля регистра PCIe_EP_i_pcie_dev_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	0x0	Completion Timeout Value: поддерживаемый устройством таймаут подтверждения сообщения. 0101 – диапазон 1 0110 – диапазон 2 Соответствующие значения устанавливаются в регистрах Completion Timeout Interval Registers 0 и 1. Доступен по шине APB на запись
4	R/W	0x0	Completion Timeout Disable: установка этого бита выключает таймаут подтверждения сообщений. Доступен по шине APB на запись
5	R	0x0	ARI forwarding enable: всегда равно 0
6	R	0x0	Atomic Op Requester Enable: разрешение генерации атомарных операций. Всегда равно 0
7	R	0x0	Reserved
8	R	0x0	IDO Request Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых запросах. Всегда равно 0
9	R	0x0	IDO Completion Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых подтверждениях. Всегда равно 0
10	R	0x0	LTR Mechanism Enable: всегда равно 0
12:11	R	0x0	Reserved
14:13	R	0x0	OBFF Enable: разрешение OBFF (Optimized Buffer Flush/Fill). 00 – запрещено 01 – версия А 10 – версия В Всегда равно 0
31:15	R	0x0	Reserved

1.4.1.6.2.3.2.23 PCIe_EP_i_link_cap_2_reg (0x00EC)

Описание полей регистра PCIe_EP_i_link_cap_2_reg представлено в таблице 156.

Таблица 156 – Поля регистра PCIe_EP_i_link_cap_2_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	1'h0	Reserved
2:1	R	0x3	Supported Link Speeds Vector: показывает возможные скорости работы линка 0001 – 2,5 Гбит/с (Gen 1) 0011 – 2,5 Гбит/с и 5 Гбит/с (Gen 2) Соответствует значению, установленному в системном контроллере. Доступен по шине APB только на чтение
4:3	R	2'h0	Reserved
8:5	R	0x0	Reserved
10:9	R	0x0	Lower SKP OS Generation Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается программное управление частотой генерации SKP OS. Доступен по шине APB только на чтение
15:11	R	0x0	Reserved
17:16	R	0x0	Lower SKP OS Reception Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается прием SKP OS на частоте, определяемой для SRNS при работе в режиме SRIS. Доступен по шине APB только на чтение

					ЮФКВ.431268.020РЭ		Лист 134
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
19:18	R	2'h0	Reserved
22:20	R	0x0	Reserved
23	R	0x0	Reserved
31:24	R	0x0	Reserved

1.4.1.6.2.3.2.24 PCIe_EP_i_link_ctrl_status_2 (0x00F0)

Описание полей регистра PCIe_EP_i_link_ctrl_status_2 представлено в таблице 157.

Таблица 157 – Поля регистра PCIe_EP_i_link_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	4'd2	Target Link Speed: для Endpoint показывает максимальную скорость передачи при переконфигурации. Также показывает скорость передачи при переходе режим Compliance, вызванном установкой бита Enter Compliance. Значение после сброса зависит от настройки в системном контроллере. 0001 – 2,5 Гбит/с 0010 – 5 Гбит/с Доступен по шине APB на запись
4	R/W	0x0	Enter Compliance: в Endpoint режиме установка в 1 включает Compliance режим. При этом также должен быть инициирован горячий сброс (Hot Reset). Доступен по шине APB на запись
5	R/W	0x0	Hardware Autonomous Speed Disable: установка этого бита запрещает аппаратное повышение скорости передачи. Доступен по шине APB на запись
6	R	0x0	Selectable Deemphasis: не используется в режиме Endpoint
9:7	R/W	0x0	Transmit Margin: используется только при отладке и в Compliance режиме. Управляет уровнем напряжения на выходе передатчика. 000 – нормальный уровень 001 – 800-1200 мВ для полного размаха и 400-700 мВ для половины размаха. 010-111 – описание значений в спецификации PCI Express Base Specification 2.0. Значение сбрасывается в 0 при переходе автомата обучения линка (LTSSM) в состояние Polling.Configuration. Доступен по шине APB на запись
10	R/W	0x0	Enter Modified Compliance: используется только при отладке и в Compliance режиме. При установке этого бита в режиме Compliance будут передаваться Modified Compliance Pattern. При этом также должен быть установлен бит Enter Compliance и хост должен инициировать горячий сброс (Hot Reset). Доступен по шине APB на запись
11	R/W	0x0	Compliance SOS: при установке этого бита между Compliance Patterns будут передаваться SKP контрольные последовательности. Доступен по шине APB на запись
15:12	R/W	0x0	Compliance De-Emphasis: устанавливает значение De-Emphasis в режиме Compliance 0 – -6 дБ 1 – -3,5 дБ остальные значения зарезервированы Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB на запись

					Лист	
					135	
		ЮФКВ.431268.020РЭ				
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Биты	Тип доступа	Начальное значение	Описание
16	R	0x1	Current De-Emphasis Level: показывает текущий уровень De-Emphasis передатчика. 0 – -6 дБ 1 – -3,5 дБ Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB только на чтение
21:17	R	0x0	Reserved
31:22	R	0x0	Reserved

1.4.1.6.2.3.2.25 PCIe_EP_i_AER_enhanced_cap_hdr (0x0100)

Это первый регистр структуры характеристик расширенного обработчика ошибок. Описание полей регистра PCIe_EP_i_AER_enhanced_cap_hdr представлено в таблице 158.

Таблица 158 – Поля регистра PCIe_EP_i_AER_enhanced_cap_hdr

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x01	PCI Express Extended Capability ID: показывает, что это структура характеристик расширенного обработчика ошибок (AER). Доступен по шине APB только на чтение
19:16	R	4'h2	Capability Version: показывает версию структуры характеристик. Доступен по шине APB на запись
31:20	R	12'h0	Next Capability Offset: содержит смещение адреса следующей структуры характеристик относительно текущей. Доступен по шине APB на запись

1.4.1.6.2.3.2.26 PCIe_EP_i_uncorr_err_status (0x0104)

Описание полей регистра PCIe_EP_i_uncorr_err_status представлено в таблице 159.

Таблица 159 – Поля регистра PCIe_EP_i_uncorr_err_status

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/WOCLR	0x0	Data Link Protocol Error Status: устанавливается, если идентификатор подтверждения (DLLP Ack/Nak) не равен идентификатору соответствующего сообщения (TLP). Сброс при записи 1 по шине APB
11:5	R	0x0	Reserved
12	R/WOCLR	0x0	Poisoned TLP Status: устанавливается при получении TLP с установленным битом ошибки (poisoned bit). Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
13	R/WOCLR	0x0	Flow Control Protocol Error Status: устанавливается при ошибке последовательности управления. Сброс при записи 1 по шине APB
14	R/WOCLR	0x0	Completion Timeout Status: устанавливается, если ответ на внешний запрос не был получен за необходимый период времени. Ошибка считается нефатальной. Сброс при записи 1 по шине APB
15	R/WOCLR	0x0	Completer Abort Status: устанавливается, если контроллер вернул сообщение Completer Abort в ответ на запрос, пришедший по линку. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB

					ЮФКВ.431268.020РЭ		Лист
							136
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
16	R/WOCLR	0x0	Unexpected Completion Status: устанавливается при получении неожиданного сообщения завершения (unexpected Completion). Сброс при записи 1 по шине APB
17	R/WOCLR	0x0	Receiver Overflow Status: устанавливается при получении пакета уровня транзакций (TLP) при заполненном приемном буфере. Сброс при записи 1 по шине APB
18	R/WOCLR	0x0	Malformed TLP Status: устанавливается при получении TLP с неправильной структурой. Ошибка считается фатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
19	R/WOCLR	0x0	ECRC Error Status: устанавливается при обнаружении ошибки ECRC в принятом TLP. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
20	R/WOCLR	0x0	Unsupported Request Error Status: устанавливается при получении неподдерживаемого контроллером сообщения. Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
21	R	0x0	Reserved
22	R/WOCLR	0x0	Uncorrectable Internal Error Status: устанавливается при обнаружении внутренних неисправимых ошибок контроллера (ошибок четности/ECC внутренних шин или памяти). Ошибка считается фатальной. Сброс при записи 1 по шине APB
31:23	R	0x0	Reserved

1.4.1.6.2.3.2.27 PCIe_EP_i_uncorr_err_mask (0x0108)

Биты масок в этом регистре управляют отчетами о неисправимых ошибках. Для каждого типа ошибки из регистра PCIe_EP_i_uncorr_err_status есть своя маска в регистре PCIe_EP_i_uncorr_err_mask.

При установленной маске в случае обнаружения ошибки:

- 1) По шине PCIe не будет послано соответствующее сообщение хост-контроллеру (RP);
- 2) Заголовок TLP, содержащего ошибку, не будет сохранен в Header Log Register;
- 3) First Error Pointer в структуре характеристик AER и Control Register не будут обновлены.

Описание полей регистра PCIe_EP_i_uncorr_err_mask представлено в таблице 160.

Таблица 160 – Поля регистра PCIe_EP_i_uncorr_err_mask

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x0	Data Link Protocol Error Mask: маска ошибок Data Link Protocol. Доступен по шине APB на запись
11:5	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Mask: маска ошибок Poisoned TLP. Доступен по шине APB на запись
13	R/W	0x0	Flow Control Protocol Error Mask: маска ошибок последовательности управления. Доступен по шине APB на запись.
14	R/W	0x0	Completion Timeout Mask: маска ошибок времени ожидания завершения транзакции. Доступен по шине APB на запись
15	R/W	0x0	Completer Abort Mask: маска ошибок прерывания завершения полученной транзакции. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							137
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
16	R/W	0x0	Unexpected Completion Mask: маска ошибок получения не ожидаемых завершений. Доступен по шине APB на запись
17	R/W	0x0	Receiver Overflow Mask: маска ошибок переполнения приемника. Доступен по шине APB на запись
18	R/W	0x0	Malformed TLP Mask: маска ошибок структурно неправильных TLP. Доступен по шине APB на запись
19	R/W	0x0	ECRC Error Mask: маска ошибок ECRC. Доступен по шине APB на запись
20	R/W	0x0	Unsupported Request Error Mask: маска ошибок неподдерживаемых запросов. Доступен по шине APB на запись
21	R	0x0	Reserved
22	R/W	0x1	Uncorrectable Internal Error Mask: маска внутренних ошибок контроллера. Доступен по шине APB на запись
31:23	R	0x0	Reserved

1.4.1.6.2.3.2.28 PCIe_EP_i_uncorr_err_severity (0x010C)

Описание полей регистра PCIe_EP_i_uncorr_err_severity представлено в таблице 161.

Таблица 161 – Поля регистра PCIe_EP_i_uncorr_err_severity

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x01	Data Link Protocol Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
5	R	0x1	Surprise Down Error Severity: всегда равно 1
11:6	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
13	R/W	0x01	Flow Control Protocol Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
14	R/W	0x0	Completion Timeout Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
15	R/W	0x0	Completer Abort Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
16	R/W	0x0	Unexpected Completion Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
17	R/W	0x01	Receiver Overflow Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист 138
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
18	R/W	0x01	Malformed TLP Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись.
19	R/W	0x0	ECRC Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
20	R/W	0x0	Unsupported Requeset Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
21	R	0x0	Reserved
22	R/W	0x01	Uncorrectable Internal Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
31:23	R	0x0	Reserved

1.4.1.6.2.3.2.29 PCIe_EP_i_corr_err_status (0x0110)

Описание полей регистра PCIe_EP_i_corr_err_status представлено в таблице 162.

Таблица 162 – Поля регистра PCIe_EP_i_corr_err_status

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Status: устанавливается при обнаружении на физическом уровне одной из следующих ошибок: - 8B10B кодировки; - четности; - переполнении эластичного буфера. Сброс при записи 1 по шине APB
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Status: устанавливается при обнаружении пакетным уровнем в TLP одной из следующих ошибок: - LCRC; - окончание пакета символом EDB и инверсия расчетного LCRC не равна полученному LCRC. Сброс при записи 1 по шине APB
7	R/WOCLR	0x0	Bad DLLP Status: устанавливается при обнаружении пакетным уровнем в DLLP ошибки LCRC при отсутствии ошибок физического уровня. Сброс при записи 1 по шине APB
8	R/WOCLR	0x0	Replay Number Rollover Status: устанавливается после трех повторных посылок одного пакета. Сброс при записи 1 по шине APB
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Status: устанавливается при переполнении таймера пакетного уровня, что вызывает повторную посылку пакета TLP. Сброс при записи 1 по шине APB
13	R/WOCLR	0x0	Advisory Non-Fatal Error Status: устанавливается при появлении неисправимой ошибки (Uncorrectable error). Подробное описание в п. 6.2.3.2.4 спецификации PCI Express 2.0. Сброс при записи 1 по шине APB

					ЮФКВ.431268.020РЭ		Лист
							139
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
14	R/WOCLR	0x0	Corrected Internal Error Status: устанавливается при обнаружении исправимой внутренней ошибки (исправимой ECC ошибки при чтении из памяти). Сброс при записи 1 по шине APB
15	R/WOCLR	0x0	Header Log Overflow Status: устанавливается при переполнении Header Log Register. Сброс при записи 1 по шине APB
31:16	R	0x0	Reserved

1.4.1.6.2.3.2.30 PCIe_EP_i_corr_err_mask (0x0114)

Биты масок в этом регистре управляют отчетами об исправимых ошибках. Для каждого типа ошибки из регистра PCIe_EP_i_corr_err_status есть своя маска в регистре PCIe_EP_i_corr_err_mask. При установленной маске в случае обнаружения ошибки по шине PCIe не будет послано соответствующее сообщение хост-контроллеру (RP).

Описание полей регистра PCIe_EP_i_corr_err_mask представлено в таблице 163.

Таблица 163 – Поля регистра PCIe_EP_i_corr_err_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Mask: маска ошибок физического уровня. Сброс при записи 1 по шине APB
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Mask: маска ошибок Bad TP. Сброс при записи 1 по шине APB
7	R/WOCLR	0x0	Bad DLLP Mask: маска ошибок Bad DLLP. Сброс при записи 1 по шине APB
8	R/WOCLR	0x0	Replay Number Rollover Mask: маска ошибок количества повторных отправок TLP. Сброс при записи 1 по шине APB
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Mask: маска ошибок переполнения таймера повторной отправки сообщений. Сброс при записи 1 по шине APB
13	R/WOCLR	0x1	Advisory Non-Fatal Error Mask: маска ошибок Advisory Non-Fatal. Сброс при записи 1 по шине APB
14	R/WOCLR	0x1	Corrected Internal Error Mask: маска внутренних исправимых ошибок. Сброс при записи 1 по шине APB
15	R/WOCLR	0x1	Header Log Overflow Mask: маска ошибки переполнения Header Log Register. Сброс при записи 1 по шине APB
31:16	R	0x0	Reserved

1.4.1.6.2.3.2.31 PCIe_EP_i_advcd_err_cap_ctrl (0x0118)

Описание полей регистра PCIe_EP_i_advcd_err_cap_ctrl представлено в таблице 164.

					ЮФКВ.431268.020РЭ		Лист
							140
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 164 – Поля регистра PCIe_EP_i_advcd_err_cap_ctrl

Биты	Тип доступа	Начальное значение	Описание
4:0	R	0x0	First Error Pointer: указывает на ошибку, которая была обнаружена первой. Значение ударживается до тех пор, пока не будет сброшено соответствующее поле регистра. После сброса бита статуса текущей ошибки следующий из установленных битов ошибок обновит указатель до соответствующего значения. Доступен по шине APB только на чтение
5	R	0x1	ECRC Generation Capability: показывает, что контроллер может генерировать ECRC для посылаемых пакетов. Доступен по шине APB на запись
6	R/W	0x0	Enable ECRC Generation: разрешает контроллеру генерацию ECRC для посылаемых пакетов. Доступен по шине APB на запись
7	R	0x1	ECRC Check Capability: показывает, что контроллер может проверять ECRC в принимаемых пакетах. Доступен по шине APB на запись
8	R/W	0x0	Enable ECRC Check: разрешает контроллеру проверку ECRC в принимаемых пакетах. Доступен по шине APB на запись
9	R	0x0	Multiple Header Recording Capable: устанавливается, если функция может сохранить более одного заголовка в регистрах Header Log Registers. Всегда равно 0
10	R	0x0	Multiple Header Recording Enable: установка разрешает сохранять множество заголовков в регистрах Header Log Registers. Всегда равно 0
11	R	0x0	Reserved
31:12	R	0x0	Reserved

1.4.1.6.2.3.2.32 PCIe_EP_i_hdr_log_0 (0x011C)

Это первый из четырех регистров, использующихся для захвата заголовка полученного контроллером TLP пакета в случае возникновения неисправимой ошибки. Если в регистре установлено несколько бит, то здесь отражается заголовок только первой полученной транзакции. Какая ошибка ей соответствует, можно определить на основании поля First Error Pointer. Регистр не может быть перезаписан, пока статусный бит соответствующей ошибки не будет сброшен.

Первое двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт. Байт, содержащий поля Type/Format заголовка, сохраняется в [31:24] битах регистра Header Log Register 0.

Описание полей регистра PCIe_EP_i_hdr_log_0 представлено в таблице 165.

Таблица 165 – Поля регистра PCIe_EP_i_hdr_log_0

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 0: содержит первое слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.2.33 PCIe_EP_i_hdr_log_1 (0x0120)

Второе двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт.

Описание полей регистра PCIe_EP_i_hdr_log_1 представлено в таблице 166.

					Лист	
					141	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 166 – Поля регистра PCIe_EP_i_hdr_log_1

Название	PCIe_EP_i_hdr_log_1		
Адрес	0x0120		
Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 1: содержит второе слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.2.34 PCIe_EP_i_hdr_log_2 (0x0124)

Третье двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт.

Описание полей регистра PCIe_EP_i_hdr_log_2 представлено в таблице 167.

Таблица 167 – Поля регистра PCIe_EP_i_hdr_log_2

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 2: содержит третье слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.2.35 PCIe_EP_i_hdr_log_3 (0x0128)

Если принятый TLP имеет заголовок длиной четыре DWORDs, то этот регистр содержит четвертое двойное слово с обратным порядком байт.

Описание полей регистра PCIe_EP_i_hdr_log_3 представлено в таблице 168.

Таблица 168 – Поля регистра PCIe_EP_i_hdr_log_3

Биты	Тип доступа	Начальное значение	Описание
1:0	R	0x0	Header DWORD 3: содержит четвертое слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.3 Описание полей стандартных конфигурационных регистров хост-контроллера

В этой главе поле «Тип доступа» в таблицах описания регистров относится к конфигурационным обращениям по шине PCIe. Возможности программного доступа по шине APB приведены в поле «Описание».

1.4.1.6.2.3.3.1 PCIe_RP_i_vendor_id_device_id (0x0000)

Описание полей регистра PCIe_RP_i_vendor_id_device_id представлено в таблице 169.

Таблица 169 – Поля регистра PCIe_RP_i_vendor_id_device_id

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'h17cd	Vendor ID: ID разработчика устройства, присвоенное ему PCI SIG. Значение настраивается программно в регистре, описанном в таблице 238
31:16	R	16'h100	Device ID: ID устройства, присвоенное ему разработчиком микросхемы. Доступен по шине APB на запись

1.4.1.6.2.3.3.2 PCIe_RP_i_command_status (0x0004)

Описание полей регистра PCIe_RP_i_command_status представлено в таблице 170.

					ЮФКВ.431268.020РЭ		Лист
							142
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 170 – Поля регистра PCIe_RP_i_command_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	IO-Space Enable: разрешение передачи сообщений типа IO через контроллер. Доступен по шине APB на запись
1	R/W	0x0	Mem-Space Enable: разрешение передачи сообщений типа Memory через контроллер. Доступен по шине APB на запись
2	R/W	0x0	Bus-Master Enable: разрешение приема сообщений типа IO и Memory от контроллера. Доступен по шине APB на запись
5:3	R	0x0	Reserved
6	R/W	0x0	Parity Error Response Enable: 1 – установка бита Master Data Parity Error разрешена 0 – установка Master Data Parity Error запрещена Доступен по шине APB на запись
7	R	0x0	Reserved
8	R/W	0x0	SERR Enable: 1 – разрешает отправку сообщений о фатальных и нефатальных ошибках хост-контроллеру 0 – отправка запрещена Доступен по шине APB на запись
9	R	0x0	Reserved
10	R/W	0x0	INTx Message Disabled: 1 – INTx (Legacy) прерывания запрещены 0 – INTx (Legacy) прерывания разрешены Доступен по шине APB на запись
15:11	R	0x0	Reserved
18:16	R	0x0	Reserved
19	R	0x0	Interrupt Status: устанавливается, только если прерывания INTx (Legacy) разрешены. Устанавливается, если сообщение Assert_INTx было оправлено, а сообщение Deassert_INTx не было отправлено
20	R	0x1	Capabilities List: указывает на наличие расширенного списка регистров (PCI Extended Capabilities registers). Всегда равно 1
23:21	R	0x0	Reserved
24	R/WOCLR	0x0	Master Data Parity Error: устанавливается при получении завершения с ошибкой (poisoned completion) или отправлении записи с ошибкой (poisoned write request). Этот бит может быть сброшен записью 1 по шине APB
26:25	R	0x0	Reserved
27	R/WOCLR	0x0	Signaled Target Abort: устанавливается, если контроллер послал сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB
28	R/WOCLR	0x0	Received Target Abort: устанавливается, если контроллер принял сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB
29	R/WOCLR	0x0	Received Master Abort: устанавливается, если контроллер принял сообщение завершения со статусом Unsupported Request. Этот бит может быть сброшен записью 1 по шине APB.
30	R/WOCLR	0x0	Signaled System Error: устанавливается при отправлении контроллером хост-контроллеру сообщения о фатальной или не фатальной ошибке. Этот бит может быть сброшен записью 1 по шине APB.
31	R/WOCLR	0x0	Detected Parity Error: устанавливается при получении контроллером сообщения TLP с ошибкой. Этот бит может быть сброшен записью 1 по шине APB.

1.4.1.6.2.3.3.3 PCIe_RP_i_revision_id_class_code (0x0008)

Описание полей регистра PCIe_RP_i_revision_id_class_code представлено в таблице 171.

					Лист
					143
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redchell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Таблица 171 – Поля регистра PCIe_RP_i_revision_id_class_code

Биты	Тип доступа	Начальное значение	Описание
7:0	R	8'h0	Revision ID: указывает версию микросхемы, устанавливается разработчиком микросхемы. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
15:8	R	8'h0	Programming Interface Byte: показывает набор регистров устройства. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
23:16	R	8'h0	Sub-Class Code: содержит подкатегорию текущей функции. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
31:24	R	8'h0	Class Code: содержит номер текущей функции. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

1.4.1.6.2.3.3.4 PCIe_RP_i_bist_header_latency_cache_line (0x000C)

Описание полей регистра PCIe_RP_i_bist_header_latency_cache_line представлено в таблице 172.

Таблица 172 – Поля регистра PCIe_RP_i_bist_header_latency_cache_line

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	8'h0	Cache Line Size: см. PCI Specifications 3.0. Регистр доступен по PCIe и APB шине на чтение и запись, но его значение не используется
15:8	R	8'h0	Latency Timer: не используется, всегда равно 0
22:16	R	7'h1	Header Type: формат заголовка, всегда равно 1
23	R	1'h0	Device Type: всегда равно 0
31:24	R	8'h0	BIST Register: регистр управления BIST. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

1.4.1.6.2.3.3.5 PCIe_RP_i_RC_BAR_0 (0x0010)

Это регистр базового адреса №0 в конфигурационном пространстве типа 1. BAR 0 может быть настроен как BAR 32-битных транзакций или объединен с BAR 1 для 64-битных транзакций.

Описание полей регистра PCIe_RP_i_RC_BAR_0 представлено в таблице 173.

Таблица 173 – Поля регистра PCIe_RP_i_RC_BAR_0

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	BAR Type: тип доступа к региону BAR 0 0 – memory 1 – IO Значение настраивается программно в регистре, описанном в таблице 266
1	R	0x0	Reserved
2	R	0x0	Size: для региона типа memory: 0 – 32-битная адресация, 1 – 64-битная адресация. Для региона типа IO это Base Address [2]. Значение настраивается программно в регистре, описанном в таблице 266
3	R	0x0	Prefetchability: для региона типа memory указывает на включение предвыборки данных. Для региона типа IO это Base Address [3]. Значение настраивается программно в регистре, описанном в таблице 266

					Лист	
					144	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Биты	Тип доступа	Начальное значение	Описание
21:4	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра, описанного в таблице 266. Доступен по шине APB на запись
31:22	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра в таблице 266. Доступен по шине APB на запись

1.4.1.6.2.3.3.6 PCIe_RP_i_RC_BAR_1 (0x0014)

BAR 1 может быть настроен как BAR 32-битных транзакций или объединен с BAR 0 для 64-битных транзакций. Во втором случае хранит 32 старших бита базового адреса. Выключен по умолчанию, но может быть включен настройкой регистра PCIe_LocMgmt_i_rc_BAR_config_reg (см. таблицу 266).

Описание полей регистра PCIe_RP_i_RC_BAR_1 представлено в таблице 174.

Таблица 174 – Поля регистра PCIe_RP_i_RC_BAR_1

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	BAR Type: тип доступа к региону BAR 0 0 – memory 1 – IO Значение может быть изменено в регистре, описанном в таблице 266
1	R	0x0	Reserved
2	R	0x0	Size: для региона типа memory: 0 – 32-битная адресация, 1 – 64-битная адресация. Для региона типа IO это Base Address [2]
3	R	0x0	Prefetchability: для региона типа memory указывает на включение предвыборки данных. Для региона типа IO это Base Address [3]
21:4	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра, описанного в таблице 266. Доступен по шине APB на запись
31:22	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра, описанного в таблице 266. Доступен по шине APB на запись

1.4.1.6.2.3.3.7 PCIe_RP_i_pcie_bus_numbers (0x0018)

Описание полей регистра PCIe_RP_i_pcie_bus_numbers представлено в таблице 175.

Таблица 175 – Поля регистра PCIe_RP_i_pcie_bus_numbers

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x0	Primary Bus Number: это значение может быть программно записано и считано по шине APB, но контроллером оно не используется
15:8	R/W	0x0	Secondary Bus Number: это значение может быть программно записано и считано по шине APB, но контроллером оно не используется
23:16	R/W	0x0	Subordinate Bus Number: это значение может быть программно записано и считано по шине APB, но контроллером оно не используется
31:24	R	0x0	Secondary Latency Timer: Reserved

1.4.1.6.2.3.3.8 PCIe_RP_i_pcie_io_base_limit (0x001C)

Описание полей регистра PCIe_RP_i_pcie_io_base_limit представлено в таблице 176.

					ЮФКВ.431268.020РЭ		Лист
							145
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 176 – Поля регистра PCIe_RP_i_pcie_io_base_limit

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Type1 cfg IO bar size: ширина конфигурационных регистров. Значение может быть программно установлено в регистре, описанном в таблице 266 в 20 бите. Всегда равно 0 при снятом 19 бите регистра, описанного в Таблица 266
3:1	R	0x0	Reserved
7:4	R	0x0	IO Base Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если IO BAR запрещены
8	R	0x0	Type1 cfg IO bar size: всегда равно значению бита [0]
11:9	R	0x0	Reserved
15:12	R	0x0	IO Limit Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если IO BAR запрещены
23:16	R	0x0	Reserved
24	R/WOCLR	0x0	Master Data Parity Error: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса. Всегда равно 0, если бит Parity Error Response Enable регистра, описанного в таблице 183, равен 0
26:25	R	0x0	Reserved
27	R/WOCLR	0x0	Signaled Target Abort: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
28	R/WOCLR	0x0	Received Target Abort: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
29	R/WOCLR	0x0	Received Master Abort: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
30	R/WOCLR	0x0	Received System Error: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
31	R/WOCLR	0x0	Detected Parity Error: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

1.4.1.6.2.3.3.9 PCIe_RP_i_pcie_mem_base_limit (0x0020)

Описание полей регистра PCIe_RP_i_pcie_mem_base_limit представлено в таблице 177.

Таблица 177 – Поля регистра PCIe_RP_i_pcie_mem_base_limit

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
15:4	R/W	12'h0	Memory Base Register: не используется контроллером. Доступен по шине APB на запись
19:16	R	0x0	Reserved
31:20	R/W	12'h0	Memory Limit Register: не используется контроллером. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							146
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.3.10 *PCIe_RP_i_pcie_prefetch_base_limit (0x0024)*

Описание полей регистра PCIe_RP_i_pcie_prefetch_base_limit представлено в таблице 178.

Таблица 178 – Поля регистра PCIe_RP_i_pcie_prefetch_base_limit

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'h0	Prefetchable Memory Base Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если не установлен бит Type1 cfg prefetchable mem bar enable в регистре, описанном в таблице 266
31:16	R	16'h0	Prefetchable Memory Limit Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если не установлен бит Type1 cfg prefetchable mem bar enable в регистре, описанном в таблице 266

1.4.1.6.2.3.3.11 *PCIe_RP_i_pcie_prefetch_base_upper (0x0028)*

Описание полей регистра PCIe_RP_i_pcie_prefetch_base_upper представлено в таблице 179.

Таблица 179 – Поля регистра PCIe_RP_i_pcie_prefetch_base_upper

Биты	Тип доступа	Начальное значение	Описание
31:0	R	32'h0	Prefetchable Base Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 64bit prefetchable memory транзакции не разрешены в регистре, описанном в таблице 266

1.4.1.6.2.3.3.12 *PCIe_RP_i_pcie_prefetch_limit_upper (0x002C)*

Описание полей регистра PCIe_RP_i_pcie_prefetch_limit_upper представлено в таблице 180.

Таблица 180 – Поля регистра PCIe_RP_i_pcie_prefetch_limit_upper

Биты	Тип доступа	Начальное значение	Описание
31:0	R	32'h0	Prefetchable Limit Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 64bit prefetchable memory транзакции не разрешены в регистре, описанном в таблице 266

1.4.1.6.2.3.3.13 *PCIe_RP_i_pcie_io_base_limit_upper (0x0030)*

Описание полей регистра PCIe_RP_i_pcie_io_base_limit_upper представлено в таблице 181.

Таблица 181 – Поля регистра PCIe_RP_i_pcie_io_base_limit_upper

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x0	IO Base Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 32bit IO транзакции не разрешены в регистре, описанном в таблице 266
31:16	R	0x0	IO Limit Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 32bit IO транзакции не разрешены в регистре, описанном в таблице 266

					ЮФКВ.431268.020РЭ		Лист
							147
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.3.14 *PCIe_RP_i_capabilities_pointer (0x0034)*

Описание полей регистра PCIe_RP_i_capabilities_pointer представлено в таблице 182.

Таблица 182 – Поля регистра PCIe_RP_i_capabilities_pointer

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x80	Capabilities Pointer: содержит указатель на первую структуру характеристик (PCI Capability Structure). По умолчанию это структура управления питанием (Power Management Capability Structure). Доступен по шине APB на запись
31:8	R	0x0	Reserved

1.4.1.6.2.3.3.15 *PCIe_RP_i_intrpt_line_intrpt_pin (0x003C)*

Описание полей регистра PCIe_RP_i_intrpt_line_intrpt_pin представлено в таблице 183.

Таблица 183 – Поля регистра PCIe_RP_i_intrpt_line_intrpt_pin

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	8'hff	Interrupt Line Register: не используется контроллером в режиме RP. Доступен по шине APB на запись
10:8	R	0x01	Interrupt Pin Register: показывает, каким будет передаваться Legacy прерывание, полученное данной функцией 0x1 – INTA 0x2 – INTB 0x3 – INTC 0x4 – INTD Доступен по шине APB на запись
15:11	R	0x0	Reserved
16	R/W	0x0	Parity Error Response Enable: разрешение установки бита Master Data Parity Error. Доступен по шине APB на запись
17	R/W	0x0	Bridge Control SERR Enable: не используется в этом контроллере. Доступен по шине APB на запись
18	R/W	0x0	ISA Enable: не используется в этом контроллере. Доступен по шине APB на запись
19	R/W	0x0	VGA Enable: не используется в этом контроллере. Доступен по шине APB на запись
20	R/W	0x0	VGA 16 DEcode: не используется в этом контроллере. Доступен по шине APB на запись
21	R	0x0	Reserved
22	R/W	0x0	Bridge Control Register Secondary Bus Reset: запускает горячий сброс линка. Доступен по шине APB на запись
31:23	R	0x0	Reserved

1.4.1.6.2.3.3.16 *PCIe_RP_i_pwr_mgmt_cap (0x0080)*

В режиме RP содержание этого регистра не влияет на функционирование контроллера.
Описание полей регистра PCIe_RP_i_pwr_mgmt_cap представлено в таблице 184.

Таблица 184 – Поля регистра PCIe_RP_i_pwr_mgmt_cap

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x01	Capability ID: показывает, что это структура управления питанием. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист 148
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
15:8	R	8'h90	Capabilities Pointer: содержит указатель на следующую структуру характеристик (PCI Capability Structure). Доступен по шине APB на запись
18:16	R	0x3	Version ID: показывает версию системы управления питанием, поддерживаемую текущей функцией. Доступен по шине APB на запись
19	R	0x0	PME Clock: всегда равен 0
20	R	0x0	Reserved
21	R	0x0	Device Specific Initialization Bit: всегда равен 0
24:22	R	0x0	Max Current Required from Aux Power Supply: всегда равен 0
25	R	0x1	D1 Support: показывает возможность поддержки PCI функцией состояния D1. Доступен по шине APB на запись
26	R	0x0	D2 Support: показывает возможность поддержки PCI функцией состояния D2, всегда равен 0
27	R	0x01	PME Support for D0 State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D0. Доступен по шине APB на запись
28	R	0x1	PME Support for D1 State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D1. Доступен по шине APB на запись
29	R	0x0	PME Support for D2 State: всегда равен 0 (D2 состояние не поддерживается)
30	R	0x01	PME Support for D3(hot) State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D3(hot). Доступен по шине APB на запись
31	R	0x0	PME Support for D3(cold) State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages), находясь в состоянии D3(cold). Доступен по шине APB на запись

1.4.1.6.2.3.3.17 PCIe_RP_i_pwr_mgmt_ctrl_stat_rep (0x0084)

Описание полей регистра PCIe_RP_i_pwr_mgmt_ctrl_stat_rep представлено в таблице 185.
Таблица 185 – Поля регистра PCIe_RP_i_pwr_mgmt_ctrl_stat_rep

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Power State: доступен по шине APB на запись
2	R	0x0	Reserved
3	R	0x01	No Soft Reset: доступен по шине APB на запись при дополнительно установленном [13] бите адреса
7:4	R	0x0	Reserved
8	R/W	0x0	PME Enable: доступен по шине APB на запись
14:9	R	0x0	Reserved
15	R/WOCLR	0x0	PME Status: доступен по шине APB на запись при дополнительно установленном [13] бите адреса
23:16	R	0x0	Reserved
31:24	R	0x0	Data Register: всегда равен 0

1.4.1.6.2.3.3.18 PCIe_RP_i_msi_ctrl_reg (0x0090)

Описание полей регистра PCIe_RP_i_msi_ctrl_reg представлено в таблице 186.

					ЮФКВ.431268.020РЭ		Лист
							149
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 186 – Поля регистра PCIe_RP_i_msi_ctrl_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x05	Capability ID: показывает, что это структура управления MSI прерываниями. Всегда равно 0x05
15:8	R	8'hb0	Capabilities Pointer: содержит указатель на следующую структуру характеристик (PCI Capability Structure). Доступен по шине APB на запись
16	R/W	0x0	MSI Enable: разрешение MSI прерываний. Доступен по шине APB на запись
19:17	R	0x0	Multiple Message Capable: количество различных MSI сообщений, которые может генерировать контроллер для этой функции (т. е. количество разных векторов прерываний) 000 = 1 001 = 2 010 = 4 011 = 8 100 = 16 101 = 32 Контроллер поддерживает всего до 32 различных прерываний, но установка этого поля должна быть основана на количестве прерываний, непосредственно используемых клиентом. Доступен по шине APB на запись
22:20	R/W	0x0	Multiple Message Enable: количество различных MSI сообщений, которые генерирует контроллер для этой функции (т. е. количество разных векторов прерываний) 000 = 1 001 = 2 010 = 4 011 = 8 100 = 16 101 = 32 Установка этого поля должна быть основана на количестве прерываний, непосредственно используемых функцией. Доступен по шине APB на запись
23	R	0x1	64-Bit Address Capable: установка в 1 показывает, что устройство поддерживает 64-разрядную адресацию для MSI сообщений. Доступен по шине APB на запись
24	R	0x1	MSI masking capable: Доступен по шине APB на запись
31:25	R	0x0	Reserved

1.4.1.6.2.3.3.19 PCIe_RP_i_msi_msg_low_addr (0x0094)

Описание полей регистра PCIe_RP_i_msi_msg_low_addr представлено в таблице 187.

Таблица 187 – Поля регистра PCIe_RP_i_msi_msg_low_addr

Биты	Тип доступа	Начальное значение	Описание
1:0	R	0x0	Reserved
31:2	R/W	0x0	Message Address Low: младшая часть адреса MSI сообщений. Доступен по шине APB на запись

1.4.1.6.2.3.3.20 PCIe_RP_i_msi_msg_hi_addr (0x0098)

Описание полей регистра PCIe_RP_i_msi_msg_hi_addr представлено в таблице 188.

					Лист	
					150	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redchell</i> 24.10.2019		34203-2		

Таблица 188 – Поля регистра PCIe_RP_i_msi_msg_hi_addr

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Message Address High: старшая часть адреса MSI сообщений. Если равна нулю, то адрес 32-разрядный. Доступен по шине APB на запись

1.4.1.6.2.3.3.21 PCIe_RP_i_msi_msg_data (0x009C)

Этот регистр содержит данные, используемые в MSI сообщениях, генерируемых для соответствующей функции. Если количество различных векторов прерываний равно 1, то в качестве данных будет использоваться непосредственно указанное здесь значение. Если количество различных векторов больше 1, то LSB указанного значения заменяются на кодированный номер вектора.

Описание полей регистра PCIe_RP_i_msi_msg_data представлено в таблице 189.

Таблица 189 – Поля регистра PCIe_RP_i_msi_msg_data

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0	Message Data: данные MSI сообщения. Доступен по шине APB на запись
31:16	R	0x0	Reserved

1.4.1.6.2.3.3.22 PCIe_RP_i_msi_mask (0x00A0)

Описание полей регистра PCIe_RP_i_msi_mask представлено в таблице 190.

Таблица 190 – Поля регистра PCIe_RP_i_msi_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	MSI Mask: маска битов пришедшего вектора MSI прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний. Доступен по шине APB на запись
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний

1.4.1.6.2.3.3.23 PCIe_RP_i_msi_pending_bits (0x00A4)

Описание полей регистра PCIe_RP_i_msi_pending_bits представлено в таблице 191.

Таблица 191 – Поля регистра PCIe_RP_i_msi_pending_bits

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	MSI Pending Bits: должен быть программно установлен при попытке отправки замаскированного прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable. Доступен по шине APB на запись
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний

1.4.1.6.2.3.3.24 PCIe_RP_i_msix_ctrl (0x00B0)

Описание полей регистра PCIe_RP_i_msix_ctrl представлено в таблице 192.

					ЮФКВ.431268.020РЭ		Лист
							151
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 192 – Поля регистра PCIe_RP_i_msix_ctrl

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x11	Capability ID: показывает, что это структура характеристик MSI-X. Доступен по шине APB на запись
15:8	R	8'hc0	Capabilities Pointer: содержит указатель на следующую структуру характеристик. Доступен по шине APB на запись
26:16	R	11'h3f	MSI-X Table Size: задает размер MSI-X таблицы, т. е. количество доступных векторов прерываний. Значение, содержащееся здесь, равно размеру таблицы минус один. Доступен по шине APB на запись
29:27	R	0x0	Reserved
30	R/W	0x0	Function Mask: общая маска MSI-X прерываний. Доступен по шине APB на запись
31	R/W	0x0	MSI-X Enable: разрешение использования MSI-X прерываний. Доступен по шине APB на запись

1.4.1.6.2.3.3.25 PCIe_RP_i_msix_tbl_offset (0x00B4)

Описание полей регистра PCIe_RP_i_msix_tbl_offset представлено в таблице 193.

Таблица 193 – Поля регистра PCIe_RP_i_msix_tbl_offset

Биты	Тип доступа	Начальное значение	Описание
2:0	R	3'd0	BAR Indicator Register: содержит номер BAR, соответствующего пространству памяти, где расположена таблица векторов MSI-X. 000 – BAR 0 001 – BAR 1 010 – BAR 2 011 – BAR 3 100 – BAR 4 101 – BAR 5 В текущей микросхеме эта таблица располагается в BAR 0 и изменение этого параметра не предполагается. Доступен по шине APB на запись
31:3	R	29'h205F00	Table Offset: смещение начального адреса таблицы векторов MSI-X относительно начального адреса соответствующего BAR. Три младших бита отсутствуют, поскольку таблица выровнена по 32-битным словам. В текущей микросхеме этот параметр должен быть равен адресу регистра v0_Message_Address контроллера внешних прерываний. Доступен по шине APB на запись

1.4.1.6.2.3.3.26 PCIe_RP_i_msix_pending_intrpt (0x00B8)

Описание полей регистра PCIe_RP_i_msix_pending_intrpt представлено в таблице 194.

					ЮФКВ.431268.020РЭ	Лист 152
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 194 – Поля регистра PCIe_RP_i_msix_pending_intrpt

Биты	Тип доступа	Начальное значение	Описание
2:0	R	3'd0	BAR Indicator Register: содержит номер BAR, соответствующего пространству памяти, где расположена таблица ожидающих прерываний (PBA). 000 – BAR 0 001 – BAR 1 010 – BAR 2 011 – BAR 3 100 – BAR 4 101 – BAR 5 В текущей микросхеме эта таблица располагается в BAR 0 и изменение этого параметра не предполагается. Доступен по шине APB на запись
31:3	R	29'h205F80	PBA Offset: смещение начального адреса таблицы ожидающих прерываний (PBA) относительно начального адреса соответствующего BAR. Три младших бита отсутствуют, поскольку таблица выровнена по 32-битным словам. В текущей микросхеме этот параметр должен быть равен адресу регистра PBA_Entries_1 контроллера внешних прерываний. Доступен по шине APB на запись

1.4.1.6.2.3.3.27 PCIe_RP_i_pcie_cap_list (0x00C0)

Описание полей регистра PCIe_RP_i_pcie_cap_list представлено в таблице 195.

Таблица 195 – Поля регистра PCIe_RP_i_pcie_cap_list

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x010	Capability ID: показывает, что это структура характеристик Express расширения. Всегда равно 0x010
15:8	R	0x0	Next Capability Pointer: содержит указатель на следующую структуру характеристик. Равенство нулю показывает, что эта структура последняя. Всегда равно 0
19:16	R	0x2	Capability Version: показывает версию этой структуры характеристик. В данном случае она совместима с PCI Express Base Specification Revision 3.0. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
23:20	R	0x4	Device Type: показывает тип устройства 0x0 – конечное устройство – End Point (EP) 0x4 – хост-контроллер – Root Port (RP) Всегда равно 4 в текущем режиме
24	R	0x0	Slot Status: установлен в 1, если линк подключен к слоту. Всегда равно 0
29:25	R	0x0	Interrupt Message Number: показывает вектор MSI или MSI-X прерывания в случае, если оно вызывается в соответствии с битами статуса в Slot Status Register, Root Status Register или текущей структуре характеристик. Значение устанавливается в зависимости от выбранного режима прерываний – MSI или MSI-X. Всегда равно 0
30	R	0x0	TCS Routing Supported: 0 – устройство не поддерживает маршрутизацию доверенных конфигурационных запросов (Trusted Configuration Requests). 1 – опция поддерживается. Не используется в режиме конечного устройства. Всегда равно 0
31	R	0x0	Reserved

					ЮФКВ.431268.020РЭ	Лист 153
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redkhal</i> 24.10.2019		34203-2		

1.4.1.6.2.3.3.28 PCIe_RP_i_pcie_cap (0x00C4)

Описание полей регистра PCIe_RP_i_pcie_cap представлено в таблице 196.

Таблица 196 – Поля регистра PCIe_RP_i_pcie_cap

Биты	Тип доступа	Начальное значение	Описание
2:0	R	3'b011	Max Payload Size: показывает максимальное количество данных в сообщении. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
4:3	R	0x0	Phantom Functions Supported: расширение поля тэга за счет неиспользуемых битов. Не используется в этой микросхеме. Всегда равно 0
5	R	0x0	Extended Tag Field Supported: расширенное поле tag не поддерживается. Всегда равно 0
8:6	R	0x0	Acceptable LOS Latency: допустимая контроллером задержка перехода из L0s в L0 состояния. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
11:9	R	0x0	Acceptable L1 Latency: допустимая контроллером задержка перехода из L1 в L0 состояния. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
14:12	R	0x0	Reserved
15	R	1'b1	Role-Based Error Reporting: разрешение ролевых (role-based) отчетов об ошибках. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
17:16	R	0x0	Reserved
25:18	R	0x0	Captured Slot Power Limit Value: максимальное значение потребления, поддерживаемое слотом. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
27:26	R	0x0	Captured Power Limit Scale: масштаб значения поля Captured Slot Power Limit Value текущего регистра. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
28	R	0x0	Function Level Reset Capability: Всегда равно 0
31:29	R	0x0	Reserved

1.4.1.6.2.3.3.29 PCIe_RP_i_pcie_dev_ctrl_status (0x00C8)

Описание полей регистра PCIe_RP_i_pcie_dev_ctrl_status представлено в таблице 197.

Таблица 197 – Поля регистра PCIe_RP_i_pcie_dev_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	Enable Correctable Error Reporting: не используется в режиме Root Port
1	R/W	0x0	Enable Non- Fatal Error Reporting: не используется в режиме Root Port
2	R/W	0x0	Enable Fatal Error Reporting: не используется в режиме Root Port
3	R/W	0x0	Enable Unsupported Request Reporting: разрешение отправки сообщений об обнаружении неподдерживаемого запроса. Доступен по шине APB на запись
4	R/W	0x01	Enable Relaxed Ordering: разрешает установку бита Relaxed Ordering в передаваемых транзакциях. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							154
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
7:5	R/W	0x0	Max Payload Size: показывает максимальное количество данных в сообщении. Устройство должно быть в состоянии принимать пакеты с таким количеством данных и не должно посылать пакеты большего размера. Устанавливается программно на основании данных из Device Capabilities Register этого и ответного устройств. Доступен по шине APB на запись
8	R	0x0	Extended Tag Field Enable: не используется в режиме Root Port. Всегда равно 0
9	R	0x0	Enable Phantom Functions: всегда равно 0
10	R	0x0	Enable Aux Power: всегда равно 0
11	R/W	0x1	Enable No Snooper: установка в 1 разрешает установку бита No Snooper в передаваемых транзакциях, не требующих когерентности кэша. Доступен по шине APB на запись
14:12	R/W	0x02	Max Read Request Size: показывает максимальное количество данных в запросах чтения, сгенерированных этим устройством. Доступен по шине APB на запись
15	R	0x0	Reserved
16	R/WOCLR	0x0	Correctable Error Detected: устанавливается контроллером, когда он обнаруживает исправимую ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB
17	R/WOCLR	0x0	Non-Fatal Error Detected: устанавливается контроллером, когда он обнаруживает нефатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB
18	R/WOCLR	0x0	Fatal Error Detected: устанавливается контроллером, когда он обнаруживает фатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB
19	R/WOCLR	0x0	Unsupported Request Detected: устанавливается контроллером, когда он обнаруживает неподдерживаемый запрос. Не зависит от разрешения соответствующего сообщения. Сброс при записи 1 по шине APB
20	R	0x0	Aux Power Detected: не используется. Всегда равно 0
21	R	0x0	Transaction Pending: устанавливается, если есть ожидающие запросы, требующие подтверждения (Non-Posted). Только для чтения по шине APB
31:22	R	0x0	Reserved

1.4.1.6.2.3.3.30 PCIe_RP_i_link_cap (0x00CC)

Описание полей регистра PCIe_RP_i_link_cap представлено в таблице 198.

Таблица 198 – Поля регистра PCIe_RP_i_link_cap

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x2	Maximum Link Speed: показывает максимальную скорость линка. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB
9:4	R	0x4	Maximum Link Width: показывает максимальное количество линий. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB
11:10	R	0x3	Active State Power Management: показывает уровень поддерживаемого ASPM. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

					ЮФКВ.431268.020РЭ		Лист 155
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
14:12	R	0x2	L0S Exit Latency: показывает время, требуемое устройству для перехода из состояния L0S в L0. Значение зависит от реализации Phy. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
17:15	R	0x3	L1 Exit Latency: показывает время, требуемое устройству для выхода из состояния L1. Значение зависит от реализации Phy. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
18	R	0x0	Clock Power Management: показывает, что устройство поддерживает отключение опорного тактового сигнала. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
19	R	0x0	Surprise Down Error Reporting Capability: показывает способность устройства сообщать об ошибке внезапного выключения (Surprise Down error). Эта функция не поддерживается. Всегда равно 0
20	R	0x0	Data Link Layer Active Reporting Capability: показывает способность устройства сообщать о достижении автоматом управления пакетным уровнем состояния DL_Active. Эта функция не поддерживается. Всегда равно 0
21	R	0x1	Link Bandwidth Notification Capability: поддержка уведомлений о ширине линка и механизме прерываний. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
22	R	0x1	ASPM Optionality Compliance: показывает поддержку устройством дополнительных ASPM возможностей. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
23	R	0x0	Reserved
31:24	R	8'h0	Port Number: показывает номер порта, присвоенный PCIe линку, подключенному к устройству. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

1.4.1.6.2.3.3.31 PCIe_RP_i_link_ctrl_status (0x00D0)

Описание полей регистра PCIe_RP_i_link_ctrl_status представлено в таблице 199.

Таблица 199 – Поля регистра PCIe_RP_i_link_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Active State Power Management Control: управление ASPM возможностями: 00 – ASPM запрещен 01 – L0s состояние разрешено, L1 запрещено 10 – L0s состояние запрещено, L1 разрешено 11 – L0s и L1 состояния разрешены Эти биты могут быть установлены только при установленных соответствующих битах Active State Power Management регистра, описанного в таблице 198. Доступен по шине APB на запись
2	R	0x0	Reserved
3	R	0x0	Read Completion Boundary: показывает границы чтения хост-контроллера. 0 – 64 байта 1 – 128 байт Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

Лист

156

ЮФКВ.431268.020РЭ

Изм	Лист	№ докум.	Подп.	Дата	Изм.№подл.	Подп. и дата	Взам.инв.№	Изм.№дубл.	Подп. и дата
					34203-3	<i>Redell</i> 24.10.2019	34203-2		

Биты	Тип доступа	Начальное значение	Описание
4	R/W	0x0	Link Disable: установка этого бита переводит автомат обучения (LTSSM) в отключенный режим (Disable). LTSSM остается в таком состоянии, пока бит не будет снят. Доступен по шине APB на запись
5	W	0x0	Retrain Link: установка этого бита вызывает переобучение линка. При чтении всегда возвращает 0. Доступен по шине APB на запись
6	R/W	0x0	Common Clock Configuration: показывает отношения опорного тактового сигнала этого EP и ответного устройства 0 – асинхронные 1 – синхронные Доступен по шине APB на запись
7	R/W	0x0	Extended Synch: установка этого бита увеличивает частоту передачи управляющих пакетов (Ordered Sets) при переходе из L0s в L0 состояние. Доступен по шине APB на запись
8	R	0x0	Enable Clock Power Management: не используется в режиме RP. Всегда равно 0
9	R	0x0	Hardware Autonomous Width Disable: установленный, этот бит показывает программе, что она должна запрашивать изменение ширины линка только в случае некорректной работы текущего набора лейнов. Доступен по шине APB на запись
10	R/W	0x0	Link Bandwidth Management Interrupt Enable: разрешает выдачу прерывания при установке бита Link Bandwidth Management Status. Всегда равно нулю, если Link Bandwidth Notification Capability равен нулю. Доступен по шине APB на запись
11	R/W	0x0	Link Autonomous Bandwidth Interrupt Enable: разрешает выдачу прерывания при установке бита Link Autonomous Bandwidth Status. Всегда равно нулю, если Link Bandwidth Notification Capability равен нулю. Доступен по шине APB на запись
15:12	R	0x0	Reserved
19:16	R	0x1	Negotiated Link Speed: согласованная скорость передачи данных 0001 – 2,5 Гбайт/с на лейн 0010 – 5 Гбайт /с на лейн Доступен по шине APB только на чтение
25:20	R	0x4	Negotiated Link Width: согласованное количество лейнов. Устанавливается по окончании обучения линка. Доступен по шине APB только на чтение
26	R	0x0	Reserved
27	R	0x0	Link Training Status: устанавливается аппаратно, если LTSSM в режиме Configuration или Recovery или при начале переобучения линка. Доступен по шине APB только на чтение
28	R	0x0	Slot Clock Configuration: показывает, что используется тактовый сигнал от коннектора. Если устройство использует независимый тактовый сигнал, несмотря на наличие такового на коннекторе, этот бит должен быть сброшен в 0. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
29	R	0x0	Data Link Layer Active: показывает статус пакетного уровня. Всегда равно 0
30	R/WOCLR	0x0	Link Bandwidth Management Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Сброс при записи 1 по шине APB

					Лист
					157
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Биты	Тип доступа	Начальное значение	Описание
31	R/WOCLR	0x0	Link Autonomous Bandwidth Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, не связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Сброс при записи 1 по шине APB

1.4.1.6.2.3.3.32 PCIe_RP_i_slot_ctrl_status (0x00D8)

Описание полей регистра PCIe_RP_i_slot_ctrl_status представлено в таблице 200.

Таблица 200 – Поля регистра PCIe_RP_i_slot_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
21:0	R	0x0	Reserved
22	R	1'b1	Presence Detect State: 0 – слот пуст 1 – PCIe карта присутствует Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
31:23	R	0x0	Reserved

1.4.1.6.2.3.3.33 PCIe_RP_i_root_ctrl_cap (0x00DC)

Описание полей регистра PCIe_RP_i_root_ctrl_cap представлено в таблице 201.

Таблица 201 – Поля регистра PCIe_RP_i_root_ctrl_cap

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	System Error on Correctable Error Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера
1	R/W	0x0	System Error on Non-Fatal Error Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера
2	R/W	0x0	PME Interrupt Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера
3	R/W	0x0	CRS Software Visibility Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера
31:4	R	0x0	Reserved

1.4.1.6.2.3.3.34 PCIe_RP_i_root_status (0x00E0)

Описание полей регистра PCIe_RP_i_root_status представлено в таблице 202.

Таблица 202 – Поля регистра PCIe_RP_i_root_status

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x0	PME Requester ID: показывает PCI Requester ID последнего полученного PME сообщения. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
16	R/WOCLR	0x0	PME Status: показывает, что PME был подтвержден устройством с Requester ID, указанным в PME Requester ID. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса

					ЮФКВ.431268.020РЭ		Лист 158
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redbel</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
17	R	0x0	PME Pending: устанавливается, если другой PME ожидает обработки при установленном PME Status. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
31:18	R	0x0	Reserved

1.4.1.6.2.3.3.35 PCIe_RP_i_pcie_cap_2 (0x00E4)

Описание полей регистра PCIe_RP_i_pcie_cap_2 представлено в таблице 203.

Таблица 203 – Поля регистра PCIe_RP_i_pcie_cap_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x02	Completion Timeout Ranges: показывает поддерживаемый устройством таймаут подтверждения сообщения. Непосредственно используемые значения таймаута расположены в регистрах локального управления. По умолчанию 10-250 мс. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
4	R	0x01	Completion Timeout Disable Supported: показывает возможность функции выключить таймаут подтверждения сообщения. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
5	R	0x0	ARI forwarding support: всегда равно 0
6	R	0x1	Atomic OP routing supported: маршрутизация атомарных операций (Atomic OP) поддерживается. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса
7	R	0x0	32-Bit Atomic Op Completer Supported: всегда равно 0
8	R	0x0	64-Bit Atomic Op Completer Supported: всегда равно 0
9	R	0x0	128-Bit CAS Atomic Op Completer Supported: всегда равно 0
10	R	0x0	Reserved
11	R	0x0	LTR Mechanism Supported: всегда равно 0
13:12	R	0x0	TPH Completer Supported: всегда равно 0
17:14	R	0x0	Reserved
19:18	R	0x0	OBFF Supported: показывает, что функция поддерживает OBFF. Всегда равно 0
20	R	0x1	Extended Format Field Supported: показывает, что функция поддерживает 3-битный формат поля Fmt заголовка TLP. Всегда равно 1
21	R	0x0	End-End TLP Prefix Supported: показывает, что функция поддерживает End-End TLP Prefix. Всегда равно 0
23:22	R	0x0	Max End-End TLP Prefixes: максимальное количество End-End TLP Prefixes 01 – 1 End-End TLP Prefix 10 – 2 End-End TLP Prefix Всегда равно 0
31:24	R	0x0	Reserved

1.4.1.6.2.3.3.36 PCIe_RP_i_pcie_dev_ctrl_status_2 (0x00E8)

Описание полей регистра PCIe_RP_i_pcie_dev_ctrl_status_2 представлено в таблице 204.

					ЮФКВ.431268.020РЭ	Лист 159
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 204 – Поля регистра PCIe_RP_i_pcie_dev_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	0x0	Completion Timeout Value: поддерживаемый устройством таймаут подтверждения сообщения 0101 – диапазон 1 0110 – диапазон 2 Соответствующие значения устанавливаются в регистрах Completion Timeout Interval Registers 0 и 1. Доступен по шине APB на запись
4	R/W	0x0	Completion Timeout Disable: установка этого бита выключает таймаут подтверждения сообщений. Доступен по шине APB на запись
5	R	0x0	ARI forwarding enable: показывает, что [7:0] биты ID используются как номер функции при преобразовании конфигурационных пакетов типа 1 в тип 0. Всегда равно 0
6	R	0x0	Atomic Op Requester Enable: разрешение генерации атомарных операций. Всегда равно 0
7	R	0x0	Reserved
8	R	0x0	IDO Request Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых запросах. Всегда равно 0
9	R	0x0	IDO Completion Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых подтверждениях. Всегда равно 0
10	R	0x0	LTR Mechanism Enable: всегда равно 0
12:11	R	0x0	Reserved
14:13	R	0x0	OBFF Enable: разрешение OBFF (Optimized Buffer Flush/Fill). 00 – запрещено 01 – версия А 10 – версия В Всегда равно 0
31:15	R	0x0	Reserved

1.4.1.6.2.3.3.37 PCIe_RP_i_link_cap_2 (0x00EC)

Описание полей регистра PCIe_RP_i_link_cap_2 представлено в таблице 205.

Таблица 205 – Поля регистра PCIe_RP_i_link_cap_2

Биты	Тип доступа	Начальное значение	Описание
0	R	1'h0	Reserved
2:1	R	0x3	Supported Link Speeds Vector: показывает возможные скорости работы линка 0001 – 2,5 Гбит/с (Gen 1) 0011 – 2,5 Гбит/с и 5 Гбит/с (Gen 2) Соответствует значению, установленному в системном контроллере. Доступен по шине APB только на чтение
4:3	R	2'h0	Reserved
8:5	R	0x0	Reserved
10:9	R	0x0	Lower SKP OS Generation Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается программное управление частотой генерации SKP OS. Доступен по шине APB только на чтение
15:11	R	0x0	Reserved

					ЮФКВ.431268.020РЭ		Лист
							160
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
17:16	R	0x0	Lower SKP OS Reception Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается прием SKP OS на частоте, определяемой для SRNS при работе в режиме SRIS. Доступен по шине APB только на чтение
19:18	R	2'h0	Reserved
22:20	R	0x0	Reserved
23	R	0x0	Reserved
31:24	R	0x0	Reserved

1.4.1.6.2.3.3.38 PCIe_RP_i_link_ctrl_status_2 (0x00F0)

Описание полей регистра PCIe_RP_i_link_ctrl_status_2 представлено в таблице 206.

Таблица 206 – Поля регистра PCIe_RP_i_link_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	4'd2	Target Link Speed: показывает скорость передачи при переходе в режим Compliance, вызванный установкой бита Enter Compliance. Значение после сброса зависит от настройки в системном контроллере. 0001 – 2,5 Гбит/с 0010 – 5 Гбит/с Доступен по шине APB на запись
4	R/W	0x0	Enter Compliance: в Endpoint режиме установка в 1 включает Compliance режим. При этом также должен быть инициирован горячий сброс (Hot Reset). Доступен по шине APB на запись
5	R/W	0x0	Hardware Autonomous Speed Disable: установка этого бита запрещает аппаратное повышение скорости передачи. Доступен по шине APB на запись
6	R/W	0x0	Selectable Deemphasis: не используется в режиме Endpoint
9:7	R/W	0x0	Transmit Margin: используется только при отладке и в Compliance режиме. Управляет уровнем напряжения на выходе передатчика. 000 – нормальный уровень 001 – 800-1200 мВ для полного размаха и 400-700 мВ для половины размаха. 010-111 – описание значений в спецификации PCI Express Base Specification 2.0. Значение сбрасывается в 0 при переходе автомата обучения линка (LTSSM) в состояние Polling.Configuration. Доступен по шине APB на запись
10	R/W	0x0	Enter Modified Compliance: используется только при отладке и в Compliance режиме. При установке этого бита в режиме Compliance будут передаваться Modified Compliance Pattern. При этом также должен быть установлен бит Enter Compliance и хост должен инициировать горячий сброс (Hot Reset). Доступен по шине APB на запись
11	R/W	0x0	Compliance SOS: при установке этого бита между Compliance Patterns будут передаваться SKP контрольные последовательности. Доступен по шине APB на запись
15:12	R/W	0x0	Compliance De-Emphasis: устанавливает значение De-Emphasis в режиме Compliance 0 – -6 дБ 1 – -3,5 дБ остальные значения зарезервированы Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							161
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
16	R	0x1	Current De-Emphasis Level: показывает текущий уровень De-Emphasis передатчика. 0 – -6 дБ 1 – -3,5 дБ Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB только на чтение
21:17	R	0x0	Reserved
31:22	R	0x0	Reserved

1.4.1.6.2.3.3.39 PCIe_RP_i_AER_enhncd_cap (0x0100)

Это первый регистр структуры характеристик расширенного обработчика ошибок. Описание полей регистра PCIe_RP_i_AER_enhncd_cap представлено в таблице 207.

Таблица 207 – Поля регистра PCIe_RP_i_AER_enhncd_cap

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x01	PCI Express Extended Capability ID: показывает, что это структура характеристик расширенного обработчика ошибок (AER). Доступен по шине APB только на чтение
19:16	R	4'h2	Capability Version: показывает версию структуры характеристик. Доступен по шине APB на запись
31:20	R	12'h0	Next Capability Offset: содержит смещение адреса следующей структуры характеристик относительно текущей. Доступен по шине APB на запись

1.4.1.6.2.3.3.40 PCIe_RP_i_uncorr_err_status (0x0104)

Описание полей регистра PCIe_RP_i_uncorr_err_status представлено в таблице 208.

Таблица 208 – Поля регистра PCIe_RP_i_uncorr_err_status

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/WOCLR	0x0	Data Link Protocol Error Status: устанавливается, если идентификатор подтверждения (DLLP Ack/Nak) не равен идентификатору соответствующего сообщения (TLP). Сброс при записи 1 по шине APB
11:5	R	0x0	Reserved
12	R/WOCLR	0x0	Poisoned TLP Status: устанавливается при получении TLP с установленным битом ошибки (poisoned bit). Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
13	R/WOCLR	0x0	Flow Control Protocol Error Status: устанавливается при ошибке последовательности управления. Сброс при записи 1 по шине APB
14	R/WOCLR	0x0	Completion Timeout Status: устанавливается, если ответ на внешний запрос не был получен за необходимый период времени. Ошибка считается нефатальной. Сброс при записи 1 по шине APB
15	R/WOCLR	0x0	Completer Abort Status: устанавливается, если контроллер вернул сообщение Completer Abort в ответ на запрос, пришедший по линку. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB

					ЮФКВ.431268.020РЭ		Лист 162
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
16	R/WOCLR	0x0	Unexpected Completion Status: устанавливается при получении неожиданного сообщения завершения (unexpected Completion). Сброс при записи 1 по шине APB
17	R/WOCLR	0x0	Receiver Overflow Status: устанавливается при получении пакета уровня транзакций (TLP) при заполненном приемном буфере. Сброс при записи 1 по шине APB
18	R/WOCLR	0x0	Malformed TLP Status: устанавливается при получении TLP с неправильной структурой. Ошибка считается фатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
19	R/WOCLR	0x0	ECRC Error Status: устанавливается при обнаружении ошибки ECRC в принятом TLP. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
20	R/WOCLR	0x0	Unsupported Request Error Status: устанавливается при получении неподдерживаемого контроллером сообщения. Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB
21	R	0x0	Reserved
22	R/WOCLR	0x0	Uncorrectable Internal Error Status: устанавливается при обнаружении внутренних неисправимых ошибок контроллера (ошибок четности/ECC внутренних шин или памяти). Ошибка считается фатальной. Сброс при записи 1 по шине APB
31:23	R	0x0	Reserved

1.4.1.6.2.3.3.41 PCIe_RP_i_uncorr_err_mask (0x0108)

Биты масок в этом регистре управляют отчетами о неисправимых ошибках. Для каждого типа ошибки из регистра PCIe_RP_i_uncorr_err_status есть своя маска в регистре PCIe_RP_i_uncorr_err_mask. При установленной маске в случае обнаружения ошибки:

- 1) Выдача ошибок системе;
- 2) Заголовок TLP, содержащего ошибку, не будет сохранен в Header Log Register;
- 3) First Error Pointer в структуре характеристик AER и Control Register не будут обновлены.

Описание полей регистра PCIe_RP_i_uncorr_err_mask представлено в таблице 209.

Таблица 209 – Поля регистра PCIe_RP_i_uncorr_err_mask

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x0	Data Link Protocol Error Mask: маска ошибок Data Link Protocol. Доступен по шине APB на запись
11:5	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Mask: маска ошибок Poisoned TLP. Доступен по шине APB на запись
13	R/W	0x0	Flow Control Protocol Error Mask: маска ошибок последовательности управления. Доступен по шине APB на запись
14	R/W	0x0	Completion Timeout Mask: маска ошибок времени ожидания завершения транзакции. Доступен по шине APB на запись
15	R/W	0x0	Completer Abort Mask: маска ошибок прерывания завершения полученной транзакции. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ	Лист 163
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Биты	Тип доступа	Начальное значение	Описание
16	R/W	0x0	Unexpected Completion Mask: маска ошибок получения неожиданных завершений. Доступен по шине APB на запись
17	R/W	0x0	Receiver Overflow Mask: маска ошибок переполнения приемника. Доступен по шине APB на запись
18	R/W	0x0	Malformed TLP Mask: маска ошибок структурно неправильных TLP. Доступен по шине APB на запись
19	R/W	0x0	ECRC Error Mask: маска ошибок ECRC. Доступен по шине APB на запись
20	R/W	0x0	Unsupported Request Error Mask: маска ошибок неподдерживаемых запросов. Доступен по шине APB на запись
21	R	0x0	Reserved
22	R/W	0x1	Uncorrectable Internal Error Mask: маска внутренних ошибок контроллера. Доступен по шине APB на запись
31:23	R	0x0	Reserved

1.4.1.6.2.3.3.42 PCIe_RP_i_uncorr_err_severity (0x010C)

Описание полей регистра PCIe_RP_i_uncorr_err_severity представлено в таблице 210.

Таблица 210 – Поля регистра PCIe_RP_i_uncorr_err_severity

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x01	Data Link Protocol Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
5	R	0x1	Surprise Down Error Severity: всегда равно 1
11:6	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
13	R/W	0x01	Flow Control Protocol Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
14	R/W	0x0	Completion Timeout Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
15	R/W	0x0	Completer Abort Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
16	R/W	0x0	Unexpected Completion Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
17	R/W	0x01	Receiver Overflow Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист 164
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
18	R/W	0x01	Malformed TLP Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
19	R/W	0x0	ECRC Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
20	R/W	0x0	Unsupported Requeset Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
21	R	0x0	Reserved
22	R/W	0x01	Uncorrectable Internal Error Severity: ошибка обрабатывается как 0 – нефатальная 1 – фатальная Доступен по шине APB на запись
31:23	R	0x0	Reserved

1.4.1.6.2.3.3.43 PCIe_RP_i_corr_err_status (0x0110)

Описание полей регистра PCIe_RP_i_corr_err_status представлено в таблице 211.

Таблица 211 – Поля регистра PCIe_RP_i_corr_err_status

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Status: устанавливается при обнаружении на физическом уровне одной из следующих ошибок: - 8B10B кодировки - четности - переполнении эластичного буфера Сброс при записи 1 по шине APB
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Status: устанавливается при обнаружении пакетным уровнем в TLP одной из следующих ошибок: - LCRC - окончание пакета символом EDB и инверсия расчетного LCRC не равна полученному LCRC Сброс при записи 1 по шине APB
7	R/WOCLR	0x0	Bad DLLP Status: устанавливается при обнаружении пакетным уровнем в DLLP ошибки LCRC при отсутствии ошибок физического уровня. Сброс при записи 1 по шине APB
8	R/WOCLR	0x0	Replay Number Rollover Status: устанавливается после трех повторных посылок одного пакета. Сброс при записи 1 по шине APB
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Status: устанавливается при переполнении таймера пакетного уровня, что вызывает повторную посылку пакета TLP. Сброс при записи 1 по шине APB
13	R/WOCLR	0x0	Advisory Non-Fatal Error Status: устанавливается при появлении неисправимой ошибки (Uncorrectable error). Подробное описание в п. 6.2.3.2.4 спецификации PCI Express 2.0. Сброс при записи 1 по шине APB
14	R/WOCLR	0x0	Corrected Internal Error Status: устанавливается при обнаружении исправимой внутренней ошибки (исправимой ECC ошибки при чтении из памяти). Сброс при записи 1 по шине APB

					Лист
					165
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Биты	Тип доступа	Начальное значение	Описание
15	R/WOCLR	0x0	Header Log Overflow Status: устанавливается при переполнении Header Log Register. Сброс при записи 1 по шине APB
31:16	R	0x0	Reserved

1.4.1.6.2.3.3.44 PCIe_RP_i_corr_err_mask (0x0114)

Биты масок в этом регистре управляют отчетами об исправимых ошибках. Для каждого типа ошибки из регистра PCIe_RP_i_corr_err_status есть своя маска в регистре PCIe_RP_i_corr_err_mask. При установленной маске в случае обнаружения ошибки выдача ошибок системе.

Описание полей регистра PCIe_RP_i_corr_err_mask представлено в таблице 212.

Таблица 212 – Поля регистра PCIe_RP_i_corr_err_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Mask: маска ошибок физического уровня. Сброс при записи 1 по шине APB
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Mask: маска ошибок Bad TP. Сброс при записи 1 по шине APB
7	R/WOCLR	0x0	Bad DLLP Mask: маска ошибок Bad DLLP. Сброс при записи 1 по шине APB
8	R/WOCLR	0x0	Replay Number Rollover Mask: маска ошибок количества повторных отправок TLP. Сброс при записи 1 по шине APB
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Mask: маска ошибок переполнения таймера повторной отправки сообщений. Сброс при записи 1 по шине APB
13	R/WOCLR	0x0	Advisory Non-Fatal Error Mask: маска ошибок Advisory Non-Fatal. Сброс при записи 1 по шине APB
14	R/WOCLR	0x0	Corrected Internal Error Mask: маска внутренних исправимых ошибок. Сброс при записи 1 по шине APB
15	R/WOCLR	0x0	Header Log Overflow Mask: маска ошибки переполнения Header Log Register. Сброс при записи 1 по шине APB
31:16	R	0x0	Reserved

1.4.1.6.2.3.3.45 PCIe_RP_i_adv_err_cap_ctl (0x0118)

Описание полей регистра PCIe_RP_i_adv_err_cap_ctl представлено в таблице 213.

Таблица 213 – Поля регистра PCIe_RP_i_adv_err_cap_ctl

Биты	Тип доступа	Начальное значение	Описание
4:0	R	0x0	First Error Pointer: указывает на ошибку из регистра PCIe_RP_i_corr_err_status, которая была обнаружена первой. Значение ударживается до тех пор, пока не будет сброшено соответствующее поле регистра PCIe_RP_i_corr_err_status. После сброса бита статуса текущей ошибки следующий из установленных битов ошибок обновит указатель до соответствующего значения. Доступен по шине APB только на чтение
5	R	0x1	ECRC Generation Capability: показывает, что контроллер может генерировать ECRC для посылаемых пакетов. Доступен по шине APB на запись

					ЮФКВ.431268.020РЭ		Лист
							166
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
6	R/W	0x0	Enable ECRC Generation: разрешает контроллеру генерацию ECRC для посылаемых пакетов. Доступен по шине APB на запись
7	R	0x1	ECRC Check Capability: показывает, что контроллер может проверять ECRC в принимаемых пакетах. Доступен по шине APB на запись
8	R/W	0x0	Enable ECRC Check: разрешает контроллеру проверку ECRC в принимаемых пакетах. Доступен по шине APB на запись
9	R	0x0	Multiple Header Recording Capable: устанавливается, если функция может сохранить более одного заголовка в регистрах Header Log Registers. Всегда равно 0
10	R	0x0	Multiple Header Recording Enable: установка разрешает сохранять множество заголовков в регистрах Header Log Registers. Всегда равно 0
11	R	0x0	Reserved
31:12	R	0x0	Reserved

1.4.1.6.2.3.3.46 PCIe_RP_i_hdr_log_0 (0x011C)

Это первый из четырех регистров, используемых для захвата заголовка полученного контроллером TLP пакета в случае возникновения неисправимой ошибки. Если в регистре, описанном в таблице 208, установлено несколько бит, то здесь отражается заголовок только первой полученной транзакции. Какая ошибка ей соответствует, можно определить на основании поля First Error Pointer. Регистр не может быть перезаписан, пока статусный бит соответствующей ошибки не будет сброшен.

Первое двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт. Байт, содержащий поля Type/Format заголовка, сохраняется в [31:24] битах регистра Header Log Register 0.

Описание полей регистра PCIe_RP_i_hdr_log_0 представлено в таблице 214.

Таблица 214 – Поля регистра PCIe_RP_i_hdr_log_0

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 0: содержит первое слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.3.47 PCIe_RP_i_hdr_log_1 (0x0120)

Второе двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт.

Описание полей регистра PCIe_RP_i_hdr_log_1 представлено в таблице 215.

Таблица 215 – Поля регистра PCIe_RP_i_hdr_log_1

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 1: содержит второе слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.3.48 PCIe_RP_i_hdr_log_2 (0x0124)

Третье двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт.

Описание полей регистра PCIe_RP_i_hdr_log_2 представлено в таблице 216.

					Лист	
					167	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 216 – Поля регистра PCIe_RP_i_hdr_log_2

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 2: содержит третье слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.3.49 PCIe_RP_i_hdr_log_3 (0x128)

Если принятый TLP имеет заголовок длиной четыре DWORDs, то этот регистр содержит четвертое двойное слово с обратным порядком байт.

Описание полей регистра PCIe_RP_i_hdr_log_3 представлено в таблице 217.

Таблица 217 – Поля регистра PCIe_RP_i_hdr_log_3

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 3: содержит четвертое слово заголовка принятого TLP. Доступен по шине APB только на чтение

1.4.1.6.2.3.3.50 PCIe_RP_i_root_err_cmd (0x012C)

Этот регистр содержит биты, управляющие обработкой хост-контроллером отчетов об ошибках, полученных от ответных устройств. Регистр не доступен по шине PCIe.

Описание полей регистра PCIe_RP_i_root_err_cmd представлено в таблице 218.

Таблица 218 – Поля регистра PCIe_RP_i_root_err_cmd

Биты	Тип доступа	Начальное значение	Описание
0	NA	0x0	Correctable Error Reporting Enable: разрешение генерации прерывания при получении исправимой ошибки. Доступен по шине APB на запись
1	NA	0x0	Non-Fatal Error Reporting Enable: разрешение генерации прерывания при получении нефатальной ошибки. Доступен по шине APB на запись
2	NA	0x0	Fatal Error Reporting Enable: разрешение генерации прерывания при получении фатальной ошибки. Доступен по шине APB на запись
31:3	NA	0x0	Reserved

1.4.1.6.2.3.3.51 PCIe_RP_i_root_err_stat (0x0130)

Регистр не доступен по шине PCIe.

Описание полей регистра PCIe_RP_i_root_err_stat представлено в таблице 219.

Таблица 219 – Поля регистра PCIe_RP_i_root_err_stat

Биты	Тип доступа	Начальное значение	Описание
0	NA	0x0	Correctable Error Message Received: устанавливается при получении хост-контроллером оповещения от внешнего устройства об исправимой ошибке. Сброс при записи 1 по шине APB
1	NA	0x0	Multiple Correctable Error Messages Received: устанавливается при получении хост-контроллером оповещения от внешнего устройства об исправимой ошибке и бит Correctable Error Message Received уже установлен. Сброс при записи 1 по шине APB

					ЮФКВ.431268.020РЭ		Лист
							168
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhal</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
2	NA	0x0	Fatal/Non-Fatal Error Message Received: устанавливается при получении хост-контроллером оповещения от внешнего устройства о фатальной/нефатальной ошибке. Сброс при записи 1 по шине APB
3	NA	0x0	Multiple Fatal/Non-Fatal Error Messages Received: устанавливается при получении хост-контроллером оповещения от внешнего устройства о фатальной/нефатальной ошибке и бит Fatal/Non-Fatal Error Message Received уже установлен. Сброс при записи 1 по шине APB
4	NA	0x0	First Uncorrectable Fatal: в установленном состоянии показывает, что первая неисправимая ошибка была фатальной. Сброс при записи 1 по шине APB
5	NA	0x0	Non-Fatal Error Messages Received: устанавливается при получении хост-контроллером оповещения от внешнего устройства об одной или нескольких нефатальных ошибках. Сброс при записи 1 по шине APB
6	NA	0x0	Fatal Error Messages Received: устанавливается при получении хост-контроллером оповещения от внешнего устройства об одной или нескольких фатальных ошибках. Сброс при записи 1 по шине APB
31:7	NA	0x0	Reserved

1.4.1.6.2.3.3.52 PCIe_RP_i_err_src_id (0x0134)

Регистр не доступен по шине PCIe.

Описание полей регистра PCIe_RP_i_err_src_id представлено в таблице 220.

Таблица 220 – Поля регистра PCIe_RP_i_err_src_id

Биты	Тип доступа	Начальное значение	Описание
15:0	NA	0x0	Correctable Error Message Source ID: содержит идентификатор устройства, полученный из принятого ERR_COR сообщения. Доступен по шине APB только на чтение
31:16	NA	0x0	Fatal/Non-Fatal Error Message Source ID: содержит идентификатор устройства, полученный из принятого ERR_FATAL или ERR_NONFATAL сообщения. Доступен по шине APB только на чтение

1.4.1.6.2.3.4 Описание полей регистров локального управления

В приведенных ниже таблицах описания регистров поле «Тип доступа» относится к шине APB. Все регистры локального управления недоступны для конфигурационных запросов по шине PCIe. Тем не менее, поскольку они являются частью AXI пространства, к ним можно обращаться с помощью Memory или IO запросов (как к внутренним адресам микросхемы).

1.4.1.6.2.3.4.1 PCIe_LocMgmt_i_pl_config_0_reg (0x1000)

Описание полей регистра приведено в таблице 221.

Таблица 221 – Поля регистра PCIe_LocMgmt_i_pl_config_0_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Link Status: текущий статус линка 0 – обучение не завершено 1 – обучение завершено и линк готов к работе
2:1	R	0x2	Negotiated Lane Count: согласованное с ответным устройством количество линий (00 = x1, 01 = x2, 10 = x4, 11 = x8)
4:3	R	0x0	Negotiated Speed: текущая скорость работы (00 = 2.5G, 01 = 5G)

					ЮФКВ.431268.020РЭ	Лист 169
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Биты	Тип доступа	Начальное значение	Описание
5	R	0x1	Link Training Direction: показывает, что линк завершил обучение как: 0 – хост-контроллер 1 – физическая функция
6	R	0x0	Phy Error Reporting: режим отслеживания ошибок Phy 0 – совпадение ошибки от Phy с приемом DLLP или TLP 1 – все ошибки от Phy
7	R	0x0	Tx Swing Setting: управляет размахом выходного сигнала 0 – стандартное значение 1 – пониженное значение для экономии питания в мобильных приложениях
15:8	R/W	0x0	Received FTS Count for 2.5 GT/s speed: количество быстрых обучающих последовательностей (FTS), которые контроллер должен послать при выходе из L0s состояния
23:16	R/W	0x0	Received Link ID: ID, полученный от ответного устройства в процессе обучения линка
29:24	R/W	0x0	LTSSM State: текущее состояние автомата обучения линка
30	R	0x0	Remote Linkwidth Upconfigure Capability Status: показывает, что в ходе обучения противоположное устройство установило бит Link Upconfigure
31	R	0x0	Master Loopback Enable: в режиме хост-контроллера включает проверку loopback. Не используется в режиме функции

1.4.1.6.2.3.4.2 PCIe_LocMgmt_i_pl_config_1_reg (0x1004)

Описание полей регистра приведено в таблице 222.

Таблица 222 – Поля регистра PCIe_LocMgmt_i_pl_config_1_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x0	Transmitted Link ID: ID, посылаемое устройством при обучении в режиме хост-контроллера
15:8	R/W	0x80	Transmitted FTS Count at 2.5 GT/s Speed: количество FTS, посылаемое в ходе обучения и требуемое этому контроллеру для синхронизации после выхода из L0s состояния
23:16	R/W	0x80	Transmitted FTS Count at 5 GT/s Speed: количество FTS, посылаемое в ходе обучения и требуемое этому контроллеру для синхронизации после выхода из L0s состояния
31:24	R/W	0x40	Transmitted FTS Count at 8 GT/s Speed: количество FTS, посылаемое в ходе обучения и требуемое этому контроллеру для синхронизации после выхода из L0s состояния. Не должен использоваться в этой микросхеме

1.4.1.6.2.3.4.3 PCIe_LocMgmt_i_dll_tmr_config_reg (0x1008)

Описание полей регистра приведено в таблице 223.

Таблица 223 – Поля регистра PCIe_LocMgmt_i_dll_tmr_config_reg

Биты	Тип доступа	Начальное значение	Описание
8:0	R/W	0x0	Transmit-Side Replay Timeout Adjustment: дополнительная задержка к таймеру повторной отправки сообщения. [8] – знаковый бит [7:0] * 16 нс – длительность интервала
15:9	R	0x0	Reserved
24:16	R/W	0x0	Receive-Side ACK-NAK Replay Timeout Adjustment: дополнительная задержка к таймеру повторной отправки подтверждений (ACK/NAK) [8] – знаковый бит [7:0] * 16 нс – длительность интервала
31:25	R	0x0	Reserved

					ЮФКВ.431268.020РЭ		Лист
							170
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.4.4 PCIe_LocMgmt_i_rcv_cred_lim_0_reg (0x100C)

Этот регистр содержит глубины буферов приемника PCIe шины, объявляемые контроллером в ходе инициализации пакетного уровня. При изменении значений регистра необходимо провести переобучение линка, иначе изменения не вступят в силу. После сброса регистр содержит максимально возможные значения, покрывающие буфера полностью. Записывать можно только значения меньше или равные исходным. В противном случае возможна ситуация переполнения приемника, если AXI не будет успевать пропускать транзакции. Значение 0 соответствует бесконечной глубине буферов приемника.

Описание полей регистра приведено в таблице 224.

Таблица 224 – Поля регистра PCIe_LocMgmt_i_rcv_cred_lim_0_reg

Биты	Тип доступа	Начальное значение	Описание
11:0	R/W	0x3e0	Posted Payload Credit VC0: количество 64-битных слов данных, которые может принять контроллер (сообщений, не требующих подтверждения)
19:12	R/W	0x20	Posted Header Credit VC0: количество заголовков, которые может принять контроллер (сообщений, не требующих подтверждения)
31:20	R/W	0x20	Non-Posted Payload Credit VC0: количество 64-битных слов данных, которые может принять контроллер (сообщений, требующих подтверждения)

1.4.1.6.2.3.4.5 PCIe_LocMgmt_i_rcv_cred_lim_1_reg (0x1010)

Этот регистр содержит глубины буферов приемника PCIe шины, объявляемые контроллером в ходе инициализации пакетного уровня. При изменении значений регистра необходимо провести переобучение линка, иначе изменения не вступят в силу. После сброса регистр содержит максимально возможные значения, покрывающие буфера полностью. Записывать можно только значения меньше или равные исходным. В противном случае возможна ситуация переполнения приемника, если AXI не будет успевать пропускать транзакции. Значение 0 соответствует бесконечной глубине буферов приемника.

Описание полей регистра приведено в таблице 225.

Таблица 225 – Поля регистра PCIe_LocMgmt_i_rcv_cred_lim_1_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x20	Non-Posted Header Credit Limit VC0: количество заголовков, которые может принять контроллер (сообщений, требующих подтверждения)
19:8	R/W	0x0	Completion Payload Credit VC0: количество 64-битных слов данных, которые может принять контроллер (сообщений подтверждений)
23:20	R	0x0	Reserved
31:24	R/W	0x0	Completion Header Credit VC0: количество заголовков, которые может принять контроллер (сообщений подтверждений)

1.4.1.6.2.3.4.6 PCIe_LocMgmt_i_transm_cred_lim_0_reg (0x1014)

Этот регистр содержит глубины буферов приемника ответного устройства, полученные контроллером в ходе инициализации пакетного уровня.

Описание полей регистра приведено в таблице 226.

Таблица 226 – Поля регистра PCIe_LocMgmt_i_transm_cred_lim_0_reg

Биты	Тип доступа	Начальное значение	Описание
11:0	R	0x0	Posted Payload Credit VC0: количество 64-битных слов данных, которые может принять ответный контроллер (сообщений, не требующих подтверждения)
19:12	R	0x0	Posted Header Credit VC0: количество заголовков, которые может принять ответный контроллер (сообщений, не требующих подтверждения)

					ЮФКВ.431268.020РЭ		Лист
							171
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
31:20	R	0x0	Non-Posted Payload Credit VC0: количество 64-битных слов данных, которые может принять ответный контроллер (сообщений, требующих подтверждения)

1.4.1.6.2.3.4.7 PCIe_LocMgmt_i_transm_cred_lim_1_reg (0x1018)

Этот регистр содержит глубины буферов приемника ответного устройства, полученные контроллером в ходе инициализации пакетного уровня.

Описание полей регистра приведено в таблице 227.

Таблица 227 – Поля регистра PCIe_LocMgmt_i_transm_cred_lim_1_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	Non-Posted Header Credit Limit VC0: количество заголовков, которые может принять ответный контроллер (сообщений, требующих подтверждения)
19:8	R	0x0	Completion Payload Credit VC0: количество 64-битных слов данных, которые может принять ответный контроллер (сообщений подтверждений)
23:20	R	0x0	Reserved
31:24	R	0x0	Completion Header Credit VC0: количество заголовков, которые может принять ответный контроллер (сообщений подтверждений)

1.4.1.6.2.3.4.8 PCIe_LocMgmt_i_transm_cred_update_int_config_0_reg (0x101C)

Описание полей регистра приведено в таблице 228.

Таблица 228 – Поля регистра PCIe_LocMgmt_i_transm_cred_update_int_config_0_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	16'd4	Minimum Posted Update Interval: минимальный период обновления информации об освобождении места в принимающем FIFO. Касается только сообщений, не требующих подтверждений. Значение периода равно [15:0]*16ns. При изменении пропускной способности будет перезаписано значение по умолчанию
31:16	R/W	16'd4	Minimum Non-Posted Update Interval: минимальный период обновления информации об освобождении места в принимающем FIFO. Касается только сообщений, требующих подтверждений. Значение периода равно [31:16]*16ns. При изменении пропускной способности будет перезаписано значение по умолчанию

1.4.1.6.2.3.4.9 PCIe_LocMgmt_i_transm_cred_update_int_config_1_reg (0x1020)

Описание полей регистра приведено в таблице 229.

Таблица 229 – Поля регистра PCIe_LocMgmt_i_transm_cred_update_int_config_1_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	16'd4	Minimum Completion Update Interval: минимальный период обновления информации об освобождении места в принимающем FIFO. Касается только сообщений, не требующих подтверждений. Значение периода равно [15:0]*16ns
31:16	R/W	16'd938	Maximum Update Interval: максимальный период обновления информации об освобождении места в принимающем FIFO. Касается всех сообщений. Если место не появляется, то каждые [31:16]*16ns контроллер посылает повторное сообщение, описывающее доступный объем буфера приемника

					ЮФКВ.431268.020РЭ		Лист 172
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redbel</i> 24.10.2019		34203-2			

1.4.1.6.2.3.4.10 *PCIe_LocMgmt_i_L0S_timeout_limit_reg (0x1024)*

Описание полей регистра приведено в таблице 230.

Таблица 230 – Поля регистра *PCIe_LocMgmt_i_L0S_timeout_limit_reg*

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0177	L0S Timeout: если в течение этого интервала времени передатчик бездействует, контроллер автоматически переведет линк в режим пониженного потребления L0s. Значение задержки равно [15:0]*16ns. Установка этого параметра равным 0 запрещает контроллеру автоматический переход в режим L0s
31:16	R	0x0	Reserved

1.4.1.6.2.3.4.11 *PCIe_LocMgmt_i_transmit_tlp_count_reg (0x1028)*

Описание полей регистра приведено в таблице 231.

Таблица 231 – Поля регистра *PCIe_LocMgmt_i_transmit_tlp_count_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Transmit TLP Count: количество переданных пакетов уровня транзакций (TLP)

1.4.1.6.2.3.4.12 *PCIe_LocMgmt_i_transmit_tlp_payload_dword_count_reg (0x102C)*

Описание полей регистра приведено в таблице 232.

Таблица 232 – Поля регистра *PCIe_LocMgmt_i_transmit_tlp_payload_dword_count_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Transmit TLP Payload Byte Count: количество переданных двойных слов (64 бит) в пакетах уровня транзакций (TLP)

1.4.1.6.2.3.4.13 *PCIe_LocMgmt_i_receive_tlp_count_reg (0x1030)*

Описание полей регистра приведено в таблице 233.

Таблица 233 – Поля регистра *PCIe_LocMgmt_i_receive_tlp_count_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Receive TLP Count: количество принятых пакетов уровня транзакций (TLP)

1.4.1.6.2.3.4.14 *PCIe_LocMgmt_i_receive_tlp_payload_dword_count_reg (0x1034)*

Описание полей регистра приведено в таблице 234.

Таблица 234 – Поля регистра *PCIe_LocMgmt_i_receive_tlp_payload_dword_count_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Receive TLP Payload Byte Count: количество принятых двойных слов (64 бит) в пакетах уровня транзакций (TLP)

1.4.1.6.2.3.4.15 *PCIe_LocMgmt_i_compln_tmout_lim_0_reg (0x1038)*

Описание полей регистра приведено в таблице 235.

					ЮФКВ.431268.020РЭ		Лист
							173
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 235 – Поля регистра PCIe_LocMgmt_i_compln_tmout_lim_0_reg

Биты	Тип доступа	Начальное значение	Описание
23:0	R/W	24'd12_500_000	Completion Timeout Limit: если в течение времени [23:0]*4ns не будет получено подтверждение (completion), контроллер пошлет сообщение повторно. По умолчанию это 50 мс. Это значение используется, если в регистре PCI Express Device Control and Status Register 2 выбран sub-range 1
31:24	R	0x0	Reserved

1.4.1.6.2.3.4.16 PCIe_LocMgmt_i_compln_tmout_lim_1_reg (0x103C)

Описание полей регистра приведено в таблице 236.

Таблица 236 – Поля регистра PCIe_LocMgmt_i_compln_tmout_lim_1_reg

Биты	Тип доступа	Начальное значение	Описание
27:0	R/W	28'd5000000_0	Completion Timeout Limit: если в течение времени [23:0]*4ns не будет получено подтверждение (completion), контроллер пошлет сообщение повторно. По умолчанию это 200 мс. Это значение используется, если в регистре PCI Express Device Control and Status Register 2 выбран sub-range 2
31:28	R	0x0	Reserved

1.4.1.6.2.3.4.17 PCIe_LocMgmt_i_L1_st_reentry_delay_reg (0x1040)

Описание полей регистра приведено в таблице 237.

Таблица 237 – Поля регистра PCIe_LocMgmt_i_L1_st_reentry_delay_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	L1 Re-Entry Delay: задержка до повторного входа в L1 состояние равна [31:0]*16ns

1.4.1.6.2.3.4.18 PCIe_LocMgmt_i_vendor_id_reg (0x1044)

Описание полей регистра приведено в таблице 238.

Таблица 238 – Поля регистра PCIe_LocMgmt_i_vendor_id_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	16'h17cd	Vendor ID: ID разработчика микросхемы
31:16	R/W	16'h17cd	Subsystem Vendor ID: ID разработчика подсистемы

1.4.1.6.2.3.4.19 PCIe_LocMgmt_i_aspm_L1_entry_tmout_delay_reg (0x1048)

Описание полей регистра приведено в таблице 239.

Таблица 239 – Поля регистра PCIe_LocMgmt_i_aspm_L1_entry_tmout_delay_reg

Биты	Тип доступа	Начальное значение	Описание
19:0	R/W	20'd750	L1 Timeout: задержка до входа в L1 состояние равна [19:0]*16ns. Установка параметра в 0 запрещает переход в L1 состояние
30:20	R	0x0	Reserved
31	R/W	0x0	Disable Check for Link RX IDLE: 0 – отсчет времени для перехода в L1 ведется при отсутствии активности на приемной и передающей линиях 1 – отсчет времени для перехода в L1 ведется при отсутствии активности только на приемной линии

					ЮФКВ.431268.020РЭ		Лист 174
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.4.20 *PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg (0x104C)*

Описание полей регистра приведено в таблице 240.

Таблица 240 – Поля регистра *PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg*

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x64	PME Turnoff Ack Delay: задержка в микросекундах от приема контроллером сообщения входа в режим пониженного потребления (PME_Turn_Off message) до отправки подтверждения (PME_TO_Ack). Установка параметра в 0 запрещает подтверждения таких сообщений
31:16	R	0x0	Reserved

1.4.1.6.2.3.4.21 *PCIe_LocMgmt_i_linkwidth_control_reg (0x1050)*

Этот регистр может быть использован, чтобы переобучить линк под новое значение ширины или скорости передачи без его отключения.

Описание полей регистра приведено в таблице 241.

Таблица 241 – Поля регистра *PCIe_LocMgmt_i_linkwidth_control_reg*

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	4'b1111	Target Lane Map: карта лейнов (lane), которые будут включены в интерфейс (link) в ходе переобучения 4'b0001 – переобучение к линку шириной 1 4'b0011 – переобучение к линку шириной 2 4'b1111 – переобучение к линку шириной 4 Если этот параметр содержит лейны, неактивные на начало переобучения, тогда и этот контроллер и ответный должны поддерживать LinkWidth Upconfigure Capability, чтобы включить эти лейны
15:4	R	0x0	Reserved
16	R/W	0x0	Link Upconfigure Retrain Link: установка 1 запускает переобучение интерфейса для изменения ширины. Параметр Target Lane Map должен быть предварительно настроен. Аппаратно сбрасывается по окончании процесса и перехода в L0
23:17	R	0x0	Reserved
25:24	R/W	0x0	EP Target Link Speed: содержит значение частоты передачи, на которую должно перейти EP устройство. Следует программно убедиться, что этот параметр не больше параметра Target Link Speed регистра Link Control And Status Register 2. Также он не должен быть больше параметра pcie_generation_sel регистра ARMSC_PCIE_REG_1 системного контроллера. 2'b00 – GEN1 – 2,5 ГГц 2'b01 – GEN2 – 5,0 ГГц
30:26	R	0x0	Reserved
31	R/W	0x0	EP Link Speed Change Retrain Link: установка 1 запускает переобучение интерфейса в режиме изменения частоты. Параметр EP Target Link Speed должен быть предварительно установлен. Аппаратно сбрасывается по окончании процесса и перехода в L0

1.4.1.6.2.3.4.22 *PCIe_LocMgmt_i_sris_control_reg (0x1074)*

Описание полей регистра приведено в таблице 242.

Таблица 242 – Поля регистра *PCIe_LocMgmt_i_sris_control_reg*

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	SRIS Enable: разрешение SRIS режима для Phy. Этот бит следует изменять до начала обучения линка. Это достигается сбросом бита link_training_enable_reg в системном контроллере в регистре ARMSC_PCIE_REG_1. Не поддерживается в этой микросхеме
31:1	R	0x0	Reserved

					ЮФКВ.431268.020РЭ		Лист 175
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.4.23 PCIe_LocMgmt_i_shdw_hdr_log_0_reg (0x1100)

Описание полей регистра приведено в таблице 243.

Таблица 243 – Поля регистра PCIe_LocMgmt_i_shdw_hdr_log_0_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 0: значение, содержащееся здесь, будет записано в Header Log Register 0 при установке любого из битов регистра, описанного в таблице 248. Если при этом в Header Log Register уже содержатся данные, будет установлен бит переполнения

1.4.1.6.2.3.4.24 PCIe_LocMgmt_i_shdw_hdr_log_1_reg (0x1104)

Описание полей регистра приведено в таблице 244.

Таблица 244 – Поля регистра PCIe_LocMgmt_i_shdw_hdr_log_1_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 1: значение, содержащееся здесь, будет записано в Header Log Register 1 при установке любого из битов регистра, описанного в таблице 248. Если при этом в Header Log Register уже содержатся данные, будет установлен бит переполнения

1.4.1.6.2.3.4.25 PCIe_LocMgmt_i_shdw_hdr_log_2_reg (0x1108)

Описание полей регистра приведено в таблице 245.

Таблица 245 – Поля регистра PCIe_LocMgmt_i_shdw_hdr_log_2_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 2: значение, содержащееся здесь, будет записано в Header Log Register 2 при установке любого из битов регистра, описанного в таблице 248. Если при этом в Header Log Register уже содержатся данные, будет установлен бит переполнения

1.4.1.6.2.3.4.26 PCIe_LocMgmt_i_shdw_hdr_log_3_reg (0x110C)

Описание полей регистра приведено в таблице 246.

Таблица 246 – Поля регистра PCIe_LocMgmt_i_shdw_hdr_log_3_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 3: значение, содержащееся здесь, будет записано в Header Log Register 3 при установке любого из битов регистра, описанного в таблице 248. Если при этом в Header Log Register уже содержатся данные, будет установлен бит переполнения

1.4.1.6.2.3.4.27 PCIe_LocMgmt_i_shdw_func_num_reg (0x1110)

Описание полей регистра приведено в таблице 247.

Таблица 247 – Поля регистра PCIe_LocMgmt_i_shdw_func_num_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x0	Shadow register target function number: значение, содержащееся здесь, будет номером функции, когда программно устанавливается любой из битов регистра, описанного в таблице 248. Это значение никак не используется внутри контроллера
31:8	R	0x0	Reserved

					ЮФКВ.431268.020РЭ		Лист
							176
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редкол</i> 24.10.2019		34203-2			

1.4.1.6.2.3.4.28 *PCIe_LocMgmt_i_shdw_ur_err_reg (0x1114)*

Регистр используется для создания ошибки неподдерживаемого запроса (Unsupported Request) программным способом. Для этого следует установить любой из битов, предварительно записав нужные значения в теневые регистры заголовка и номера функции.

Описание полей регистра приведено в таблице 248.

Таблица 248 – Поля регистра *PCIe_LocMgmt_i_shdw_ur_err_reg*

Биты	Тип доступа	Начальное значение	Описание
0	W	0x0	Posted UR Error: запись 1 вызовет установку регистров AER и статуса устройства, соответствующих ошибке неподдерживаемого запроса, не требующего подтверждения. Аппаратно сбрасывается на следующий после установки такт
1	W	0x0	Non Posted Error: запись 1 вызовет установку регистров AER и статуса устройства, соответствующих ошибке неподдерживаемого запроса, требующего подтверждения. Аппаратно сбрасывается на следующий после установки такт
31:2	R	0x0	Reserved

1.4.1.6.2.3.4.29 *PCIe_LocMgmt_i_debug_dllp_count_gen1_reg (0x1144)*

Этот регистр предназначен для отладки.

Описание полей регистра приведено в таблице 249.

Таблица 249 – Поля регистра *PCIe_LocMgmt_i_debug_dllp_count_gen1_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	GEN1 DLLP Count: содержит количество сообщений пакетного уровня (DLLP), полученных при работе на частоте 2,5 ГГц

1.4.1.6.2.3.4.30 *PCIe_LocMgmt_i_debug_dllp_count_gen2_reg (0x1148)*

Этот регистр предназначен для отладки.

Описание полей регистра приведено в таблице 250.

Таблица 250 – Поля регистра *PCIe_LocMgmt_i_debug_dllp_count_gen2_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	GEN2 DLLP Count: содержит количество сообщений пакетного уровня (DLLP), полученных при работе на частоте 5 ГГц

1.4.1.6.2.3.4.31 *PCIe_LocMgmt_i_debug_dllp_count_gen3_reg (0x114C)*

Этот регистр предназначен для отладки.

Описание полей регистра приведено в таблице 251.

Таблица 251 – Поля регистра *PCIe_LocMgmt_i_debug_dllp_count_gen3_reg*

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	GEN1 DLLP Count: содержит количество сообщений пакетного уровня (DLLP), полученных при работе на частоте 8 ГГц. Не должен использоваться в этой микросхеме

1.4.1.6.2.3.4.32 *PCIe_LocMgmt_i_negotiated_lane_map_reg (0x1200)*

Описание полей регистра приведено в таблице 252.

					ЮФКВ.431268.020РЭ		Лист
							177
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 252 – Поля регистра PCIe_LocMgmt_i_negotiated_lane_map_reg

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Negotiated Lane Map: по окончании обучения установленные биты соответствуют работающим линиям. Справедливо только в режимах L0 и L0s
15:4	R	0x0	Reserved
16	R	0x0	Lane Reversal Status: аппаратно устанавливается, если при обучении была инвертирована последовательность линий
31:17	R	0x0	Reserved

1.4.1.6.2.3.4.33 PCIe_LocMgmt_i_receive_fts_count_reg (0x1204)

Описание полей регистра приведено в таблице 253.

Таблица 253 – Поля регистра PCIe_LocMgmt_i_receive_fts_count_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	Received FTS Count for 5GT/s Speed: количество последовательностей ускоренного обучения (FTS), которые должны быть посланы этим контроллером при выходе из L0s состояния при работе на частоте 5 ГГц. Значение получается от ответного устройства в ходе обучения линка
31:8	R	0x0	Reserved

1.4.1.6.2.3.4.34 PCIe_LocMgmt_i_debug_mux_control_reg (0x1208)

Этот регистр предназначен для отладки.

Описание полей регистра приведено в таблице 254.

Таблица 254 – Поля регистра PCIe_LocMgmt_i_debug_mux_control_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R/W	0x0	Mux Select: выбор подключения отладочной шины
6:5	R	0x0	Reserved
7	R/W	0x0	Reserved
8	R	0x0	Reserved
9	R	0x0	Reserved
10	R	0x0	Reserved
11	R/W	0x0	Disable Client TX MUX arbitration: установка в 1 запретит перемешанную передачу завершений и арбитраж PNP запросов. Будет использован циклический приоритет, чтобы предотвратить простаивание PNP запросов при присутствующих завершениях
12	R	0x0	Reserved
13	R	0x0	Reserved
14	R	0x0	Reserved
15	R/W	0x0	Force Disable Scrambling: 0 – скремблер и дескремблер включены 1 – скремблер и дескремблер выключены
16	R/W	0x0	Enable AXI Bridge Write Priority: установка этого бита в 1 сделает AXI Write транзакции приоритетнее AXI Read для выдачи на PCIe шину, если они пришли одновременно
17	R	0x0	Reserved
19:18	R	0x0	Reserved
20	R/W	0x0	Disable checking of invalid message codes: установка в 1 отключит проверку правильности кодов сообщений (Messages). Этот бит обычно должен быть сброшен в 0, поскольку проверка обязательно по спецификации PCIe
22:21	R	0x0	Reserved

					ЮФКВ.431268.020РЭ	Лист 178
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Биты	Тип доступа	Начальное значение	Описание
23	R/W	0x0	Disable Link Upconfigure Capability: установка в 1 отключит у контроллера способность к переконфигурации (upconfigure capability). Также неиспользуемые лейны будут переведены в отключенное (Turn Off) состояние, т. е. будут установлены соответствующие им сигналы PIPE_TX_ELEC_IDLE и PIPE_TX_COMPLIANCE
24	R/W	0x0	Enable Fast Link Training: установка в 1 ускорит обучения линка. При этом 1 мс, 2 мс, 12 мс, 24 мс, 32 мс, 48 мс интервалы, используемые в LTSSM, будут ускорены в 500 раз. Также в состоянии Polling.Active требуется принять только 16 обучающих последовательностей вместо 1024. Этот бит предполагается использовать только при моделировании
25	R/W	0x0	Enable Slot Power Capture: при установке в 1 контроллер будет брать параметры мощности слота (Slot Power Limit Value и Slot Power Limit Scale) из соответствующих сообщений (Set_Slot_Power_Limit). Используется только в режиме EndPoint
26	R	0x0	Reserved
27	R	0x0	Reserved
28	R/W	0x0	Disable Electrical Idle Infer in L0 State: установка в 1 этого бита запретит вставку ElecIdle в L0 состоянии. Иначе, если в течение 128 мкс приемник не получает сообщений обновления управления процессом (Flow Control Update DLLP) или SKP, считается, что он электрически отключен. Этот бит полезен при тестировании, но его не следует устанавливать при нормальной работе интерфейса
29	R/W	0x0	Disable Flow Control Update Timeout: 0 – контроллер начнет переобучение линка, если в течение 128 мкс не принимает сообщений обновления управления процессом (Flow Control Update DLLP). 1 – этот таймаут отключен. Этот бит полезен при тестировании, но его не следует устанавливать при нормальной работе интерфейса
30	R/W	0x0	Disable Ordering Checks: установка этого бита в 1 отключает проверку последовательности принимаемых Posted запросов и выдаваемых подтверждений
31	R/W	0x01	Enable Function-Specific Reporting of Type-1 Configuration Accesses: 0 – все включенные функции будут докладывать об ошибке, если контроллер принял конфигурационный запрос типа 1, направленный к любой функции; 1 – докладывать об ошибке в той же ситуации будет только функция, номер которой указан в запросе. Если запрос указывает на несуществующую функцию, все включенные функции будут докладывать об ошибке

1.4.1.6.2.3.4.35 PCIe_LocMgmt_i_local_error_status_register (0x120C)

Описание полей регистра приведено в таблице 255.

Таблица 255 – Поля регистра PCIe_LocMgmt_i_local_error_status_register

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	PNP RX FIFO Parity Error: ошибка четности при чтении из PNP FIFO RAM
1	R/WOCLR	0x0	Completion RX FIFO Parity: ошибка четности при чтении из Completion FIFO RAM
2	R/WOCLR	0x0	Replay RAM Parity Error: ошибка четности при чтении из Replay Buffer RAM
3	R/WOCLR	0x0	PNP RX FIFO Overflow: переполнение PNP FIFO RAM
4	R/WOCLR	0x0	Completion RX FIFO Overflow: переполнение Completion FIFO RAM
5	R/WOCLR	0x0	Replay Timeout: достижение таймером повтора максимального значения

					ЮФКВ.431268.020РЭ		Лист 179
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
6	R/WOCLR	0x0	Replay Timer Rollover: четыре подряд Replay Timeout с одним и тем же пакетом
7	R/WOCLR	0x0	Phy Error: ошибка в приемнике на физическом уровне
8	R/WOCLR	0x0	Malformed TLP Received: прием поврежденного пакета уровня транзакций
9	R/WOCLR	0x0	Unexpected Completion Received: получение неожиданного подтверждения
10	R/WOCLR	0x0	Flow Control Error: ошибка управления потоком данных
11	R/WOCLR	0x0	Completion Timeout: отсутствие подтверждения (completion) в течение требуемого времени
12	R	0x0	Reserved
16:13	R	0x0	Reserved
17	R	0x0	Reserved
18	R/WOCLR	0x0	Unmapped TC: неправильный класс трафика
19	R/WOCLR	0x0	MSI Mask Value Change: устанавливается при изменении маски MSI прерываний
20	R	0x0	Reserved
21	R/WOCLR	0x0	Hardware Autonomous Width Change Disable Toggle: устанавливается при изменении Hardware Autonomous Width Change бита
24:22	R	0x0	Reserved
25	R/WOCLR	0x0	MSIX Function Mask Change: устанавливается при программном или аппаратном изменении общей маски MSI-X прерываний любой функции
27:26	R	0x0	Reserved
28	R/WOCLR	0x0	axi master deinterleave buffer ram ecc uncorrectable error: ошибка четности при чтении из AXI Interleaving RAM
30:29	R	0x0	Reserved
31	R/WOCLR	0x0	AXI slave reorder RAM ECC uncorrectable error: ошибка четности при чтении из AXI Slave Read Reorder RAM

1.4.1.6.2.3.4.36 PCIe_LocMgmt_i_local_intrpt_mask_reg (0x1210)

Описание полей регистра приведено в таблице 256.

Таблица 256 – Поля регистра PCIe_LocMgmt_i_local_intrpt_mask_reg

Биты	Тип доступа	Начальное значение	Описание
0	R/W	1'b1	PNP RX FIFO Parity Error: маска соответствующего прерывания
1	R/W	1'b1	Completion RX FIFO Parity Error: маска соответствующего прерывания
2	R/W	1'b1	Replay RAM Parity Error: маска соответствующего прерывания
3	R/W	1'b1	PNP RX FIFO Overflow: маска соответствующего прерывания
4	R/W	1'b1	Completion RX FIFO Overflow: маска соответствующего прерывания
5	R/W	1'b1	Replay Timeout: маска соответствующего прерывания
6	R/W	1'b1	Replay Timer Rollover: маска соответствующего прерывания
7	R/W	1'b1	Phy Error: маска соответствующего прерывания
8	R/W	1'b1	Malformed TLP Received: маска соответствующего прерывания
9	R/W	1'b1	Unexpected Completion Received: маска соответствующего прерывания
10	R/W	1'b1	Flow Control Error: маска соответствующего прерывания
11	R/W	1'b1	Completion Timeout: маска соответствующего прерывания
12	R	1'b0	Reserved
16:13	R	0x0	Reserved
17	R	0x0	Reserved
18	R/W	0x1	Unmapped TC: маска соответствующего прерывания
19	R/W	0x1	MSI Mask Value Change: маска соответствующего прерывания
20	R	1'b0	Reserved
21	R/W	1'b1	Hardware Autonomous Width Change Disable Toggle: маска соответствующего прерывания
24:22	R	0x0	Reserved
25	R/W	0x1	MSIX Function Mask Change: маска соответствующего прерывания

					ЮФКВ.431268.020РЭ		Лист 180
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
26	R/W	0x0	DMA outbound buffer uncorrectable error mask: маска ошибки четности при чтении из выходного буфера ПДП контроллера
27	R/W	0x0	DMA inbound buffer uncorrectable error mask: маска ошибки четности при чтении из входного буфера ПДП контроллера
28	R/W	0x0	axi master deinterleave buffer ram ecc uncorrectable error mask: маска соответствующего прерывания
30:29	R	0x0	Reserved
31	R/W	0x0	axi slave reorder ram ecc uncorrectable error mask: маска соответствующего прерывания

1.4.1.6.2.3.4.37 PCIe_LocMgmt_i_lcrc_err_count_reg (0x1214)

Описание полей регистра приведено в таблице 257.

Таблица 257 – Поля регистра PCIe_LocMgmt_i_lcrc_err_count_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/WOCLR	0x0	LCRC Error Count: количество пакетов уровня транзакций (TLP), полученных с LCRC ошибкой
31:16	R	0x0	Reserved

1.4.1.6.2.3.4.38 PCIe_LocMgmt_i_ecc_corr_err_count_reg (0x1218)

Описание полей регистра приведено в таблице 258.

Таблица 258 – Поля регистра PCIe_LocMgmt_i_ecc_corr_err_count_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/WOCLR	0x0	PNP FIFO RAM Correctable Error Count: количество исправимых ошибок, обнаруженных при чтении из PNP FIFO RAM. Является счетчиком с насыщением, сбрасывается записью 1 во все биты
15:8	R/WOCLR	0x0	SC FIFO RAM Correctable Error Count: количество исправимых ошибок, обнаруженных при чтении из SC FIFO RAM Correctable Error Count. Является счетчиком с насыщением, сбрасывается записью 1 во все биты
23:16	R/WOCLR	0x0	Replay RAM Correctable Error Count: количество исправимых ошибок, обнаруженных при чтении из Replay RAM. Является счетчиком с насыщением, сбрасывается записью 1 во все биты
31:24	R/WOCLR	0x0	TPH ST RAM Correctable Error Count: параметр не поддерживается в этой микросхеме

1.4.1.6.2.3.4.39 PCIe_LocMgmt_i_pme_service_timeout_delay_reg (0x1224)

Описание полей регистра приведено в таблице 259.

Таблица 259 – Поля регистра PCIe_LocMgmt_i_pme_service_timeout_delay_reg

Биты	Тип доступа	Начальное значение	Описание
19:0	R/W	0x186A0	PME Service Timeout Delay: задержка повторного послания сообщений PM_PME. Значение задержки равно $([19:0] + 1) * 1 \mu\text{с}$. Эти сообщения относятся к управлению питанием
20	R/W	0x0	Disable PME message on PM Status: установка этого бита запрещает автоматическое послание сообщений изменения режима питания (PME)
31:21	R	0x0	Reserved

1.4.1.6.2.3.4.40 PCIe_LocMgmt_i_root_port_requestor_id_reg (0x1228)

Описание полей регистра приведено в таблице 260.

					ЮФКВ.431268.020РЭ		Лист 181
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

Таблица 260 – Поля регистра PCIe_LocMgmt_i_root_port_requestor_id_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0	Root Port Requestor ID: номер шины, устройства и функции (RID), присваиваемые хост-контроллером всем пакетам уровня транзакций (TLP)
31:16	R	0x0	Reserved

1.4.1.6.2.3.4.41 PCIe_LocMgmt_i_ep_bus_device_number_reg (0x122C)

Описание полей регистра приведено в таблице 261.

Таблица 261 – Поля регистра PCIe_LocMgmt_i_ep_bus_device_number_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R	0x0	Device Number: номер устройства, полученный в режиме EP
7:5	R	0x0	Reserved
15:8	R	0x0	Bus Number: номер шины, полученный в режиме EP
31:16	R	0x0	Reserved

1.4.1.6.2.3.4.42 PCIe_LocMgmt_i_debug_mux_control_2_reg (0x1234)

Описание полей регистра приведено в таблице 262.

Таблица 262 – Поля регистра PCIe_LocMgmt_i_debug_mux_control_2_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Reserved
1	R	0x0	Reserved
2	R	0x0	Reserved
3	R/W	0x0	Enable Link Lane Number Check for Loopback and Link Disable: обычно (согласно спецификации PCIe), если устройство во время обучения получает две последовательных TS1 последовательности с установленными битами loopback или disable, то оно переходит в соответствующий режим (независимо от источника TS1). Установка этого параметра включает проверку источника TS1 сообщения, что предотвратит такую ситуацию. Рекомендуемое значение параметра – 0
4	R	0x0	Reserved
7:5	R	0x0	Reserved
8	R	0x0	Reserved
9	R	0x0	Reserved
31:10	R	0x0	Reserved

1.4.1.6.2.3.4.43 PCIe_LocMgmt_i_pf_0_BAR_config_0_reg (0x1240)

Описание полей регистра приведено в таблице 263.

					ЮФКВ.431268.020РЭ		Лист 182
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Таблица 263 – Поля регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R/W	5'hb	BAR 0 Aperture: определяет размер региона № 0 в режиме EP Для 32-битной адресации: 5'b00000 = 128 В 5'b00001 = 256 В 5'b00010 = 512 В 5'b00011 = 1 КВ 5'b00100 = 2 КВ 5'b00101 = 4 КВ 5'00110 = 8 КВ 5'00111 = 16 КВ 5'01000 = 32 КВ 5'01001 = 64 КВ 5'01010 = 128 КВ 5'01011 = 256 КВ 5'01100 = 512 КВ 5'01101 = 1 МВ 5'01110 = 2 МВ 5'01111 = 4 МВ 5'10000 = 8 МВ 5'10001 = 16 МВ 5'10010 = 32 МВ 5'10011 = 64 МВ 5'10100 = 128 МВ 5'10101 = 256 МВ 5'10110 = 512 МВ 5'10111 = 1 GB 5'11000 = 2 GB для 64-битной адресации также разрешены значения: 5'11001 = 4 GB 5'11010 = 8 GB 5'11011 = 16 GB 5'11100 = 32 GB 5'11101 = 64 GB 5'11110 = 128 GB 5'11111 = 256 GB остальные значения зарезервированы
7:5	R/W	3'h4	BAR 0 Control: тип доступа к региону № 0 000 – отсутствие доступа к региону 001 – доступ типа IO 100 – доступ типа Memory 32 non prefetchable 101 – доступ типа Memory 32 prefetchable 110 – доступ типа Memory 64 non prefetchable 111 – доступ типа Memory 64 prefetchable остальные значения зарезервированы
12:8	R/W	5'hd	BAR 1 Aperture: аналогичный параметр для региона № 1
15:13	R/W	3'h4	BAR 1 Control: аналогичный параметр для региона № 1
20:16	R/W	5'h5	BAR 2 Aperture: аналогичный параметр для региона № 2
23:21	R/W	3'h0	BAR 2 Control: аналогичный параметр для региона № 2
28:24	R/W	5'h5	BAR 3 Aperture: аналогичный параметр для региона № 3
31:29	R/W	3'h0	BAR 3 Control: аналогичный параметр для региона № 3

1.4.1.6.2.3.4.44 PCIe_LocMgmt_i_pf_0_BAR_config_1_reg (0x1244)

Описание полей регистра приведено в таблице 264.

Таблица 264 – Поля регистра PCIe_LocMgmt_i_pf_0_BAR_config_1_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R/W	5'h5	BAR 4 Aperture: аналогичный параметр для региона № 4

					ЮФКВ.431268.020РЭ		Лист 183
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редхелл</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
7:5	R/W	3'h0	BAR 4 Control: аналогичный параметр для региона № 4
12:8	R/W	5'h5	BAR 5 Aperture: аналогичный параметр для региона № 5
15:13	R/W	3'h0	BAR 5 Control: аналогичный параметр для региона № 5
31:16	R	0x0	Reserved

1.4.1.6.2.3.4.45 PCIe_LocMgmt_i_pf_config_reg (0x12C0)

Описание полей регистра приведено в таблице 265.

Таблица 265 – Поля регистра PCIe_LocMgmt_i_pf_config_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	0x01	Function 0 Enable: включение функции № 0. Всегда равно 1
31:1	R	0x0	Reserved

1.4.1.6.2.3.4.46 PCIe_LocMgmt_i_rc_BAR_config_reg (0x1300)

Описание полей регистра приведено в таблице 266.

Таблица 266 – Поля регистра PCIe_LocMgmt_i_rc_BAR_config_reg

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0x14	RC BAR 0 Aperture: определяет размер региона № 0 в режиме хост-контроллера (RP) 0000 = 4B, 00001 = 8B, ..., 01_1111 = 8G, ..., 10_0100 = 256G остальные значения зарезервированы
8:6	R/W	0x4	RC BAR 0 control: тип доступа к региону № 0 в режиме хост-контроллера 000 – отсутствие доступа к региону 001 – доступ типа IO 100 – доступ типа Memory non prefetchable 101 – доступ типа Memory prefetchable остальные значения зарезервированы
13:9	R/W	0x14	RC BAR 1 Aperture: аналогичный параметр для региона № 1
16:14	R/W	0x0	RC BAR 1 control: аналогичный параметр для региона № 1
17	R/W	0x0	Type1 cfg prefetchable mem bar enable: разрешение доступа типа Memory prefetchable в стандартном конфигурационном пространстве типа 1 (type1 config space)
18	R/W	0x0	Type1 cfg prefetchable mem bar size: ширина адреса для доступа типа Memory prefetchable в стандартном конфигурационном пространстве типа 1 0 – 32 бита 1 – зарезервировано
19	R/W	0x0	Type1 cfg IO bar enable: разрешение доступа типа IO в стандартном конфигурационном пространстве типа 1
20	R/W	0x0	Type1 cfg IO bar size: ширина адреса для доступа типа IO в стандартном конфигурационном пространстве типа 1 0 – 32 бита 1 – зарезервировано
30:21	R	0x0	Reserved
31	R/W	0x0	RC BAR Check Enable: 1 – включение проверки адресов принимаемых сообщений на соответствие границам регионов 0 – настройки BAR игнорируются, все сообщения пропускаются Используется только в режиме хост-контроллера

1.4.1.6.2.3.4.47 PCIe_LocMgmt_i_ecc_corr_err_count_reg_axi (0x1C80)

Описание полей регистра приведено в таблице 267.

					Лист
					184
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Таблица 267 – Поля регистра PCIe_LocMgmt_i_ecc_corr_err_count_reg_axi

Биты	Тип доступа	Начальное значение	Описание
7:0	R/WOCLR	0x0	AXI slave reorder RAM ECC correctable error count: количество исправимых ошибок при чтении из AXI Slave Read Reorder RAM. Запись 0xFF сбросит счетчик к начальному значению
23:8	R	0x0	Reserved
31:24	R/WOCLR	0x0	AXI master deinterleave buffer RAM ECC Correctable Error Count: количество исправимых ошибок при чтении из AXI Interleaving SRAM. Запись 0xFF сбросит счетчик к начальному значению

1.4.1.6.2.3.4.48 PCIe_LocMgmt_low_power_debug_and_control0 (0x1C88)

Описание полей регистра приведено в таблице 268.

Таблица 268 – Поля регистра PCIe_LocMgmt_low_power_debug_and_control0

Биты	Тип доступа	Начальное значение	Описание
23:0	R	24'h000000	Reserved
24	R/W	0x0	Do Not block Request interface: 0 – нормальная работа 1 – контроллер не блокирует TLP в процессе входа в L1 состояние Этот параметр используется только для отладки
26:25	R	0x0	L1 entry mode: показывает каким образом контроллер в последний раз вошел в L1 состояние [0] – автоматически (ASPM) [1] – программно (PM) Этот параметр используется только для отладки
27	R/W	0x0	Disable L1 exit upon Pending Tlps: запрещает автоматический выход из L1 состояния при получении TLP. Этот параметр используется только для отладки
31:28	R	4'h0	Reserved

1.4.1.6.2.3.4.49 PCIe_LocMgmt_low_power_debug_and_control1 (0x1C8C)

Описание полей регистра приведено в таблице 269.

Таблица 269 – Поля регистра PCIe_LocMgmt_low_power_debug_and_control1

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	L1 or L1.x Exit Trigger conditions: показывает событие, вызвавшее выход из L1 (и его подтипов) состояния. [0] – установка сигнала CLIENT_REQ_EXIT_L1 (доступен из системного контроллера CSC в этой микросхеме) [1] – обнаружен дифференциальный сигнал на входной линии [2] – получено новое сообщение уровня транзакций (TLP) [3] – внутренний запрос на послание сообщения уровня транзакций [4] – транзакции от встроенного ПДП контроллера или ранее заблокированные транзакции [5] – установка сигнала #CLKREQ [6] – установка сигнала CLIENT_REQ_EXIT_L1_SUBSTATE [7] – обращение к регистрам события 5, 6, 7 только для подтипов состояния L1 Этот параметр используется только для отладки
31:8	R	24'h000000	Reserved

1.4.1.6.2.3.4.50 PCIe_LocMgmt_tl_internal_control (0x1C94)

Описание полей регистра приведено в таблице 270.

					ЮФКВ.431268.020РЭ		Лист
							185
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Таблица 270 – Поля регистра PCIe_LocMgmt_tl_internal_control

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	Enable CRS under FLR: разрешает принятие внешних конфигурационных сообщений при высокоуровневом сбросе (FLR – function level reset)
31:1	R	31'h00000000	Reserved

1.4.1.6.2.3.4.51 PCIe_LocMgmt_i_ld_ctrl (0x1DA0)

Описание полей регистра приведено в таблице 271.

Таблица 271 – Поля регистра PCIe_LocMgmt_i_ld_ctrl

Биты	Тип доступа	Начальное значение	Описание
23:0	R/W	0x5F5E10	Link Down Indication Auto Reset Timer Control Value: интервал времени, по истечении которого бит индикации отключения линка будет автоматически сброшен, если разрешено
24	R/W	0x1	Link Down indication bit auto reset enable: управляет автоматическим сбросом бита индикации отключения линка (бит Link down indication bit регистра PCIe_AXI_10, см. п. 1.4.1.6.2.3.5.10). 1 – автоматический сброс разрешен 0 – автоматический сброс запрещен
31:25	R	0x0	Reserved

1.4.1.6.2.3.4.52 PCIe_LocMgmt_rx_elec_idle_filter_control (0x1DA4)

Этот регистр управляет поведением фильтра шумов сигнала PIPE_RX_Electrical_Idle. Регистр не нуждается в программировании для нормальной работы. Периоды фильтрации должны быть максимально близки друг к другу.

Описание полей регистра приведено в таблице 272.

Таблица 272 – Поля регистра PCIe_LocMgmt_rx_elec_idle_filter_control

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	0x0	RX Electrical Idle Glitch Filter Disable: каждый бит этого параметра управляет фильтром шумов соответствующего лейна (всего четыре лейна). 0 – фильтр включен 1 – фильтр в режиме bypass
15:4	R	0x0	Reserved
23:16	R/W	0x20	RX Electrical Idle Glitch Filter Count CORE Clocks: период фильтрации в тактах CORE Clock
31:24	R/W	0x04	RX Electrical Idle Glitch Filter Count PM Clocks: период фильтрации в тактах PM Clock

1.4.1.6.2.3.5 Описание полей регистров управления AXI портом

В приведенных ниже таблицах описания регистров поле «Тип доступа» относится к шине APB. Все регистры локального управления недоступны для конфигурационных запросов по шине PCIe. Тем не менее, поскольку они являются частью AXI пространства, к ним можно обращаться с помощью Memory или IO запросов (как к внутренним адресам микросхемы).

					ЮФКВ.431268.020РЭ		Лист
							186
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.5.1 *PCIe_AXI_outregion_0_addr_translation_0 (0x4000)*

Этот регистр содержит параметры трансляции адресов AXI slave шины. Подробное описание трансляции адресов в п. 1.4.1.6.2.4

Описание полей регистра приведено в таблице 273.

Таблица 273 – Поля регистра *PCIe_AXI_outregion_0_addr_translation_0*

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	6'h00	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции
7:6	R	2'b00	Reserved
31:8	R/W	24'h00000000	Address bits [31:8]: эти биты заменяют соответствующие биты адреса AXI шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits

1.4.1.6.2.3.5.2 *PCIe_AXI_outregion_0_addr_translation_1 (0x4004)*

Этот регистр содержит параметры трансляции адресов AXI slave шины.

Описание полей регистра приведено в таблице 274.

Таблица 274 – Поля регистра *PCIe_AXI_outregion_0_addr_translation_1*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [63:32]: эти биты заменяют [63:32] биты адреса AXI шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits. (Несмотря на то, что адрес AXI шины 32-битный, адрес PCI шины может быть 64-битным)

1.4.1.6.2.3.5.3 *PCIe_AXI_outregion_0_header_descriptor_0 (0x4008)*

Младшая часть дескриптора региона № 0. Описание полей регистра приведено в таблице 275.

Таблица 275 – Поля регистра *PCIe_AXI_outregion_0_header_descriptor_0*

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	4'h0	Тип транзакции PCIe для текущего региона 0b0010 – Memory 0b0110 – IO 0b1010 – Type 0 configuration 0b1011 – Type 1 configuration 0b1101 – Vendor defined message 0b1100 – Normal message остальные значения зарезервированы
4	R/W	1'b0	Отмена снупинга (No Snoop)
5	R/W	1'b0	Произвольный порядок сообщений (Relaxed Ordering)
6	R/W	1'b0	Порядок сообщений в зависимости от ID (ID-Based Ordering)
7	R	1'b0	Резерв
15:8	R/W	8'h00	[71:64] биты заголовка Vendor defined message. Только при типе транзакции 0b1101, в остальных случаях – резерв.
16	R	1'b0	Резерв
19:17	R/W	3'h0	Класс трафика (PCIe Traffic Class)
20	R/W	1'b0	Установка этого бита делает транзакции типа write memory ошибочными (устанавливает бит poisoned). Только при типе транзакции 0b0010, в остальных случаях – зарезервировано.
21	R/W	1'b0	При установке этого бита ECRC принудительно добавляется к сообщениям. ECRC будет добавлено, даже если устройству запрещено это делать.
22	R	1'b0	Резерв

					ЮФКВ.431268.020РЭ		Лист
							187
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Биты	Тип доступа	Начальное значение	Описание
23	R/W	1'b0	Для типов транзакции 0b0010, 0b0110, 0b1101, 0b1100: 0 – контроллер будет использовать полученные значения номера шины и устройства для формирования идентификатора запроса (Requester ID) 1 – контроллер будет использовать биты [31:27] текущего регистра и биты [7:0] следующего регистра для формирования идентификатора запроса (Requester ID) Этот бит всегда должен быть установлен в режиме хоста (RP). для типов транзакций 0b1010 и 0b1011: 1 – контроллер будет использовать адрес AXI для формирования идентификатора запроса (Requester ID). Биты [27:20] адреса в качестве номера шины. Биты [19:15] адреса в качестве номера устройства.
26:24	R/W	3'h0	Для типов транзакции 0b0010, 0b0110, 0b1101, 0b1100: номер функции в обычном режиме. Младшая часть номера функции в ARI режиме. для типов транзакций 0b1010 и 0b1011: зарезервировано.
31:27	R/W	5'h00	Для типов транзакции 0b0010, 0b0110, 0b1101, 0b1100: номер устройства при установленном бите [23]. Старшая часть номера функции в ARI режиме. для типов транзакций 0b1010 и 0b1011: зарезервировано

1.4.1.6.2.3.5.4 PCIe_AXI_outregion_0_header_descriptor_1 (0x400C)

Старшая часть дескриптора региона 0. Описание полей регистра приведено в таблице 276.

Таблица 276 – Поля регистра PCIe_AXI_outregion_0_header_descriptor_1

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000 0	Для типов транзакции 0b0010, 0b0110, 0b1101, 0b1100: номер шины при установленном бите [23] предыдущего регистра, иначе не используется. для типов транзакций 0b1010 и 0b1011: зарезервировано. [31:8] – Reserved

1.4.1.6.2.3.5.5 PCIe_AXI_outregion_0_region_base_addr (0x4018)

Описание полей регистра приведено в таблице 277.

Таблица 277 – Поля регистра PCIe_AXI_outregion_0_region_base_addr

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	6'h0	Lower Mask bits for SOC address: ([5:0] + 1) битов адреса, начиная с нулевого не будут участвовать в выборе региона
7:6	R/W	2'h0	Reserved
31:8	R/W	24'h00000000 0	Address bits [31:8]: биты этого параметра сравниваются с адресом, полученным по AXI шине. При равенстве выбирается регион № 0

1.4.1.6.2.3.5.6 AXI Outbound Region x Register Sets

Контроллер PCIe поддерживает 32 внешних региона. Для каждого из них есть пять регистров, аналогичных регистрам, описанным в пп. 1.4.1.6.2.3.5.1, 1.4.1.6.2.3.5.2, 1.4.1.6.2.3.5.3, 1.4.1.6.2.3.5.4, 1.4.1.6.2.3.5.5.

					ЮФКВ.431268.020РЭ		Лист
							188
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.5.7 *PCIe_AXI_inregion_rc_bar_0_addr_translation (0x4800)*

Описание полей регистра приведено в таблице 278.

Таблица 278 – Поля регистра *PCIe_AXI_inregion_rc_bar_0_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	6'h00	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции. При установке значения меньше 7 замена адреса будет проводиться некорректно
7:6	R	2'b00	Reserved
31:8	R/W	24'h00000000	Address bits [31:8]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits

1.4.1.6.2.3.5.8 *PCIe_AXI_inregion_rc_bar_1_addr_translation (0x4808)*

Описание полей регистра приведено в таблице 279.

Таблица 279 – Поля регистра *PCIe_AXI_inregion_rc_bar_1_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	6'h00	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции. При установке значения меньше 7 замена адреса будет проводиться некорректно
7:6	R	2'b00	Reserved
31:8	R/W	24'h00000000	Address bits [31:8]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits

1.4.1.6.2.3.5.9 *PCIe_AXI_inregion_rc_bar_2_addr_translation (0x4810)*

Этот регистр существует, но ситуация, в которой он используется, невозможна.

Описание полей регистра приведено в таблице 280.

Таблица 280 – Поля регистра *PCIe_AXI_inregion_rc_bar_2_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	6'h00	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции. При установке значения меньше 7 замена адреса будет проводиться некорректно
7:6	R	2'b00	Reserved
31:8	R/W	24'h00000000	Address bits [31:8]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits

1.4.1.6.2.3.5.10 *PCIe_AXI_I0 (0x4824)*

Описание полей регистра приведено в таблице 281.

Таблица 281 – Поля регистра *PCIe_AXI_I0*

Биты	Тип доступа	Начальное значение	Описание
0	R/W	1'h0	Link down indication bit: этот бит устанавливается автоматически при программном сбросе интерфейса (link down reset). Потом необходимо записать 0 для работы
31:1	R	31'h00000000	Reserved

					ЮФКВ.431268.020РЭ		Лист 189
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.3.5.11 *PCIe_AXI_inregion_ep_bar_0_addr_translation (0x4840)*

Описание полей регистра приведено в таблице 282.

Таблица 282 – Поля регистра *PCIe_AXI_inregion_ep_bar_0_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0

1.4.1.6.2.3.5.12 *PCIe_AXI_inregion_ep_bar_1_addr_translation (0x4848)*

Описание полей регистра приведено в таблице 283.

Таблица 283 – Поля регистра *PCIe_AXI_inregion_ep_bar_1_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины

1.4.1.6.2.3.5.13 *PCIe_AXI_inregion_ep_bar_2_addr_translation (0x4850)*

Описание полей регистра приведено в таблице 284.

Таблица 284 – Поля регистра *PCIe_AXI_inregion_ep_bar_2_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины

1.4.1.6.2.3.5.14 *PCIe_AXI_inregion_ep_bar_3_addr_translation (0x4858)*

Описание полей регистра приведено в таблице 285.

Таблица 285 – Поля регистра *PCIe_AXI_inregion_ep_bar_3_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины

1.4.1.6.2.3.5.15 *PCIe_AXI_inregion_ep_bar_4_addr_translation (0x4860)*

Описание полей регистра приведено в таблице 286.

Таблица 286 – Поля регистра *PCIe_AXI_inregion_ep_bar_4_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины

1.4.1.6.2.3.5.16 *PCIe_AXI_inregion_ep_bar_5_addr_translation (0x4868)*

Описание полей регистра приведено в таблице 287.

Таблица 287 – Поля регистра *PCIe_AXI_inregion_ep_bar_5_addr_translation*

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины

1.4.1.6.2.3.5.17 *PCIe_AXI_inregion_ep_bar_6_addr_translation (0x4870)*

Этот регистр существует, но ситуация, в которой он используется, невозможна.

Описание полей регистра приведено в таблице 288.

					ЮФКВ.431268.020РЭ		Лист
							190
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 288 – Поля регистра PCIe_AXI_inregion_ep_bar_6_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000 0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины

1.4.1.6.2.3.6 Описание полей регистров управления контроллером ПДП

В приведенных ниже таблицах описания регистров поле «Тип доступа» относится к шине APB. Все регистры локального управления недоступны для конфигурационных запросов по шине PCIe. Тем не менее, поскольку они являются частью AXI пространства, к ним можно обращаться с помощью Memory или IO запросов (как к внутренним адресам микросхемы).

Описание полей регистра приведено в таблице 289.

1.4.1.6.2.3.6.1 PCIe_DMA_channel_0_ctrl (0x5000)

Таблица 289 – Поля регистра PCIe_DMA_channel_0_ctrl

Биты	Тип доступа	Начальное значение	Описание
0	R/W	1'b0	Go command bit: запуск работы канала № 0 контроллера ПДП
1	R/W	1'b0	Inbound or outbound select: направление передачи данных каналом № 0 0 – от PCIe шины в микросхему 1 – от микросхемы в PCIe шину
31:2	R	30'd0	Reserved

1.4.1.6.2.3.6.2 PCIe_DMA_channel_0_sp_l (0x5004)

Описание полей регистра приведено в таблице 290.

Таблица 290 – Поля регистра PCIe_DMA_channel_0_sp_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000 0	Start pointer Lower DWORD: младшие 32 бита адреса первого дескриптора передачи, используемого каналом № 0

1.4.1.6.2.3.6.3 PCIe_DMA_channel_0_sp_u (0x5008)

Описание полей регистра приведено в таблице 291.

Таблица 291 – Поля регистра PCIe_DMA_channel_0_sp_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000 0	Start Pointer Upper DWORD: старшие 32 бита адреса первого дескриптора передачи, используемого каналом № 0. Не используются в этой микросхеме

1.4.1.6.2.3.6.4 PCIe_DMA_channel_0_attr_l (0x500C)

Описание полей регистра приведено в таблице 292.

					ЮФКВ.431268.020РЭ		Лист
							191
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 292 – Поля регистра PCIe_DMA_channel_0_attr_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Descriptor Attributes Lower DWORD: младшие 32 бита параметров шины AXI, используемые каналом № 0 для получения дескриптора передачи. {1'b0, ar_attr[22]} – arbar [21:20] – ardomain [18:16] – arsnop [15:12] – arregion [11:8] – arqos [7] – arlock [6:3] – arcache [2:0] – arprot

1.4.1.6.2.3.6.5 PCIe_DMA_channel_0_attr_u (0x5010)

Описание полей регистра приведено в таблице 293.

Таблица 293 – Поля регистра PCIe_DMA_channel_0_attr_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Descriptor Attributes Lower DWORD: старшие 32 бита параметров шины AXI, используемые каналом № 0 для получения дескриптора передачи. Не используются в этой микросхеме

1.4.1.6.2.3.6.6 PCIe_DMA_channel_1_ctrl (0x5014)

Описание полей регистра приведено в таблице 294.

Таблица 294 – Поля регистра PCIe_DMA_channel_1_ctrl

Биты	Тип доступа	Начальное значение	Описание
0	R/W	1'b0	Go command bit: запуск работы канала № 1 контроллера ПДП
1	R/W	1'b0	Inbound or outbound select: направление передачи данных каналом № 1 0 – от PCIe шины в микросхему 1 – от микросхемы в PCIe шину
31:2	R	30'd0	Reserved

1.4.1.6.2.3.6.7 PCIe_DMA_channel_1_sp_l (0x5018)

Описание полей регистра приведено в таблице 295.

Таблица 295 – Поля регистра PCIe_DMA_channel_1_sp_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Start pointer Lower DWORD: младшие 32 бита адреса первого дескриптора передачи, используемого каналом № 1

1.4.1.6.2.3.6.8 PCIe_DMA_channel_1_sp_u (0x501C)

Описание полей регистра приведено в таблице 296.

Таблица 296 – Поля регистра PCIe_DMA_channel_1_sp_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Start Pointer Upper DWORD: старшие 32 бита адреса первого дескриптора передачи, используемые каналом № 1. Не используются в этой микросхеме

1.4.1.6.2.3.6.9 PCIe_DMA_channel_1_attr_l (0x5020)

Описание полей регистра приведено в таблице 297.

					ЮФКВ.431268.020РЭ		Лист 192
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 297 – Поля регистра PCIe_DMA_channel_1_attr_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Descriptor Attributes Lower DWORD: младшие 32 бита параметров шины AXI, используемые каналом № 1 для получения дескриптора передачи. {1'b0, ar_attr[22]} – arbar [21:20] – ardomain [18:16] – arsnop [15:12] – arregion [11:8] – arqos [7] – arlock [6:3] – arcache [2:0] – arprot

1.4.1.6.2.3.6.10 PCIe_DMA_channel_1_attr_u (0x5024)

Описание полей регистра приведено в таблице 298.

Таблица 298 – Поля регистра PCIe_DMA_channel_1_attr_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	32'h00000000	Descriptor Attributes Lower DWORD: старшие 32 бита параметров шины AXI, используемые каналом № 1 для получения дескриптора передачи. Не используются в этой микросхеме

1.4.1.6.2.3.6.11 PCIe_DMA_common_udma_int (0x50A0)

Описание полей регистра приведено в таблице 299.

Таблица 299 – Поля регистра PCIe_DMA_common_udma_int

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	1'b0	Channel 0 Done Interrupt: окончание каналом № 0 передачи, соответствующей текущему дескриптору
1	R/WOCLR	1'b0	Channel 1 Done Interrupt: окончание каналом № 1 передачи, соответствующей текущему дескриптору
2	R/WOCLR	1'b0	Channel 2 Done Interrupt: не используется в этой микросхеме
3	R/WOCLR	1'b0	Channel 3 Done Interrupt: не используется в этой микросхеме
4	R/WOCLR	1'b0	Channel 4 Done Interrupt: не используется в этой микросхеме
5	R/WOCLR	1'b0	Channel 5 Done Interrupt: не используется в этой микросхеме
6	R/WOCLR	1'b0	Channel 6 Done Interrupt: не используется в этой микросхеме
7	R/WOCLR	1'b0	Channel 7 Done Interrupt: не используется в этой микросхеме
8	R/WOCLR	1'b0	Channel 0 Error Interrupt: ошибка в работе канала № 0
9	R/WOCLR	1'b0	Channel 1 Error Interrupt: ошибка в работе канала № 1
10	R/WOCLR	1'b0	Channel 2 Error Interrupt: не используется в этой микросхеме
11	R/WOCLR	1'b0	Channel 3 Error Interrupt: не используется в этой микросхеме
12	R/WOCLR	1'b0	Channel 4 Error Interrupt: не используется в этой микросхеме
13	R/WOCLR	1'b0	Channel 5 Error Interrupt: не используется в этой микросхеме
14	R/WOCLR	1'b0	Channel 6 Error Interrupt: не используется в этой микросхеме
15	R/WOCLR	1'b0	Channel 7 Error Interrupt: не используется в этой микросхеме
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.12 PCIe_DMA_common_udma_int_ena (0x50A4)

Описание полей регистра приведено в таблице 300.

					ЮФКВ.431268.020РЭ		Лист 193
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редхелл</i> 24.10.2019		34203-2			

Таблица 300 – Поля регистра PCIe_DMA_common_udma_int_ena

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	1'b1	Channel 0 Done Enable Interrupt: запись этого бита разрешает прерывание по окончании передачи канала № 0
1	R/WOCLR	1'b1	Channel 1 Done Enable Interrupt: запись этого бита разрешает прерывание по окончании передачи канала № 1
2	R/WOCLR	1'b1	Channel 2 Done Enable Interrupt: не используется в этой микросхеме
3	R/WOCLR	1'b1	Channel 3 Done Enable Interrupt: не используется в этой микросхеме
4	R/WOCLR	1'b1	Channel 4 Done Enable Interrupt: не используется в этой микросхеме
5	R/WOCLR	1'b1	Channel 5 Done Enable Interrupt: не используется в этой микросхеме
6	R/WOCLR	1'b1	Channel 6 Done Enable Interrupt: не используется в этой микросхеме
7	R/WOCLR	1'b1	Channel 7 Done Enable Interrupt: не используется в этой микросхеме
8	R/WOCLR	1'b1	Channel 0 Error Enable Interrupt: запись этого бита разрешает прерывание при ошибке работы канала № 0
9	R/WOCLR	1'b1	Channel 1 Error Enable Interrupt: запись этого бита разрешает прерывание при ошибке работы канала № 1
10	R/WOCLR	1'b1	Channel 2 Error Enable Interrupt: не используется в этой микросхеме
11	R/WOCLR	1'b1	Channel 3 Error Enable Interrupt: не используется в этой микросхеме
12	R/WOCLR	1'b1	Channel 4 Error Enable Interrupt: не используется в этой микросхеме
13	R/WOCLR	1'b1	Channel 5 Error Enable Interrupt: не используется в этой микросхеме
14	R/WOCLR	1'b1	Channel 6 Error Enable Interrupt: не используется в этой микросхеме
15	R/WOCLR	1'b1	Channel 7 Error Enable Interrupt: не используется в этой микросхеме
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.13 PCIe_DMA_common_udma_int_dis (0x50A8)

Описание полей регистра приведено в таблице 301.

Таблица 301 – Поля регистра PCIe_DMA_common_udma_int_dis

Биты	Тип доступа	Начальное значение	Описание
0	R/WOSET	1'b1	Channel 0 Done Disable Interrupt: запись этого бита запрещает прерывание по окончании передачи канала № 0
1	R/WOSET	1'b1	Channel 1 Done Disable Interrupt: запись этого бита запрещает прерывание по окончании передачи канала № 1
2	R/WOSET	1'b1	Channel 2 Done Disable Interrupt: не используется в этой микросхеме
3	R/WOSET	1'b1	Channel 3 Done Disable Interrupt: не используется в этой микросхеме
4	R/WOSET	1'b1	Channel 4 Done Disable Interrupt: не используется в этой микросхеме
5	R/WOSET	1'b1	Channel 5 Done Disable Interrupt: не используется в этой микросхеме
6	R/WOSET	1'b1	Channel 6 Done Disable Interrupt: не используется в этой микросхеме
7	R/WOSET	1'b1	Channel 7 Done Disable Interrupt: не используется в этой микросхеме
8	R/WOSET	1'b1	Channel 0 Error Disable Interrupt: запись этого бита запрещает прерывание при ошибке работы канала № 0
9	R/WOSET	1'b1	Channel 1 Error Disable Interrupt: запись этого бита запрещает прерывание при ошибке работы канала № 1
10	R/WOSET	1'b1	Channel 2 Error Disable Interrupt: не используется в этой микросхеме
11	R/WOSET	1'b1	Channel 3 Error Disable Interrupt: не используется в этой микросхеме
12	R/WOSET	1'b1	Channel 4 Error Disable Interrupt: не используется в этой микросхеме
13	R/WOSET	1'b1	Channel 5 Error Disable Interrupt: не используется в этой микросхеме
14	R/WOSET	1'b1	Channel 6 Error Disable Interrupt: не используется в этой микросхеме
15	R/WOSET	1'b1	Channel 7 Error Disable Interrupt: не используется в этой микросхеме
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.14 PCIe_DMA_common_udma_ib_ecc_uncorrectable_errors (0x50AC)

Описание полей регистра приведено в таблице 302.

					ЮФКВ.431268.020РЭ		Лист 194
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

Таблица 302 – Поля регистра *PCIe_DMA_common_udma_ib_ecc_uncorrectable_errors*

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'd0	ECC Error Reg: количество неисправимых ошибок, возникших при чтении из входного буфера памяти ПДП контроллера (Inbound DMA RAM)
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.15 *PCIe_DMA_common_udma_ib_ecc_correctable_errors (0x50B0)*

Описание полей регистра приведено в таблице 302.

Таблица 303 – Поля регистра *PCIe_DMA_common_udma_ib_ecc_correctable_errors*

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'd0	ECC Error Reg: количество исправимых ошибок, возникших при чтении из входного буфера памяти ПДП контроллера (Inbound DMA RAM)
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.16 *PCIe_DMA_common_udma_ob_ecc_uncorrectable_errors (0x50B4)*

Описание полей регистра приведено в таблице 304.

Таблица 304 – Поля регистра *PCIe_DMA_common_udma_ob_ecc_uncorrectable_errors*

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'd0	ECC Error Reg: количество неисправимых ошибок, возникших при чтении из выходного буфера памяти ПДП контроллера (Inbound DMA RAM)
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.17 *PCIe_DMA_common_udma_ob_ecc_correctable_errors (0x50B8)*

Описание полей регистра приведено в таблице 305.

Таблица 305 – Поля регистра *PCIe_DMA_common_udma_ob_ecc_correctable_errors*

Биты	Тип доступа	Начальное значение	Описание
15:0	R	16'd0	ECC Error Reg: количество исправимых ошибок, возникших при чтении из выходного буфера памяти ПДП контроллера (Inbound DMA RAM)
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.18 *PCIe_DMA_common_udma_cap_ver (0x50F8)*

Описание полей регистра приведено в таблице 306.

Таблица 306 – Поля регистра *PCIe_DMA_common_udma_cap_ver*

Биты	Тип доступа	Начальное значение	Описание
7:0	R	8'd1	min_ver: минимальная версия блока ПДП
15:8	R	8'd0	maj_ver: максимальная версия блока ПДП
31:16	R	16'd0	Reserved

1.4.1.6.2.3.6.19 *PCIe_DMA_common_udma_config (0x50FC)*

Значения этого регистра жестко заданы и не могут изменяться ни программно, ни аппаратно.

Описание полей регистра приведено в таблице 307.

					ЮФКВ.431268.020РЭ		Лист
							195
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhal</i> 24.10.2019		34203-2			

Таблица 307 – Поля регистра PCIe_DMA_common_udma_config

Биты	Тип доступа	Начальное значение	Описание
3:0	R	4'd2	num_channels: количество каналов ПДП
7:4	R	4'd2	num_partitions: количество частей, на которые разбивается каждый буфер входной и выходной памяти
11:8	R	4'd6	partition_size: размер каждой части буферов памяти
12	R	1'd0	sys_aw_gt_32: ширина внутреннего адреса больше 32 бит
13	R	1'd0	sys_tw_gt_32: ширина атрибута для получения внутреннего дескриптора больше 32 бит
14	R	1'd1	ext_aw_gt_32: ширина внешнего адреса больше 32 бит
15	R	1'd0	ext_tw_gt_32: ширина атрибута для получения внешнего дескриптора больше 32 бит
31:16	R	16'd0	Reserved

1.4.1.6.2.4 Базовое преобразование адресов контроллера PCIe

Базовое преобразование также именуется первым уровнем трансляции адресов.

Контроллер интерфейса PCIe имеет две встроенных схемы смещения адресов транзакций, получаемых им изнутри микросхемы или снаружи по PCIe шине.

1.4.1.6.2.4.1 Изменение адресов транзакции, поступающих изнутри

Это преобразование адресов выполняется после их обработки блоком трансляции PCIe_outbound_trans.

Преобразование адресов одинаково для режимов RP и EP и происходит по следующему алгоритму.

Сначала полученному по AXI шине адресу ставится в соответствие один из 32 регионов (или никакой из них). Несколько младших бит адреса (количество определяется полем Lower Mask bits for SOC address регистра PCIe_AXI_outregion_0_region_base_addr, описанного в таблице 277) не участвуют в выборе. Оставшиеся старшие биты адреса сравниваются с полем Address bits того же регистра. Это сравнение производится для всех 32 регионов. При совпадении считается, что AXI транзакция относится к этому региону. При нескольких совпадениях больший приоритет у региона с меньшим номером.

Далее происходит трансляция адреса в соответствии с правилом, установленным для выбранного региона. Несколько младших бит адреса не изменяются (количество определяется полем Number_bits регистра PCIe_AXI_outregion_0_addr_translation_0 (см. таблицу 273). Вместо оставшихся старших бит подставляется значение поля Address bits того же регистра. При 64-разрядной адресации на PCIe шине, адрес дополняется значениями из регистра в таблице 274. Таким образом, исходное пространство в 1 Гбайт можно отображать на 32 отдельных пространствах.

Каждому региону присуще не только свое правило изменения адреса, но и тип транзакции (заголовок TLP). Он описывается в регистрах, описанных в таблицах 275 и 276.

1.4.1.6.2.4.2 Изменение адресов транзакций, поступающих снаружи

Преобразование адресов различается для режимов RP и EP.

Для режима EP оно происходит по следующему алгоритму. Сначала полученному по PCIe шине адресу ставится в соответствие один из шести регионов или никакой из них. Каждый регион имеет базовый адрес и размер (поля Base Address и BAR 0 Aperture в регистрах PCIe_EP_i_base_addr_X и PCIe_LocMgmt_i_pf_0_BAR_config_X_reg, где «X» – номер региона.

					ЮФКВ.431268.020РЭ		Лист
							196
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

При попадании адреса PCIe шины в описанный диапазон, считается, что PCIe транзакция относится к этому региону. При нескольких совпадениях больший приоритет у региона с меньшим номером.

Далее происходит трансляция адреса в соответствии с правилом, установленным для выбранного региона. Несколько младших бит адреса не изменяются (количество определяется размером региона). Вместо оставшихся старших бит подставляется значение поля Address bits регистра, описанного в таблице PCIe_AXI_inregion_ep_bar_X_addr_translation, где «X» – номер региона.

В режиме RP количество регионов равно двум. При трансляции адреса количество младших неизменяемых бит определяется не размером региона, а полем Number_bits регистра, описанного в таблице 278, где «X» – номер региона.

1.4.1.6.2.5 Встроенный контроллер прямого доступа контроллера PCIe

Контроллер интерфейса PCIe имеет встроенный контроллер прямого доступа в память (ПДП). Параметры ПДП передач располагаются в связанном списке дескрипторов (descriptor linked list), который, в свою очередь, должен быть расположен в памяти микросхемы.

Встроенный контроллер ПДП поддерживает три типа передач: блочную, распределенную запись и распределенное чтение.

При блочной передаче (Bulk mode) данные передаются одним целым массивом (см. рисунок 31).

При этом используется один дескриптор. Размер передаваемых данных ограничен 16 Мбайт. В блочном режиме можно динамически добавлять новые дескрипторы к связанному списку.

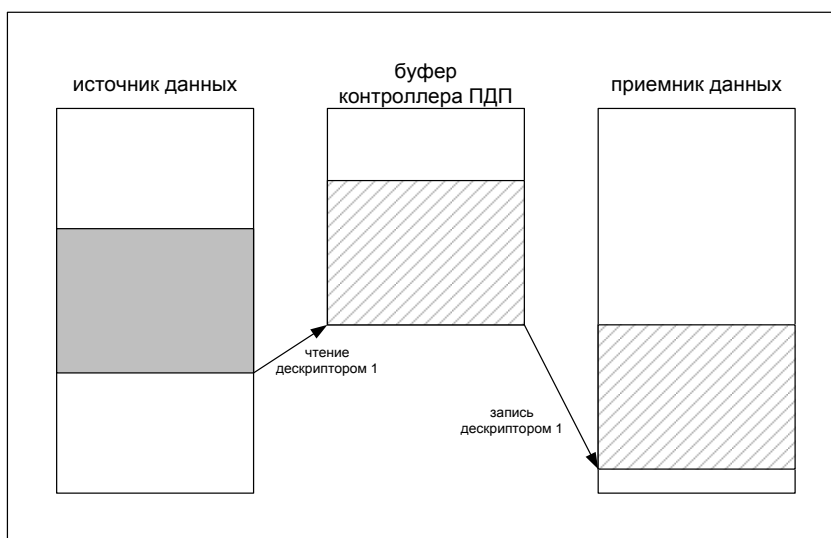


Рисунок 31 – Блочная передача данных контроллером ПДП

При распределенной записи (Scattering mode) данные читаются из одной области и пишутся в несколько разных областей (рисунок 32). При этом используется несколько дескрипторов. Первый описывает параметры чтения. Следующие дескрипторы описывают параметры для записей данных. Общий размер данных в этом случае ограничен 16 Кбайт (размером буфера ПДП).

					ЮФКВ.431268.020РЭ			Лист
								197
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

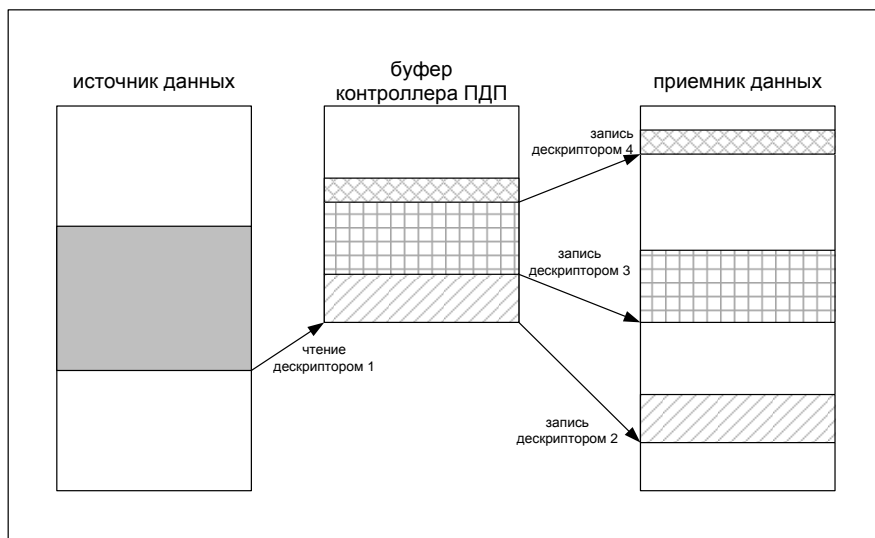


Рисунок 32 – Распределенная запись данных контроллером ПДП

При распределенном чтении (Gathering mode) данные читаются из нескольких разных областей и пишутся в одну область (см. рисунок 33). При этом используется несколько дескрипторов. Первые несколько дескрипторов описывают параметры для чтения данных. Последний дескриптор описывает параметры записи. Общий размер данных в этом случае ограничен 16 Кбайт (размером буфера ПДП).

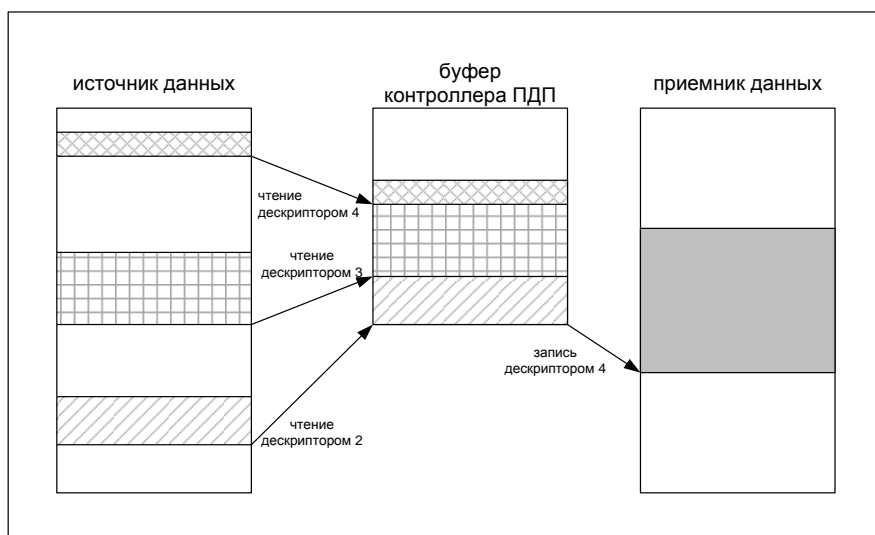


Рисунок 33 – Распределенное чтение данных контроллером ПДП

1.4.1.6.2.5.1 Формат дескриптора ПДП транзакции

Формат дескриптора ПДП транзакции представлен в таблице 308.

Таблица 308 – Формат дескриптора ПДП транзакции

Смещение от базового адреса дескриптора	Размер (байт)	Описание	
0	4	31:0	Начальный адрес считываемых/записываемых по АХІ шине данных. Базовое преобразование адресов не применяется к этому адресу. Трансляция входящих транзакций применяется к этому адресу

					ЮФКВ.431268.020РЭ	Лист 198
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Смещение от базового адреса дескриптора	Размер (байт)	Описание	
4	4		Управляющие параметры AXI шины. Подробное описание назначения параметров приведено в спецификации AMBA® AXI™ and ACE™ Protocol Specification. При установке определенных значений необходимо убедиться, что шина AXI или конечное устройство поддерживают такой функционал. Значение всех аргументов, равное 0, скорее всего, поддерживается любой системой
		31:8	Reserved
		7	AxLOCK[0]
		6:3	AxCACHE[3:0]
		2:0	AxPROT[2:0]
8	8	63:0	Начальный адрес считываемых/записываемых по PCIe шине данных
16	4		Параметры заголовков TLP сообщений
		31:26	Reserved
		25:10	Используемый ID
		9	Установка разрешает использование поля [25:10]
		8:6	Reserved
		5:3	PCIe Transfer Class
		2	ID-Based Ordering
		1	Relaxed Ordering
		0	No Snoop
20	3	23:0	Количество пересылаемых данных в байтах. При равенстве нулю пересылается 2 ²⁴ байт
23	1		Общие настройки дескриптора
		7:6	Reserved
		5	Разрешение перехода к следующему дескриптору по окончании текущего
		4:3	Reserved
		2:1	Назначение текущего дескриптора: 00 – блочное чтение и запись 01 – чтение данных во внутренний буфер при распределенных транзакциях (по AXI или PCIe шине) 10 – выдача данных из внутреннего буфера при распределенных транзакциях (по AXI или PCIe шине)
		0	Разрешение прерывания после выполнения операции
24	1		Статус AXI шины
		7:3	Reserved
		2	Обнаружена внутренняя ошибка четности данных (при обращении к AXI шине)
		1:0	BRESP[1:0] или RRESP[1:0]
25	1		Статус PCIe шины
		7:4	Reserved

										Лист
										199
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

Смещение от базового адреса дескриптора	Размер (байт)	Описание	
		3:0	Статус завершения TLP сообщения: 0000 – нормальное завершение (normal completion) 0001 – ошибочное завершение (TLP poisoned) 0010 – ошибочное завершение (UR, CA или CRS) 0011 – ошибочное завершение (отсутствие данных) 0100 – сообщение завершения несет неправильные ID, класс трафика или атрибуты 0101 – сообщение завершения несет неправильную младшую часть адреса 0110 – сообщение завершения несет неправильный тэг 0111 – время ожидания завершения истекло 1000 – сообщение завершения несет неправильное количество данных 1001 .. 1011 – Reserved 1100 – внутренняя ошибка четности данных (при обращении к PCIe шине) 1101 .. 1110 – Reserved 1111 – ошибки нескольких типов обнаружены
26	1		Статус канала ПДП
		7	Buffer Not Empty: показывает наличие данных в буфере ПДП после завершения исполнения связанного списка дескрипторов
		6	Buffer Underflow: устанавливается в режиме распределенной записи (Scattering data), если не хватает данных в буфере ПДП
		5	Buffer Overflow: устанавливается в режиме распределенного чтения (Gathering data), если данных в буфере ПДП слишком много
		4	Descriptor Error: устанавливается при неправильном дескрипторе
		3	Data Integrity Error: устанавливается при ошибке четности при обращении к буферам ПДП контроллера
		2	Устанавливается, если по шине AXI были переданы не все данные
		1	Устанавливается, если по шине PCIe были переданы не все данные
		0	Устанавливается по окончании работы контроллера ПДП с данным дескриптором
27	1	7:0	Reserved
28	4	31:0	Указатель на следующий дескриптор в связанном списке. Базовое преобразование адресов не применяется к этому адресу. Трансляция входящих транзакций применяется к этому адресу

1.4.1.6.2.5.2 Примеры использования ПДП

Ниже схематично показана работа контроллера ПДП:

- разноцветные линии показывают пути транзакций. Направление стрелок – от ведущего устройства к ведомому, т. е. контроллер ПДП – мастер всех транзакций;
- треугольники показывают направление передачи содержания дескрипторов или данных.

					ЮФКВ.431268.020РЭ		Лист
							200
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redkhal</i> 24.10.2019		34203-2			

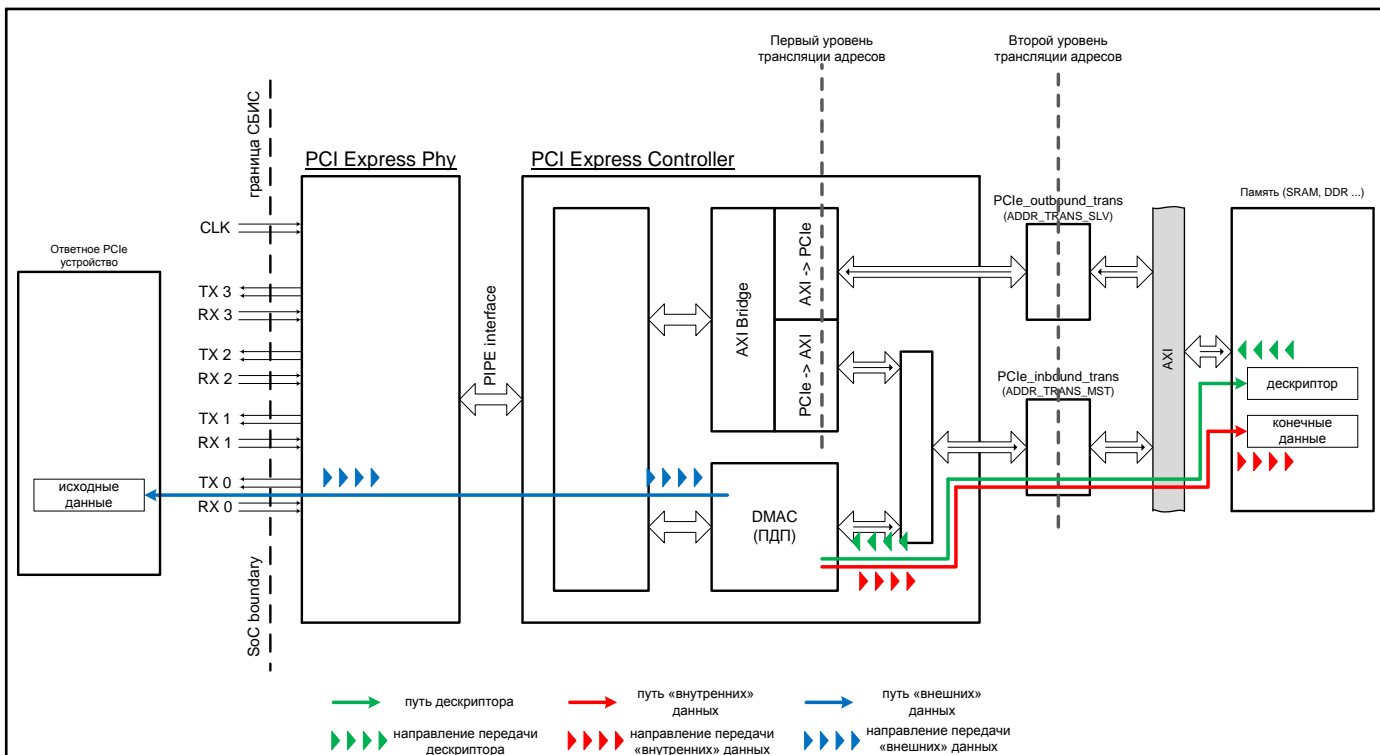


Рисунок 34 – Передача данных PCIe → AXI с помощью ПДП, дескриптор в AXI

Вариант, приведенный на рисунке 34:

- дескриптор расположен в памяти текущей микросхемы;
- данные передаются из внешнего устройства в память текущей микросхемы.

При необходимости в таком режиме работы можно настроить второй уровень входящей трансляции адресов. Адрес дескриптора в регистрах ПДП и адрес конечных данных в дескрипторе должны соответствовать настройкам транслятора.

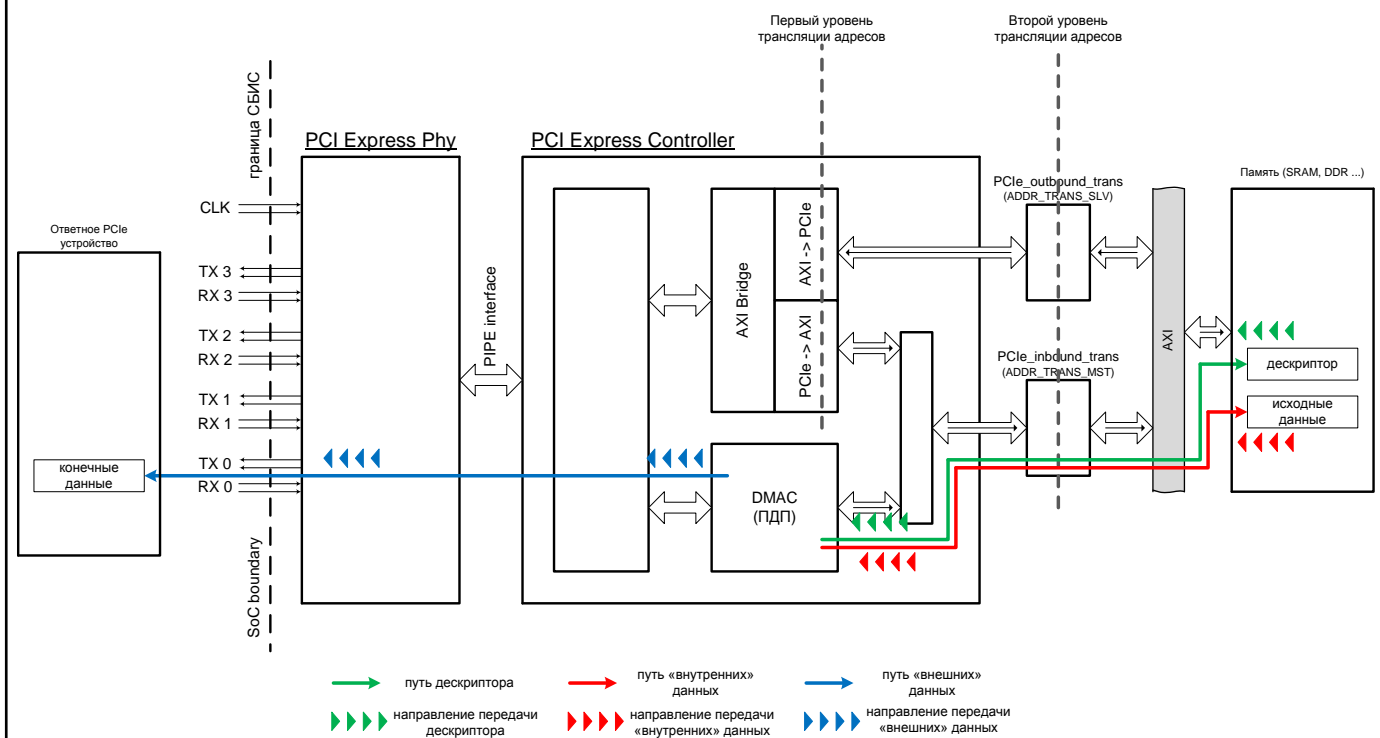


Рисунок 35 – Передача данных AXI → PCIe с помощью ПДП, дескриптор в AXI

					ЮФКВ.431268.020РЭ		Лист
							201
Изм	Лист	№ докум.	Подп.	Дата			
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата		
34203-3	<i>Redell</i> 24.10.2019		34203-2				

Вариант, приведенный на рисунке 35:

- дескриптор расположен в памяти текущей микросхемы;
- данные передаются из памяти текущей микросхемы во внешнее устройство.

При необходимости в таком режиме работы можно настроить второй уровень входящей трансляции адресов. Адрес дескриптора в регистрах ПДП и адрес исходных данных в дескрипторе должны соответствовать настройкам транслятора.

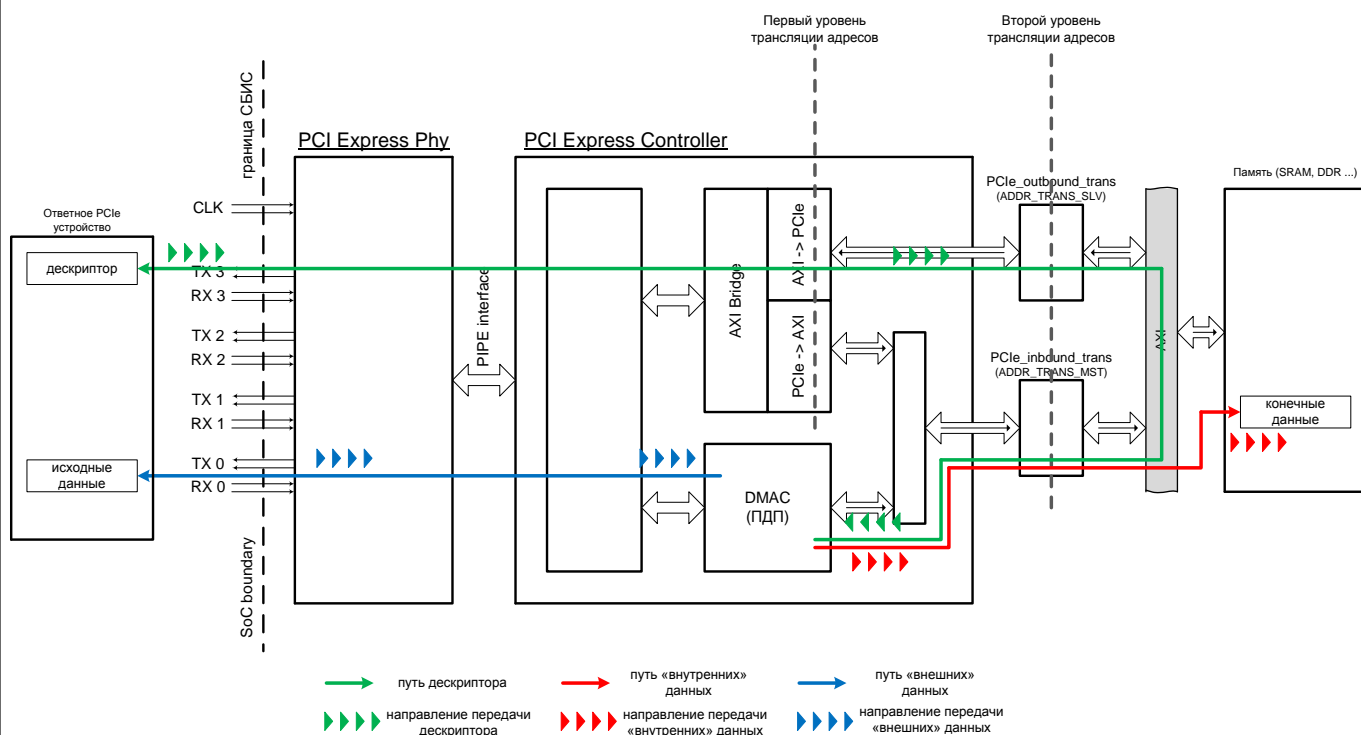


Рисунок 36 – Передача данных PCIe → AXI с помощью ПДП, дескриптор в PCIe

Вариант, приведенный на рисунке 36:

- дескриптор расположен в памяти внешнего устройства;
- данные передаются из внешнего устройства в память текущей микросхемы.

При необходимости, в таком режиме работы можно настроить второй уровень входящей трансляции адресов. Адрес конечных данных в дескрипторе должен соответствовать настройкам транслятора.

Необходимо настроить исходящую трансляцию первого уровня. Можно настроить исходящую трансляцию второго уровня. Адрес дескриптора в регистрах ПДП должен соответствовать всем трем настройкам.

					Лист
					202
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	

ЮФКВ.431268.020РЭ

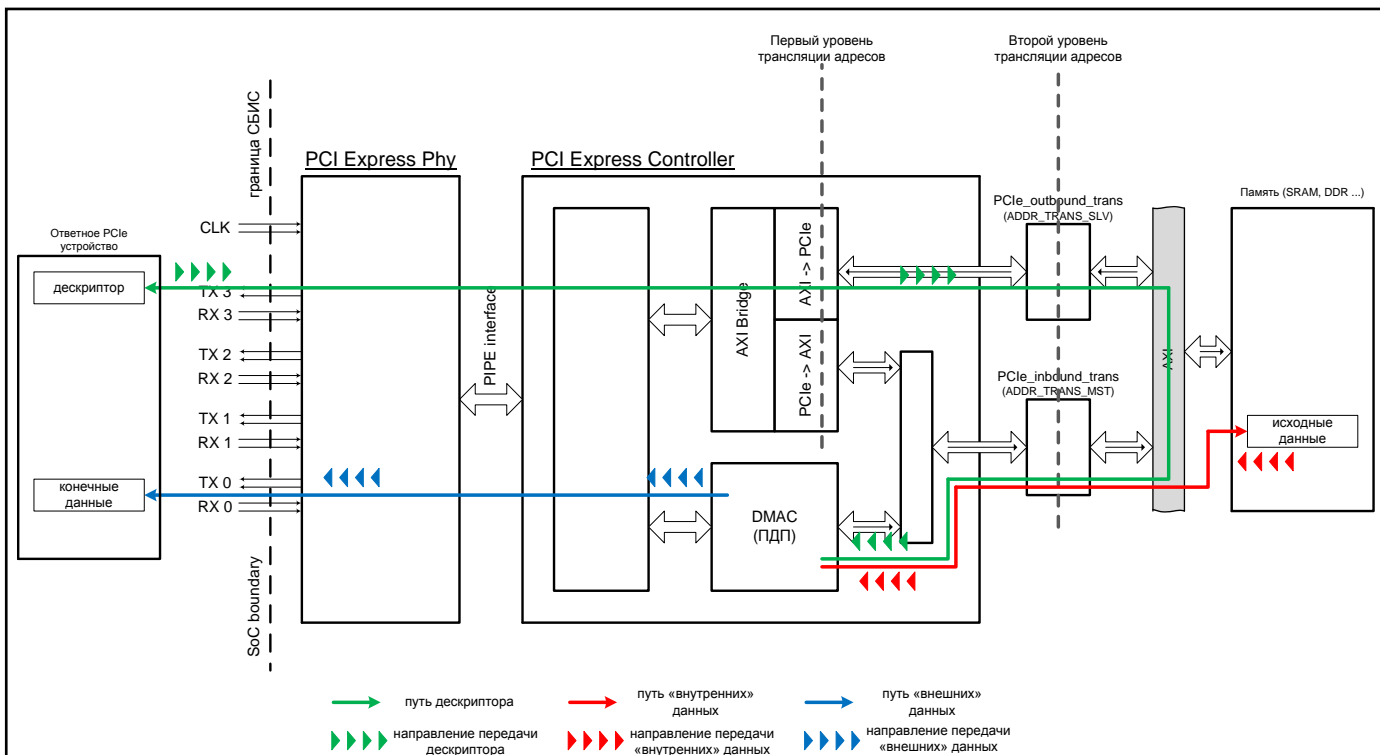


Рисунок 37 – Передача данных AXI → PCIe с помощью ПДП, дескриптор в PCIe

Вариант, приведенный на рисунке 37:

- дескриптор расположен в памяти внешнего устройства;
- данные передаются из памяти текущей микросхемы во внешнее устройство.

При необходимости в таком режиме работы можно настроить второй уровень входящей трансляции адресов. Адрес дескриптора в регистрах ПДП и адрес исходных данных в дескрипторе должны соответствовать настройкам транслятора.

Необходимо настроить исходящую трансляцию первого уровня. Можно настроить исходящую трансляцию второго уровня. Адрес дескриптора в регистрах ПДП должен соответствовать всем трем настройкам.

1.4.1.6.2.6 Блок трансляции входящих AXI транзакций контроллера PCIe

1.4.1.6.2.6.1 Общее описание блока трансляции входящих AXI транзакций контроллера PCIe

Назначение этого блока – аппаратное изменение адресов проходящих через него AXI транзакций.

В данном случае входная AXI подключена к контроллеру PCIe, выходная – к AXI системному коммутатору.

Основные характеристики блока:

- ширина AXI адреса – 32 бита,
- ширина AXI данных – 64 бита,
- до девяти регионов трансляции,
- шаг границ регионов – 4 Кбайт,
- максимальный размер региона – 4 Гбайт,
- защита от доступа к неиспользуемым регионам,
- режим bypass.

					Лист	
					203	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата	
34203-3	<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.6.2 Принципы функционирования блока трансляции входящих AXI транзакций контроллера PCIe

1.4.1.6.2.6.2.1 Алгоритм работы блока трансляции

Алгоритм работы блока трансляции входящих AXI транзакций контроллера PCIe схематично представлен на рисунке 38.

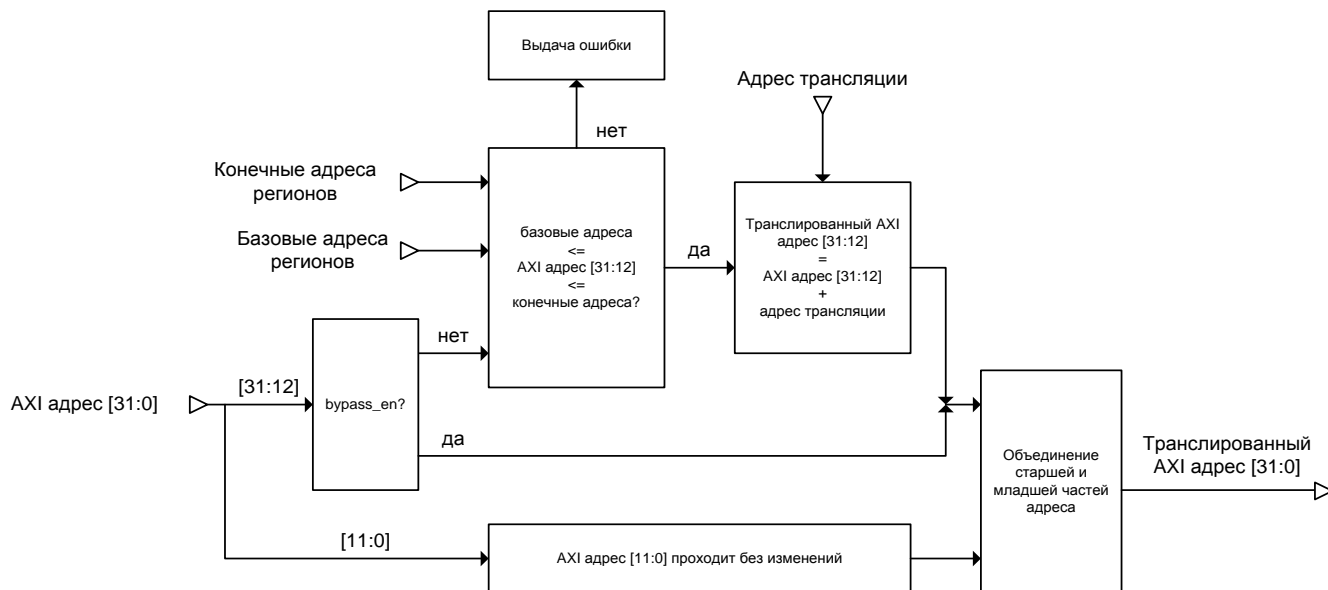


Рисунок 38 – Алгоритм работы блока трансляции входящих AXI транзакций контроллера PCIe

1.4.1.6.2.6.2.2 Обработка ошибок

Блок трансляции входящих AXI транзакций контроллера PCIe является AXI3 slave. Ошибочными считаются AXI транзакции с адресами, не попадающими ни в один из регионов. В режиме bypass все транзакции правильные.

В случае ошибки блок генерирует ошибочное завершение транзакции (BRESP = 2 или RRESP = 2). Также, если не маскировано, устанавливается прерывание IRQ. Счетчик прерываний увеличивает значение на 1. Имеются два независимых счетчика для транзакций записи и чтения.

1.4.1.6.2.6.2.3 Режим Bypass

Находясь в этом режиме, блок трансляции входящих AXI транзакций контроллера PCIe пропускает все AXI транзакции, не внося в них никаких изменений и никак их не анализируя.

1.4.1.6.2.6.3 Описание регистров блока трансляции входящих AXI транзакций контроллера PCIe

1.4.1.6.2.6.3.1 Карта регистров блока трансляции входящих AXI транзакций контроллера PCIe

Блок трансляции входящих AXI транзакций имеет множество программных регистров, доступных по шине APB.

Блок трансляции входящих AXI транзакций поддерживает девять регионов, каждый из которых содержит три регистра, характеризующих данный регион. Адреса регистров идут последовательно без промежутков.

В карте регистров блока трансляции входящих AXI транзакций (представлена в таблице 309) подробно расписаны регистры региона 0, для остальных регионов указан только адрес первого регистра.

					ЮФКВ.431268.020РЭ		Лист
							204
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 309 – Карта регистров блока трансляции входящих AXI транзакций контроллера PCIe

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x00	PCIe_InbTran_ctrl	RW	0x6	Регистр управления блоком трансляции AXI транзакций
0x04	PCIe_InbTran_region0_base (region0_register_set)	RW	0x0	Регистр базового адреса региона 0
0x08	PCIe_InbTran_region0_end (region0_register_set)	RW	0xFFF	Регистр конечного адреса региона 0
0x0C	PCIe_InbTran_region0_tran (region0_register_set)	RW	0x0	Регистр адреса трансляции региона 0
0x10	region1_register_set	RW		Регистры региона 1 (состав регистров аналогичен региону 0)
0x1C	region2_register_set	RW		Регистры региона 2 (состав регистров аналогичен региону 0)
0x28	region3_register_set	RW		Регистры региона 3 (состав регистров аналогичен региону 0)
0x34	region4_register_set	RW		Регистры региона 4 (состав регистров аналогичен региону 0)
0x40	region5_register_set	RW		Регистры региона 5 (состав регистров аналогичен региону 0)
0x4C	region6_register_set	RW		Регистры региона 6 (состав регистров аналогичен региону 0)
0x58	region7_register_set	RW		Регистры региона 7 (состав регистров аналогичен региону 0)
0x64	region8_register_set	RW		Регистры региона 8 (состав регистров аналогичен региону 0)

1.4.1.6.2.6.3.2 Описание полей регистров блока трансляции входящих AXI транзакций контроллера PCIe

1.4.1.6.2.6.3.2.1 PCIe_InbTran_ctrl (0x00)

Регистр управления блоком трансляции AXI адреса.

Описание полей регистра PCIe_InbTran_ctrl представлено в таблице 310.

Таблица 310 – Поля регистра PCIe_InbTran_ctrl

Поле	Биты	Доступ	Значение после сброса	Описание
irq_reg	0	RW1C	0x0	Флаг прерывания. Показывает, что одна из полученных транзакций записи или чтения не попала ни в один регион. Сброс при записи 1
irq_mask	1	RW	0x1	Маска прерывания 0 – IRQ прерывание не маскировано 1 – IRQ прерывание маскировано
bypass_en	2	RW	0x1	Включение трансляции адресов 0 – трансляция адреса и отслеживание ошибок включены 1 – трансляция адреса и отслеживание ошибок выключены
-	7:3	RO	0x0	Резерв
w_irq_cntr	11:8	RW1C	0x0	Счетчик ошибочных адресных транзакций записи с насыщением. Сброс при записи 1 в младший бит
r_irq_cntr	15:12	RO	0x0	Резерв
	19:16	RW1C	0x0	Счетчик ошибочных адресных транзакций чтения с насыщением. Сброс при записи 1 в младший бит
-	31:20	RO	0x0	Резерв

					ЮФКВ.431268.020РЭ		Лист
							205
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.6.3.2.2 PCIe_InbTran_regionX_base (0x04, 0x10, 0x1C...)

Регистр базового адреса региона X.

Описание полей регистра PCIe_InbTran_regionX_base представлено в таблице 311.

Таблица 311 – Поля регистра PCIe_InbTran_regionX_base

Поле	Биты	Доступ	Значение после сброса	Описание
region_en	0	RW	0x0	Флаг активности региона: 0 – регион X неактивен 1 – регион X активен
-	11:1	RO	0x0	Резерв
region_base_addr	31:12	RW	0x0	Базовый адрес региона X (нижняя граница)

1.4.1.6.2.6.3.2.3 PCIe_InbTran_regionX_end (0x08, 0x14, 0x20...)

Регистр конечного адреса региона X.

Описание полей регистра PCIe_InbTran_regionX_end представлено в таблице 312.

Таблица 312 – Поля регистра PCIe_InbTran_regionX_end

Поле	Биты	Доступ	Значение после сброса	Описание
-	11:0	RO	0xFFF	Резерв
region_end_addr	31:12	RW	0x0	Конечный адрес региона X (верхняя граница). Для корректной работы должен быть больше базового адреса

1.4.1.6.2.6.3.2.4 PCIe_InbTran_regionX_tran (0x0C, 0x18, 0x24...)

Регистр адреса трансляции региона X.

Описание полей регистра PCIe_InbTran_regionX_tran представлено в таблице 313.

Таблица 313 – Поля регистра PCIe_InbTran_regionX_tran

Поле	Биты	Доступ	Значение после сброса	Описание
-	11:0	RO	0x0	Резерв
region_translation_addr	31:12	RW	0x0	Адрес трансляции региона X (сдвиг входящего AXI адреса). Значение в дополнительном коде

1.4.1.6.2.7 Блок трансляции исходящих AXI транзакций контроллера PCIe

1.4.1.6.2.7.1 Общее описание блока трансляции исходящих AXI транзакций контроллера PCIe

Назначение этого блока – аппаратное изменение адресов проходящих через него AXI транзакций.

В данном случае входная AXI подключена к AXI коммутатору, выходная – к контроллеру PCIe.

Основные характеристики блока:

- ширина AXI адреса – 32 бита,

					ЮФКВ.431268.020РЭ		Лист
							206
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

- ширина AXI данных – 64 бита,
- до 128 регионов трансляции,
- шаг границ регионов – 4 Кбайт,
- максимальный размер региона – 4 Гбайт,
- защита от доступа к неиспользуемым регионам,
- режим bypass.

1.4.1.6.2.7.2 Принципы функционирования блока трансляции исходящих AXI транзакций контроллера PCIe

1.4.1.6.2.7.2.1 Алгоритм работы блока трансляции исходящих AXI транзакций контроллера PCIe

Алгоритм работы блока трансляции исходящих AXI транзакций контроллера PCIe представлен схематично на рисунке 39.

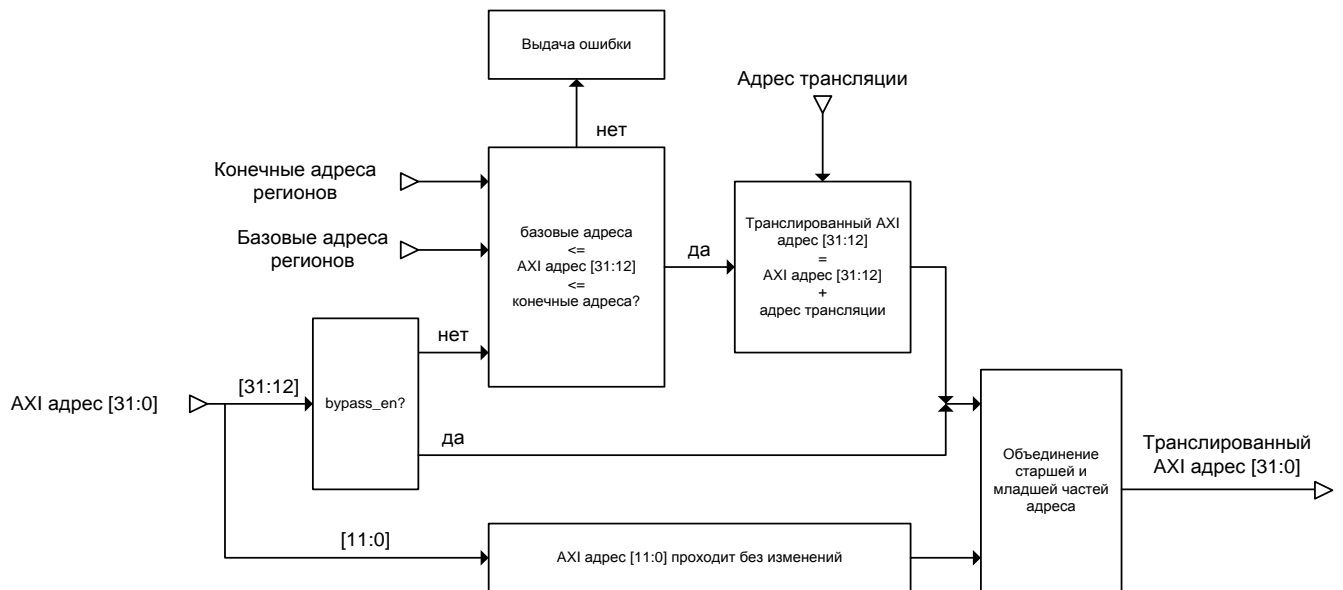


Рисунок 39 – Алгоритм работы блока трансляции исходящих AXI транзакций контроллера PCIe

1.4.1.6.2.7.2.2 Обработка ошибок

Блок трансляции исходящих AXI транзакций контроллера PCIe является AXI3 slave. Ошибочными считаются AXI транзакции с адресами, не попадающими ни в один из регионов. В режиме bypass все транзакции правильные.

В случае ошибки блок генерирует ошибочное завершение транзакции (BRESP = 2 или RRESP = 2). Также, если не маскировано, устанавливается прерывание IRQ. Счетчик прерываний увеличивает значение на 1. Имеются два независимых счетчика для транзакций записи и чтения.

1.4.1.6.2.7.2.3 Режим Bypass

Находясь в этом режиме, блок трансляции исходящих AXI транзакций контроллера PCIe пропускает все AXI транзакции, не внося в них никаких изменений и никак их не анализируя.

1.4.1.6.2.7.3 Описание регистров блока трансляции исходящих AXI транзакций контроллера PCIe

					ЮФКВ.431268.020РЭ		Лист
							207
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.2.7.3.1 Карта регистров блока трансляции исходящих AXI транзакций контроллера PCIe

Блок трансляции исходящих AXI транзакций имеет множество программных регистров, доступных по шине APB.

Блок трансляции AXI транзакций поддерживает 128 регионов, каждый из которых содержит три регистра, характеризующих данный регион. Адреса регистров идут последовательно без промежутков.

В карте регистров блока трансляции исходящих AXI транзакций (представлена в таблице 314) подробно расписаны регистры региона 0, для остальных регионов указан только адрес первого регистра.

Таблица 314 – Карта регистров блока трансляции исходящих AXI транзакций контроллера PCIe

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x00	PCIe_OutbTran_ctrl	RW	0x6	Регистр управления блоком трансляции AXI адреса
0x04	PCIe_OutbTran_region0_base (region0_register_set)	RW	0x0	Регистр базового адреса региона 0
0x08	PCIe_OutbTran_region0_end (region0_register_set)	RW	0xFFF	Регистр конечного адреса региона 0
0x0C	PCIe_OutbTran_region0_tran (region0_register_set)	RW	0x0	Регистр адреса трансляции региона 0
0x0010	region1_register_set	RW		Регистры региона 1 (состав регистров аналогичен региону 0)
0x001C	region2_register_set	RW		Регистры региона 2 (состав регистров аналогичен региону 0)
0x0028	region3_register_set	RW		Регистры региона 3 (состав регистров аналогичен региону 0)
0x0034	region4_register_set	RW		Регистры региона 4 (состав регистров аналогичен региону 0)
0x0040	region5_register_set	RW		Регистры региона 5 (состав регистров аналогичен региону 0)
0x004C	region6_register_set	RW		Регистры региона 6 (состав регистров аналогичен региону 0)
0x0058	region7_register_set	RW		Регистры региона 7 (состав регистров аналогичен региону 0)
0x0064	region8_register_set	RW		Регистры региона 8 (состав регистров аналогичен региону 0)
0x0070	region9_register_set	RW		Регистры региона 9 (состав регистров аналогичен региону 0)
0x007C	region10_register_set	RW		Регистры региона 10 (состав регистров аналогичен региону 0)
0x0088	region11_register_set	RW		Регистры региона 11 (состав регистров аналогичен региону 0)
0x0094	region12_register_set	RW		Регистры региона 12 (состав регистров аналогичен региону 0)
0x00A0	region13_register_set	RW		Регистры региона 13 (состав регистров аналогичен региону 0)
0x00AC	region14_register_set	RW		Регистры региона 14 (состав регистров аналогичен региону 0)
0x00B8	region15_register_set	RW		Регистры региона 15 (состав регистров аналогичен региону 0)
0x00C4	region16_register_set	RW		Регистры региона 16 (состав регистров аналогичен региону 0)
0x00D0	region17_register_set	RW		Регистры региона 17 (состав регистров аналогичен региону 0)
0x00DC	region18_register_set	RW		Регистры региона 18 (состав регистров аналогичен региону 0)
0x00E8	region19_register_set	RW		Регистры региона 19 (состав регистров аналогичен региону 0)

					Лист
					208
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redchell</i> 24.10.2019		34203-2	Подп. и дата

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x00F4	region20_register_set	RW		Регистры региона 20 (состав регистров аналогичен региону 0)
0x0100	region21_register_set	RW		Регистры региона 21 (состав регистров аналогичен региону 0)
0x010C	region22_register_set	RW		Регистры региона 22 (состав регистров аналогичен региону 0)
0x0118	region23_register_set	RW		Регистры региона 23 (состав регистров аналогичен региону 0)
0x0124	region24_register_set	RW		Регистры региона 24 (состав регистров аналогичен региону 0)
0x0130	region25_register_set	RW		Регистры региона 25 (состав регистров аналогичен региону 0)
0x013C	region26_register_set	RW		Регистры региона 26 (состав регистров аналогичен региону 0)
0x0148	region27_register_set	RW		Регистры региона 27 (состав регистров аналогичен региону 0)
0x0154	region28_register_set	RW		Регистры региона 28 (состав регистров аналогичен региону 0)
0x0160	region29_register_set	RW		Регистры региона 29 (состав регистров аналогичен региону 0)
0x016C	region30_register_set	RW		Регистры региона 30 (состав регистров аналогичен региону 0)
0x0178	region31_register_set	RW		Регистры региона 31 (состав регистров аналогичен региону 0)
0x0184	region32_register_set	RW		Регистры региона 32 (состав регистров аналогичен региону 0)
0x0190	region33_register_set	RW		Регистры региона 33 (состав регистров аналогичен региону 0)
0x019C	region34_register_set	RW		Регистры региона 34 (состав регистров аналогичен региону 0)
0x01A8	region35_register_set	RW		Регистры региона 35 (состав регистров аналогичен региону 0)
0x01B4	region36_register_set	RW		Регистры региона 36 (состав регистров аналогичен региону 0)
0x01C0	region37_register_set	RW		Регистры региона 37 (состав регистров аналогичен региону 0)
0x01CC	region38_register_set	RW		Регистры региона 38 (состав регистров аналогичен региону 0)
0x01D8	region39_register_set	RW		Регистры региона 39 (состав регистров аналогичен региону 0)
0x01E4	region40_register_set	RW		Регистры региона 40 (состав регистров аналогичен региону 0)
0x01F0	region41_register_set	RW		Регистры региона 41 (состав регистров аналогичен региону 0)
0x01FC	region42_register_set	RW		Регистры региона 42 (состав регистров аналогичен региону 0)
0x0208	region43_register_set	RW		Регистры региона 43 (состав регистров аналогичен региону 0)
0x0214	region44_register_set	RW		Регистры региона 44 (состав регистров аналогичен региону 0)
0x0220	region45_register_set	RW		Регистры региона 45 (состав регистров аналогичен региону 0)
0x022C	region46_register_set	RW		Регистры региона 46 (состав регистров аналогичен региону 0)
0x0238	region47_register_set	RW		Регистры региона 47 (состав регистров аналогичен региону 0)
0x0244	region48_register_set	RW		Регистры региона 48 (состав регистров аналогичен региону 0)

					Лист
					209
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redchell</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x0250	region49_register_set	RW		Регистры региона 49 (состав регистров аналогичен региону 0)
0x025C	region50_register_set	RW		Регистры региона 50 (состав регистров аналогичен региону 0)
0x0268	region51_register_set	RW		Регистры региона 51 (состав регистров аналогичен региону 0)
0x0274	region52_register_set	RW		Регистры региона 52 (состав регистров аналогичен региону 0)
0x0280	region53_register_set	RW		Регистры региона 53 (состав регистров аналогичен региону 0)
0x028C	region54_register_set	RW		Регистры региона 54 (состав регистров аналогичен региону 0)
0x0298	region55_register_set	RW		Регистры региона 55 (состав регистров аналогичен региону 0)
0x02A4	region56_register_set	RW		Регистры региона 56 (состав регистров аналогичен региону 0)
0x02B0	region57_register_set	RW		Регистры региона 57 (состав регистров аналогичен региону 0)
0x02BC	region58_register_set	RW		Регистры региона 58 (состав регистров аналогичен региону 0)
0x02C8	region59_register_set	RW		Регистры региона 59 (состав регистров аналогичен региону 0)
0x02D4	region60_register_set	RW		Регистры региона 60 (состав регистров аналогичен региону 0)
0x02E0	region61_register_set	RW		Регистры региона 61 (состав регистров аналогичен региону 0)
0x02EC	region62_register_set	RW		Регистры региона 62 (состав регистров аналогичен региону 0)
0x02F8	region63_register_set	RW		Регистры региона 63 (состав регистров аналогичен региону 0)
0x0304	region64_register_set	RW		Регистры региона 64 (состав регистров аналогичен региону 0)
0x0310	region65_register_set	RW		Регистры региона 65 (состав регистров аналогичен региону 0)
0x031C	region66_register_set	RW		Регистры региона 66 (состав регистров аналогичен региону 0)
0x0328	region67_register_set	RW		Регистры региона 67 (состав регистров аналогичен региону 0)
0x0334	region68_register_set	RW		Регистры региона 68 (состав регистров аналогичен региону 0)
0x0340	region69_register_set	RW		Регистры региона 69 (состав регистров аналогичен региону 0)
0x034C	region70_register_set	RW		Регистры региона 70 (состав регистров аналогичен региону 0)
0x0358	region71_register_set	RW		Регистры региона 71 (состав регистров аналогичен региону 0)
0x0364	region72_register_set	RW		Регистры региона 72 (состав регистров аналогичен региону 0)
0x0370	region73_register_set	RW		Регистры региона 73 (состав регистров аналогичен региону 0)
0x037C	region74_register_set	RW		Регистры региона 74 (состав регистров аналогичен региону 0)
0x0388	region75_register_set	RW		Регистры региона 75 (состав регистров аналогичен региону 0)
0x0394	region76_register_set	RW		Регистры региона 76 (состав регистров аналогичен региону 0)
0x03A0	region77_register_set	RW		Регистры региона 77 (состав регистров аналогичен региону 0)

					Лист
					210
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x03AC	region78_register_set	RW		Регистры региона 78 (состав регистров аналогичен региону 0)
0x03B8	region79_register_set	RW		Регистры региона 79 (состав регистров аналогичен региону 0)
0x03C4	region80_register_set	RW		Регистры региона 80 (состав регистров аналогичен региону 0)
0x03D0	region81_register_set	RW		Регистры региона 81 (состав регистров аналогичен региону 0)
0x03DC	region82_register_set	RW		Регистры региона 82 (состав регистров аналогичен региону 0)
0x03E8	region83_register_set	RW		Регистры региона 83 (состав регистров аналогичен региону 0)
0x03F4	region84_register_set	RW		Регистры региона 84 (состав регистров аналогичен региону 0)
0x0400	region85_register_set	RW		Регистры региона 85 (состав регистров аналогичен региону 0)
0x040C	region86_register_set	RW		Регистры региона 86 (состав регистров аналогичен региону 0)
0x0418	region87_register_set	RW		Регистры региона 87 (состав регистров аналогичен региону 0)
0x0424	region88_register_set	RW		Регистры региона 88 (состав регистров аналогичен региону 0)
0x0430	region89_register_set	RW		Регистры региона 89 (состав регистров аналогичен региону 0)
0x043C	region90_register_set	RW		Регистры региона 90 (состав регистров аналогичен региону 0)
0x0448	region91_register_set	RW		Регистры региона 91 (состав регистров аналогичен региону 0)
0x0454	region92_register_set	RW		Регистры региона 92 (состав регистров аналогичен региону 0)
0x0460	region93_register_set	RW		Регистры региона 93 (состав регистров аналогичен региону 0)
0x046C	region94_register_set	RW		Регистры региона 94 (состав регистров аналогичен региону 0)
0x0478	region95_register_set	RW		Регистры региона 95 (состав регистров аналогичен региону 0)
0x0484	region96_register_set	RW		Регистры региона 96 (состав регистров аналогичен региону 0)
0x0490	region97_register_set	RW		Регистры региона 97 (состав регистров аналогичен региону 0)
0x049C	region98_register_set	RW		Регистры региона 98 (состав регистров аналогичен региону 0)
0x04A8	region99_register_set	RW		Регистры региона 99 (состав регистров аналогичен региону 0)
0x04B4	region100_register_set	RW		Регистры региона 100 (состав регистров аналогичен региону 0)
0x04C0	region101_register_set	RW		Регистры региона 101 (состав регистров аналогичен региону 0)
0x04CC	region102_register_set	RW		Регистры региона 102 (состав регистров аналогичен региону 0)
0x04D8	region103_register_set	RW		Регистры региона 103 (состав регистров аналогичен региону 0)
0x04E4	region104_register_set	RW		Регистры региона 104 (состав регистров аналогичен региону 0)
0x04F0	region105_register_set	RW		Регистры региона 105 (состав регистров аналогичен региону 0)
0x04FC	region106_register_set	RW		Регистры региона 106 (состав регистров аналогичен региону 0)

					Лист
					211
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redchell</i> 24.10.2019		34203-2	Подп. и дата

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x0508	region107_register_set	RW		Регистры региона 107 (состав регистров аналогичен региону 0)
0x0514	region108_register_set	RW		Регистры региона 108 (состав регистров аналогичен региону 0)
0x0520	region109_register_set	RW		Регистры региона 109 (состав регистров аналогичен региону 0)
0x052C	region110_register_set	RW		Регистры региона 110 (состав регистров аналогичен региону 0)
0x0538	region111_register_set	RW		Регистры региона 111 (состав регистров аналогичен региону 0)
0x0544	region112_register_set	RW		Регистры региона 112 (состав регистров аналогичен региону 0)
0x0550	region113_register_set	RW		Регистры региона 113 (состав регистров аналогичен региону 0)
0x055C	region114_register_set	RW		Регистры региона 114 (состав регистров аналогичен региону 0)
0x0568	region115_register_set	RW		Регистры региона 115 (состав регистров аналогичен региону 0)
0x0574	region116_register_set	RW		Регистры региона 116 (состав регистров аналогичен региону 0)
0x0580	region117_register_set	RW		Регистры региона 117 (состав регистров аналогичен региону 0)
0x058C	region118_register_set	RW		Регистры региона 118 (состав регистров аналогичен региону 0)
0x0598	region119_register_set	RW		Регистры региона 119 (состав регистров аналогичен региону 0)
0x05A4	region120_register_set	RW		Регистры региона 120 (состав регистров аналогичен региону 0)
0x05B0	region121_register_set	RW		Регистры региона 121 (состав регистров аналогичен региону 0)
0x05BC	region122_register_set	RW		Регистры региона 122 (состав регистров аналогичен региону 0)
0x05C8	region123_register_set	RW		Регистры региона 123 (состав регистров аналогичен региону 0)
0x05D4	region124_register_set	RW		Регистры региона 124 (состав регистров аналогичен региону 0)
0x05E0	region125_register_set	RW		Регистры региона 125 (состав регистров аналогичен региону 0)
0x05EC	region126_register_set	RW		Регистры региона 126 (состав регистров аналогичен региону 0)
0x05F8	region127_register_set	RW		Регистры региона 127 (состав регистров аналогичен региону 0)

1.4.1.6.2.7.3.2 Описание полей регистров блока трансляции исходящих транзакций контроллера PCIe

1.4.1.6.2.7.3.2.1 PCIe_OutbTran_ctrl (0x00)

Регистр управления блоком трансляции AXI адреса.

Описание полей регистра PCIe_OutbTran_ctrl представлено в таблице 314.

Таблица 315 – Поля регистра PCIe_OutbTran_ctrl

Поле	Биты	Доступ	Значение после сброса	Описание
irq_reg	0	RW1C	0x0	Флаг прерывания. Показывает, что одна из полученных транзакций записи или чтения не попала ни в один регион. Сброс при записи 1

					ЮФКВ.431268.020РЭ		Лист 212
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Доступ	Значение после сброса	Описание
irq_mask	1	RW	0x1	Маска прерывания 0 – IRQ прерывание не маскировано 1 – IRQ прерывание маскировано
bypass_en	2	RW	0x1	Включение трансляции адресов 0 – трансляция адреса и отслеживание ошибок включены 1 – трансляция адреса и отслеживание ошибок выключены
-	7:3	RO	0x0	Резерв
w_irq_cntr	11:8	RW1C	0x0	Счетчик ошибочных адресных транзакций записи с насыщением. Сброс при записи 1 в младший бит
r_irq_cntr	15:12	RO	0x0	Резерв
	19:16	RW1C	0x0	Счетчик ошибочных адресных транзакций чтения с насыщением. Сброс при записи 1 в младший бит
-	31:20	RO	0x0	Резерв

1.4.1.6.2.7.3.2.2 PCIe_OutbTran_regionX_base (0x04, 0x10, 0x1C...)

Регистр базового адреса региона X.

Описание полей регистра PCIe_OutbTran_regionX_base представлено в таблице 315.

Таблица 316 – Поля регистра PCIe_OutbTran_regionX_base

Поле	Биты	Доступ	Значение после сброса	Описание
region_en	0	RW	0x0	Флаг активности региона: 0 – регион X не активен 1 – регион X активен
-	11:1	RO	0x0	Резерв
region_base_addr	31:12	RW	0x0	Базовый адрес региона X (нижняя граница)

1.4.1.6.2.7.3.2.3 PCIe_InbTran_OutbTran_end (0x08, 0x14, 0x20...)

Регистр конечного адреса региона X.

Описание полей регистра PCIe_OutbTran_regionX_end представлено в таблице 316.

Таблица 317 – Поля регистра PCIe_OutbTran_regionX_end

Поле	Биты	Доступ	Значение после сброса	Описание
-	11:0	RO	0xFFFF	Резерв
region_end_addr	31:12	RW	0x0	Конечный адрес региона X (верхняя граница). Для корректной работы должен быть больше базового адреса

1.4.1.6.2.7.3.2.4 PCIe_OutbTran_regionX_tran (0x0C, 0x18, 0x24...)

Регистр адреса трансляции региона X.

Описание полей регистра PCIe_OutbTran_regionX_tran представлено в таблице 317.

Таблица 318 – Поля регистра PCIe_OutbTran_regionX_tran

Поле	Биты	Доступ	Значение после сброса	Описание
-	11:0	RO	0x0	Резерв

					ЮФКВ.431268.020РЭ		Лист 213
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Поле	Биты	Доступ	Значение после сброса	Описание
region_translation_addr	31:12	RW	0x0	Адрес трансляции региона X (сдвиг входящего AXI адреса). Значение в дополнительном коде

1.4.1.6.3 Контроллер внешних прерываний

1.4.1.6.3.1 Общее описание контроллера внешних прерываний

Основное назначение этого блока – сбор прерываний от периферийных устройств СБИС МИ БИУС и генерация на их основе внешних прерываний. Этот функционал следует использовать, если контроллер PCIe работает в режиме EndPoint и СБИС МИ БИУС работает в режиме моста. Аппаратно блок не связан с режимом работы СБИС МИ БИУС (EndPoint или Root Port), это следует учитывать при его использовании. Внешние прерывания возможны следующих типов:

- прерывание на пин микросхемы;
- Legacy прерывание PCIe шины;
- MSI-X прерывание PCIe шины.

Выдача прерывания на шину PCIe приспособлена для используемого в СБИС МИ БИУС контроллера PCIe. Контроллером внешних прерываний MSI не используются, поскольку в присутствии MSI-X они не актуальны, но потребовали бы дополнительной схемы для генерации.

Основные характеристики блока:

- программное управление по APB шине;
- количество входящих прерываний – до 64;
- количество прерываний на пины микросхемы – 1;
- количество Legacy прерываний – 1;
- количество векторов MSI-X прерываний – до 64;
- ширина MSI-X адреса – 32 бита;
- настройка соответствия входящих прерываний MSI-X векторам;
- настройка параметров AXI транзакций.

Ниже приведена схема, показывающая расположение текущего блока в системе и пути выданных им прерываний всех трех типов (см. рисунок 40).

					ЮФКВ.431268.020РЭ		Лист
							214
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

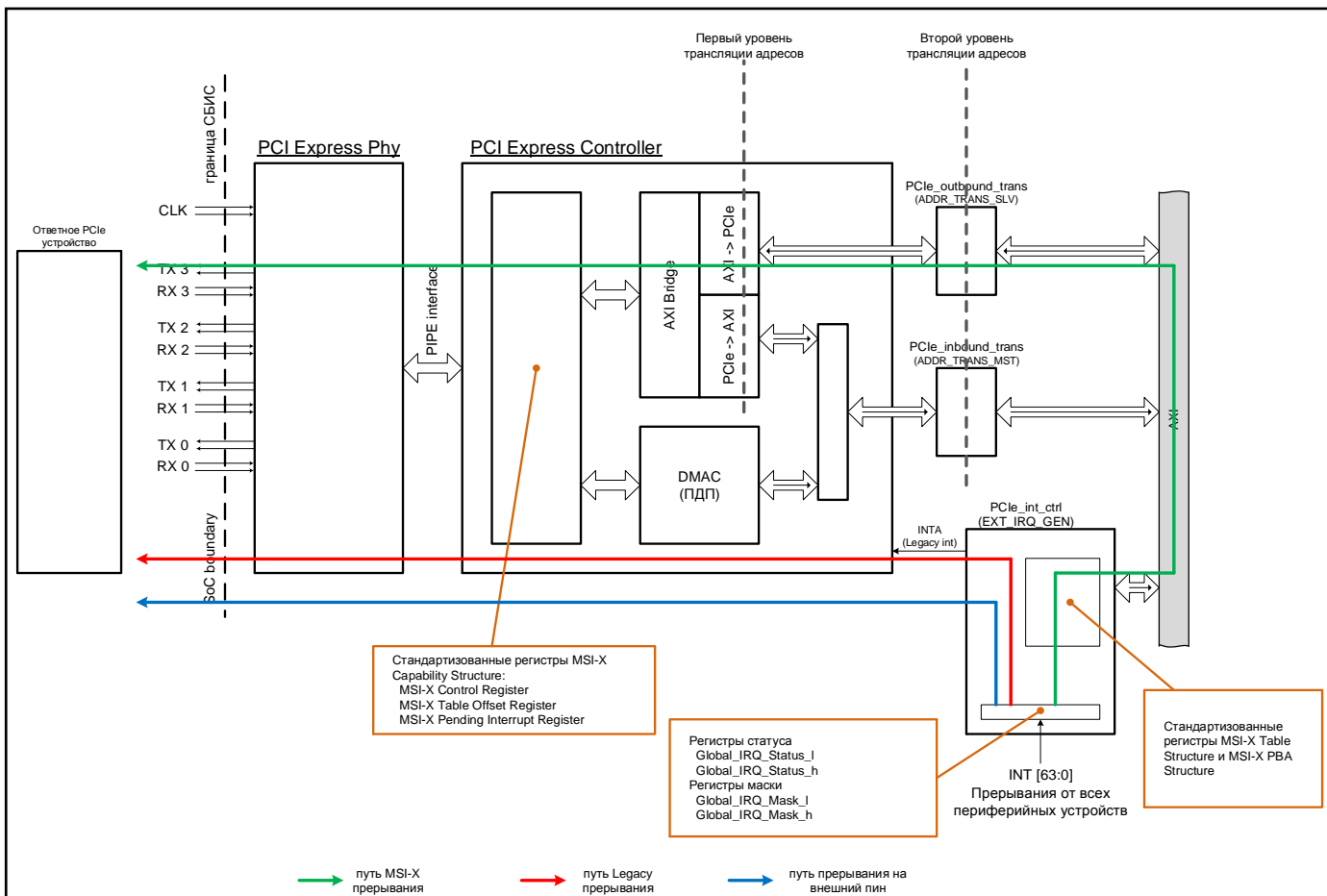


Рисунок 40 – Система генерации прерываний

1.4.1.6.3.2 Принципы функционирования контроллера внешних прерываний

Любое входящее прерывание сразу запоминается в регистре `Global_IRQ_Status_l` или `Global_IRQ_Status_h` в зависимости от номера. Схема записи – по уровню. Таким образом, можно принимать и постоянно установленные сигналы и стробы.

Сбросить нужный бит регистров статуса можно, записав в него 1 по шине APB.

Если сбросить бит статуса при установленном сигнале прерывания, (например, периферийное устройство успело выдать новое прерывание), то:

- внешнее прерывание снимется на 1 такт системной частоты (100 МГц по умолчанию);
- legacy прерывание может сняться, если до этого оно успело установиться;
- новое MSI-X сообщение будет сгенерировано.

Таким образом, предполагаемая последовательность обработки прерывания:

- установка маски всех прерываний в периферийном устройстве;
- чтение и сброс статуса прерывания в периферийном устройстве;
- чтение и сброс статуса прерывания в этом контроллере;
- сброс маски всех прерываний в периферийном устройстве.

Выход регистров статуса маскируется значениями регистров `Global_IRQ_Mask_l` и `Global_IRQ_Mask_h`. После сброса все маски установлены. Прерывание, пришедшее при установленной маске, будет обработано после ее снятия (это также касается собственных масок Legacy и MSI-X прерываний).

Немаскированные прерывания одновременно идут в три места исполнения:

- генератор внешнего прерывания;
- генератор Legacy прерывания;

					Лист
					215
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
ЮФКВ.431268.020РЭ					

– генератор MSI-X прерывания.

То есть возможна одновременная передача одного и того же прерывания по этим трем каналам. Выбор необходимого канала осуществляется программной настройкой битов Ext_Int_En, Legacy_Int_En и MSIX_Int_En (MSIX_Int_En расположен в PCIe контроллере в MSI-X Capability Structure и приходит в контроллер прерываний как сигнал).

1.4.1.6.3.2.1 Внешнее прерывание

Внешнее прерывание устанавливается, если оно разрешено и установлен хотя бы один немаскированный бит статусного регистра.

1.4.1.6.3.2.2 Legacy прерывание

Ожидание Legacy прерывания (INT_PENDING_STATUS) устанавливается, если разрешено и установлен хотя бы один немаскированный бит статусного регистра.

Legacy прерывание имеет собственную маску. Само прерывание (INTA) будет установлено, если эта маска снята и предшествующее снятие прерывания подтверждено контроллером PCIe. Также снято прерывание может быть только если контроллер PCIe подтвердил его предыдущую установку.

1.4.1.6.3.2.3 MSI-X прерывания

Каждый бит регистра статуса после маскирования отображается на один из 64 векторов MSI-X.

Одному вектору может соответствовать несколько бит (таким образом можно группировать прерывания, требующие одинаковый обработчик, и снизить количество doorbell регистров у микросхемы-хоста). Если несколько прерываний одной группы устанавливаются последовательно, то соответствующее MSI-X сообщение будет передано только один раз. Новая передача этого вектора возможна только после сброса статусов этой группы во всех периферийных устройствах и Global_IRQ_Status регистре.

Также отображение битов на вектора позволяет изменять приоритет их отправки (большой приоритет имеет вектор с меньшим номером).

MSI-X прерывания имеют две собственных маски – общую и индивидуальную для каждого вектора. Общая маска устанавливается в контроллере PCIe.

Отправка MSI-X прерывания представляет собой генерацию транзакции записи по шине AXI с адресом и данными, взятыми из соответствующего вектора.

Параметры для каждого используемого вектора (адреса, данные и маска) должны быть программно настроены перед началом его использования.

Прочие параметры AXI транзакции можно настроить программно в регистре AXI_param.

Считается, что MSI-X прерывание отправлено, если на шине AXI готова запись адреса и данных. Подтверждение записи никак не анализируется.

Не рекомендуется менять настройки MSI-X прерываний во время работы. Это может привести к неожиданным или неправильным результатам.

1.4.1.6.3.3 Описание регистров контроллера внешних прерываний

1.4.1.6.3.3.1 Карта регистров контроллера внешних прерываний

Контроллер внешних прерываний имеет множество программных регистров, доступных по шине APB.

					ЮФКВ.431268.020РЭ			Лист
								216
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2				

Контроллер внешних прерываний поддерживает 64 вектора MSI-X прерываний, каждый из которых описывается структурой MSIX_vector_x_Register Sets из четырех регистров. Адреса регистров идут последовательно без промежутков.

В карте регистров контроллера внешних прерываний (представлена в таблице 319) подробно расписаны регистры 0 вектора MSI-X прерываний, для остальных MSI-X векторов указан только адрес первого регистра.

Таблица 319 – Карта регистров контроллера внешних прерываний

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0x000	Ctrl	RW/RO	0x21	Регистр управления контроллером внешних прерываний
0x004	Global_IRQ_Status_l	RW	0x0	Младшие биты статуса прерываний от периферийных устройств
0x008	Global_IRQ_Status_h	RW	0x0	Старшие биты статуса прерываний от периферийных устройств
0x00C	Global_IRQ_Mask_l	RW	0x0	Младшие биты маски прерываний от периферийных устройств
0x010	Global_IRQ_Mask_h	RW	0x0	Старшие биты маски прерываний от периферийных устройств
0x014	Global_IRQ_Map_0	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [3:0]
0x018	Global_IRQ_Map_1	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [7:4]
0x01C	Global_IRQ_Map_2	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [11:8]
0x020	Global_IRQ_Map_3	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [15:12]
0x024	Global_IRQ_Map_4	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [19:16]
0x028	Global_IRQ_Map_5	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [23:20]
0x02C	Global_IRQ_Map_6	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [27:24]
0x030	Global_IRQ_Map_7	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_l [31:28]
0x034	Global_IRQ_Map_8	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [3:0]
0x038	Global_IRQ_Map_9	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [7:4]
0x03C	Global_IRQ_Map_10	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [11:8]
0x040	Global_IRQ_Map_11	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [15:12]
0x044	Global_IRQ_Map_12	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [19:16]
0x048	Global_IRQ_Map_13	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [23:20]
0x04C	Global_IRQ_Map_14	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [27:24]
0x050	Global_IRQ_Map_15	RW	0x0	Номер MSI-X векторов для Global_IRQ_Status_h [31:28]
0x054 – 0x7FF	-	-	-	Резерв
0x800	v0_Message_Address (MSIX_vector_0)	RW	0xX	Младшая часть адреса 0 вектора MSI-X прерываний
0x804	v0_Message_Upper_Address (MSIX_vector_0)	RO	0x0	Старшая часть адреса 0 вектора MSI-X прерываний

					ЮФКВ.431268.020РЭ	Лист 217
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание		
0x808	v0_Message_Data (MSIX_vector_0)	RW	0xX	Данные 0 вектора MSI-X прерываний		
0x80C	v0_Vector_Control (MSIX_vector_0)	RW	0x1	Маска 0 вектора MSI-X прерываний		
0x810	MSIX_vector_1			1 вектор MSI-X прерываний		
0x820	MSIX_vector_2			2 вектор MSI-X прерываний		
0x830	MSIX_vector_3			3 вектор MSI-X прерываний		
0x840	MSIX_vector_4			4 вектор MSI-X прерываний		
0x850	MSIX_vector_5			5 вектор MSI-X прерываний		
0x860	MSIX_vector_6			6 вектор MSI-X прерываний		
0x870	MSIX_vector_7			7 вектор MSI-X прерываний		
0x880	MSIX_vector_8			8 вектор MSI-X прерываний		
0x890	MSIX_vector_9			9 вектор MSI-X прерываний		
0x8A0	MSIX_vector_10			10 вектор MSI-X прерываний		
0x8B0	MSIX_vector_11			11 вектор MSI-X прерываний		
0x8C0	MSIX_vector_12			12 вектор MSI-X прерываний		
0x8D0	MSIX_vector_13			13 вектор MSI-X прерываний		
0x8E0	MSIX_vector_14			14 вектор MSI-X прерываний		
0x8F0	MSIX_vector_15			15 вектор MSI-X прерываний		
0x900	MSIX_vector_16			16 вектор MSI-X прерываний		
0x910	MSIX_vector_17			17 вектор MSI-X прерываний		
0x920	MSIX_vector_18			18 вектор MSI-X прерываний		
0x930	MSIX_vector_19			19 вектор MSI-X прерываний		
0x940	MSIX_vector_20			20 вектор MSI-X прерываний		
0x950	MSIX_vector_21			21 вектор MSI-X прерываний		
0x960	MSIX_vector_22			22 вектор MSI-X прерываний		
0x970	MSIX_vector_23			23 вектор MSI-X прерываний		
0x980	MSIX_vector_24			24 вектор MSI-X прерываний		
0x990	MSIX_vector_25			25 вектор MSI-X прерываний		
0x9A0	MSIX_vector_26			26 вектор MSI-X прерываний		
0x9B0	MSIX_vector_27			27 вектор MSI-X прерываний		
0x9C0	MSIX_vector_28			28 вектор MSI-X прерываний		
0x9D0	MSIX_vector_29			29 вектор MSI-X прерываний		
0x9E0	MSIX_vector_30			30 вектор MSI-X прерываний		
0x9F0	MSIX_vector_31			31 вектор MSI-X прерываний		
0xA00	MSIX_vector_32			32 вектор MSI-X прерываний		
0xA10	MSIX_vector_33			33 вектор MSI-X прерываний		
0xA20	MSIX_vector_34			34 вектор MSI-X прерываний		
0xA30	MSIX_vector_35			35 вектор MSI-X прерываний		
0xA40	MSIX_vector_36			36 вектор MSI-X прерываний		
0xA50	MSIX_vector_37			37 вектор MSI-X прерываний		
0xA60	MSIX_vector_38			38 вектор MSI-X прерываний		
0xA70	MSIX_vector_39			39 вектор MSI-X прерываний		
0xA80	MSIX_vector_40			40 вектор MSI-X прерываний		
0xA90	MSIX_vector_41			41 вектор MSI-X прерываний		
0xAA0	MSIX_vector_42			42 вектор MSI-X прерываний		
0xAB0	MSIX_vector_43			43 вектор MSI-X прерываний		
0xAC0	MSIX_vector_44			44 вектор MSI-X прерываний		
0xAD0	MSIX_vector_45			45 вектор MSI-X прерываний		
0xAE0	MSIX_vector_46			46 вектор MSI-X прерываний		
0xAF0	MSIX_vector_47			47 вектор MSI-X прерываний		
0xB00	MSIX_vector_48			48 вектор MSI-X прерываний		
0xB10	MSIX_vector_49			49 вектор MSI-X прерываний		
0xB20	MSIX_vector_50			50 вектор MSI-X прерываний		
0xB30	MSIX_vector_51			51 вектор MSI-X прерываний		
0xB40	MSIX_vector_52			52 вектор MSI-X прерываний		
0xB50	MSIX_vector_53			53 вектор MSI-X прерываний		
				ЮФКВ.431268.020PЭ	Лист 218	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Регистр / группа регистров	Доступ	Значение после сброса	Описание
0xB60	MSIX_vector_54			54 вектор MSI-X прерываний
0xB70	MSIX_vector_55			55 вектор MSI-X прерываний
0xB80	MSIX_vector_56			56 вектор MSI-X прерываний
0xB90	MSIX_vector_57			57 вектор MSI-X прерываний
0xBA0	MSIX_vector_58			58 вектор MSI-X прерываний
0xBB0	MSIX_vector_59			59 вектор MSI-X прерываний
0xBC0	MSIX_vector_60			60 вектор MSI-X прерываний
0xBD0	MSIX_vector_61			61 вектор MSI-X прерываний
0xBE0	MSIX_vector_62			62 вектор MSI-X прерываний
0xBF0	MSIX_vector_63			63 вектор MSI-X прерываний
0xC00	PBA_Entries_l	RO	0x0	Младшая часть Pending Bits
0xC04	PBA_Entries_h	RO	0x0	Старшая часть Pending Bits
0xC08	AXI_param	RW	0x40	Параметры AXI

1.4.1.6.3.3.2 Описание полей регистров контроллера внешних прерываний

1.4.1.6.3.3.2.1 Ctrl (0x000)

Регистр управления контроллером внешних прерываний.

Описание полей регистра Ctrl представлено в таблице 320.

Таблица 320 – Поля регистра Ctrl

Поле	Биты	Доступ	Значение после сброса	Описание
Ext_Int_En	0	RW	1'h1	Разрешение внешних прерываний на выход EXT_IRQ 0 – выдача прерывания на выход EXT_IRQ запрещена 1 – выдача прерывания на на выход EXT_IRQ разрешена
MSIX_Int_En	1	R	1'h0	Разрешение MSI-X прерывания 0 – выдача MSI-X прерывания на шину PCIe запрещена 1 – выдача MSI-X прерывания на шину PCIe разрешена Это значение – аналог поля MSI-X Enable регистра MSI-X Control Register контроллера PCIe. Настраивается программно в контроллере PCIe
MSIX_Int_Mask	2	R	1'h0	Общая маска MSI-X прерываний Если MSI-X прерывание разрешено, но замаскировано, то при появлении прерывания: - оно не будет передаваться (не будет послана соответствующая AXI транзакция) - оно отразится как ожидающее (будет установлен соответствующий бит в массиве PBA). После снятия маски прерывание будет передано. Это значение – аналог поля Function Mask регистра MSI-X Control Register контроллера PCIe. Настраивается программно в контроллере PCIe
Legacy_Int_En	3	RW	1'h0	Разрешение Legacy прерывания. 0 – выдача Legacy прерывания на шину PCIe запрещена 1 – выдача Legacy прерывания на шину PCIe разрешена

					Лист
					219
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Поле	Биты	Доступ	Значение после сброса	Описание
Legacy_Int_Mask	4	RW	1'h0	Маска Legacy прерывания. Если Legacy прерывание разрешено, но замаскировано, то при появлении прерывания: - оно не будет передаваться (не будет установлен сигнал INTA) - оно отразится как ожидающее в конфигурационном пространстве физической функции PCIe (будет установлен сигнал INT_PENDING_STATUS). После снятия маски прерывание будет передано
Legacy_Int_Ack	5	R	1'h1	Подтверждение Legacy прерывания. Сбрасывается аппаратно при изменении статуса Legacy прерывания (изменении значения сигнала INTA). Устанавливается аппаратно при подтверждении контроллером PCIe изменения статуса Legacy прерывания. Это значение предполагается использовать в отладочных целях
-	31:6	R	26'h0	Reserved

1.4.1.6.3.3.2.2 Global_IRQ_Status_l (0x04)

Описание полей регистра Global_IRQ_Status_l представлено в таблице 321.

Таблица 321 – Поля регистра Global_IRQ_Status_l

Поле	Биты	Доступ	Значение после сброса	Описание
Global_IRQ_Status_l	31:0	RW1C	'h0	Младшие биты статуса прерываний от периферийных устройств. 0 – соответствующее прерывание не активно 1 – сигнал соответствующего прерывания был установлен и не был сброшен. Запись 1 в любой бит сбросит его значение в 0. Карта прерываний такая же, как у контроллера прерывания ARM (GIC) и приведена в соответствующей документации

1.4.1.6.3.3.2.3 Global_IRQ_Status_h (0x08)

Описание полей регистра Global_IRQ_Status_h представлено в таблице 322.

Таблица 322 – Поля регистра Global_IRQ_Status_h

Поле	Биты	Доступ	Значение после сброса	Описание
Global_IRQ_Status_h	31:0	RW1C	'h0	Старшие биты статуса прерываний от периферийных устройств. 0 – соответствующее прерывание не активно 1 – сигнал соответствующего прерывания был установлен и не был сброшен. Запись 1 в любой бит сбросит его значение в 0. Карта прерываний такая же, как у контроллера прерывания ARM (GIC) и приведена в соответствующей документации

					ЮФКВ.431268.020РЭ		Лист
							220
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

1.4.1.6.3.3.2.4 *Global_IRQ_Mask_l (0x0C)*

Описание полей регистра *Global_IRQ_Mask_l* представлено в таблице 323.

Таблица 323 – Поля регистра *Global_IRQ_Mask_l*

Поле	Биты	Доступ	Значение после сброса	Описание
<i>Global_IRQ_Mask_l</i>	31:0	RW	hFFFFFFF	Младшие биты маски прерываний от периферийных устройств. 0 – соответствующее прерывание не маскировано 1 – соответствующее прерывание маскировано Карта прерываний такая же, как у контроллера прерывания ARM (GIC) и приведена в соответствующей документации. Установка этой маски не отменяет ожидающих MSI-X прерываний, т. е. биты PBA не будут сброшены

1.4.1.6.3.3.2.5 *Global_IRQ_Mask_h (0x10)*

Описание полей регистра *Global_IRQ_Mask_h* представлено в таблице 324.

Таблица 324 – Поля регистра *Global_IRQ_Mask_h*

Поле	Биты	Доступ	Значение после сброса	Описание
<i>Global_IRQ_Mask_h</i>	31:0	RW	hFFFFFFF	Старшие биты маски прерываний от периферийных устройств. 0 – соответствующее прерывание не маскировано 1 – соответствующее прерывание маскировано Карта прерываний такая же, как у контроллера прерывания ARM (GIC) и приведена в соответствующей документации. Установка этой маски не отменяет ожидающих MSI-X прерываний, т. е. биты PBA не будут сброшены

1.4.1.6.3.3.2.6 *Global_IRQ_Map_0 (0x014)*

Описание полей регистра *Global_IRQ_Map_0* представлено в таблице 325.

Таблица 325 – Поля регистра *Global_IRQ_Map_0*

Поле	Биты	Доступ	Значение после сброса	Описание
<i>INPUT_INT_0_map</i>	5:0	RW	6'h00	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1 [0]</i>
<i>INPUT_INT_1_map</i>	11:6	RW	6'h01	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1 [1]</i>
<i>INPUT_INT_2_map</i>	17:12	RW	6'h02	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1 [2]</i>
<i>INPUT_INT_3_map</i>	23:18	RW	6'h03	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1 [3]</i>
-	31:19	R	8'h00	Reserved

					Лист
					221
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			ЮФКВ.431268.020РЭ		
			Подп. и дата		

1.4.1.6.3.3.2.7 *Global_IRQ_Map_1 (0x018)*

Описание полей регистра *Global_IRQ_Map_1* представлено в таблице 326.

Таблица 326 – Поля регистра *Global_IRQ_Map_1*

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_4_map	5:0	RW	6'h04	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [4]
INPUT_INT_5_map	11:6	RW	6'h05	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [5]
INPUT_INT_6_map	17:12	RW	6'h06	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [6]
INPUT_INT_7_map	23:18	RW	6'h07	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [7]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.8 *Global_IRQ_Map_2 (0x01C)*

Описание полей регистра *Global_IRQ_Map_2* представлено в таблице 327.

Таблица 327 – Поля регистра *Global_IRQ_Map_2*

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_8_map	5:0	RW	6'h08	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [8]
INPUT_INT_9_map	11:6	RW	6'h09	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [9]
INPUT_INT_10_map	17:12	RW	6'h0A	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [10]
INPUT_INT_11_map	23:18	RW	6'h0B	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [11]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.9 *Global_IRQ_Map_3 (0x020)*

Описание полей регистра *Global_IRQ_Map_3* представлено в таблице 328.

Таблица 328 – Поля регистра *Global_IRQ_Map_3*

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_12_map	5:0	RW	6'h0C	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [12]
INPUT_INT_13_map	11:6	RW	6'h0D	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_1</i> [13]

					Лист
					222
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhall</i> 24.10.2019		34203-2	

ЮФКВ.431268.020РЭ

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_14_map	17:12	RW	6'h0E	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [14]
INPUT_INT_15_map	23:18	RW	6'h0F	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [15]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.10 Global_IRQ_Map_4 (0x024)

Описание полей регистра Global_IRQ_Map_4 представлено в таблице 329.

Таблица 329 – Поля регистра Global_IRQ_Map_4

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_16_map	5:0	RW	6'h10	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [16]
INPUT_INT_17_map	11:6	RW	6'h11	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [17]
INPUT_INT_18_map	17:12	RW	6'h12	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [18]
INPUT_INT_19_map	23:18	RW	6'h13	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [19]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.11 Global_IRQ_Map_5 (0x028)

Описание полей регистра Global_IRQ_Map_5 представлено в таблице 330.

Таблица 330 – Поля регистра Global_IRQ_Map_5

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_20_map	5:0	RW	6'h14	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [20]
INPUT_INT_21_map	11:6	RW	6'h15	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [21]
INPUT_INT_22_map	17:12	RW	6'h16	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [22]
INPUT_INT_23_map	23:18	RW	6'h17	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [23]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.12 Global_IRQ_Map_6 (0x02C)

Описание полей регистра Global_IRQ_Map_6 представлено в таблице 331.

					Лист	
					223	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redball</i> 24.10.2019		34203-2		

Таблица 331 – Поля регистра Global_IRQ_Map_6

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_24_map	5:0	RW	6'h18	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [24]
INPUT_INT_25_map	11:6	RW	6'h19	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [25]
INPUT_INT_26_map	17:12	RW	6'h1A	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [26]
INPUT_INT_27_map	23:18	RW	6'h1B	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [27]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.13 Global_IRQ_Map_7 (0x030)

Описание полей регистра Global_IRQ_Map_7 представлено в таблице 332.

Таблица 332 – Поля регистра Global_IRQ_Map_7

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_28_map	5:0	RW	6'h1C	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [28]
INPUT_INT_29_map	11:6	RW	6'h1D	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [29]
INPUT_INT_30_map	17:12	RW	6'h1E	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [30]
INPUT_INT_31_map	23:18	RW	6'h1F	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_1 [31]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.14 Global_IRQ_Map_8 (0x034)

Описание полей регистра Global_IRQ_Map_8 представлено в таблице 333.

Таблица 333 – Поля регистра Global_IRQ_Map_8

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_32_map	5:0	RW	6'h20	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [0]
INPUT_INT_33_map	11:6	RW	6'h21	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [1]
INPUT_INT_34_map	17:12	RW	6'h22	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [2]
INPUT_INT_35_map	23:18	RW	6'h23	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [3]
-	31:19	R	8'h00	Reserved

					Лист
					224
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

1.4.1.6.3.3.2.15 *Global_IRQ_Map_9 (0x038)*

Описание полей регистра *Global_IRQ_Map_9* представлено в таблице 334.

Таблица 334 – Поля регистра *Global_IRQ_Map_9*

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_36_map	5:0	RW	6'h24	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [4]</i>
INPUT_INT_37_map	11:6	RW	6'h25	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [5]</i>
INPUT_INT_38_map	17:12	RW	6'h26	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [6]</i>
INPUT_INT_39_map	23:18	RW	6'h27	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [7]</i>
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.16 *Global_IRQ_Map_10 (0x03C)*

Описание полей регистра *Global_IRQ_Map_10* представлено в таблице 335.

Таблица 335 – Поля регистра *Global_IRQ_Map_10*

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_40_map	5:0	RW	6'h28	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [8]</i>
INPUT_INT_41_map	11:6	RW	6'h29	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [9]</i>
INPUT_INT_42_map	17:12	RW	6'h2A	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [10]</i>
INPUT_INT_43_map	23:18	RW	6'h2B	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [11]</i>
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.17 *Global_IRQ_Map_11 (0x040)*

Описание полей регистра *Global_IRQ_Map_11* представлено в таблице 336.

Таблица 336 – Поля регистра *Global_IRQ_Map_11*

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_44_map	5:0	RW	6'h2C	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [12]</i>
INPUT_INT_45_map	11:6	RW	6'h2D	Показывает номер MSI-X вектора, который будет использован при установке бита <i>Global_IRQ_Status_h [13]</i>

					Лист
					225
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			ЮФКВ.431268.020РЭ		
			Подп. и дата		

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_46_map	17:12	RW	6'h2E	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [14]
INPUT_INT_47_map	23:18	RW	6'h2F	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [15]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.18 Global_IRQ_Map_12 (0x044)

Описание полей регистра Global_IRQ_Map_12 представлено в таблице 337.

Таблица 337 – Поля регистра Global_IRQ_Map_12

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_48_map	5:0	RW	6'h30	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [16]
INPUT_INT_49_map	11:6	RW	6'h31	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [17]
INPUT_INT_50_map	17:12	RW	6'h32	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [18]
INPUT_INT_51_map	23:18	RW	6'h33	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [19]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.19 Global_IRQ_Map_13 (0x048)

Описание полей регистра Global_IRQ_Map_13 представлено в таблице 338.

Таблица 338 – Поля регистра Global_IRQ_Map_13

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_52_map	5:0	RW	6'h34	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [20]
INPUT_INT_53_map	11:6	RW	6'h35	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [21]
INPUT_INT_54_map	17:12	RW	6'h36	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [22]
INPUT_INT_55_map	23:18	RW	6'h37	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [23]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.20 Global_IRQ_Map_14 (0x04C)

Описание полей регистра Global_IRQ_Map_14 представлено в таблице 339.

					ЮФКВ.431268.020РЭ		Лист
							226
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 339 – Поля регистра Global_IRQ_Map_14

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_56_map	5:0	RW	6'h38	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [24]
INPUT_INT_57_map	11:6	RW	6'h39	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [25]
INPUT_INT_58_map	17:12	RW	6'h3A	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [26]
INPUT_INT_59_map	23:18	RW	6'h3B	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [27]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.21 Global_IRQ_Map_15 (0x050)

Описание полей регистра Global_IRQ_Map_15 представлено в таблице 340.

Таблица 340 – Поля регистра Global_IRQ_Map_15

Поле	Биты	Доступ	Значение после сброса	Описание
INPUT_INT_60_map	5:0	RW	6'h3C	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [28]
INPUT_INT_61_map	11:6	RW	6'h3D	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [29]
INPUT_INT_62_map	17:12	RW	6'h3E	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [30]
INPUT_INT_63_map	23:18	RW	6'h3F	Показывает номер MSI-X вектора, который будет использован при установке бита Global_IRQ_Status_h [31]
-	31:19	R	8'h00	Reserved

1.4.1.6.3.3.2.22 vX_Message_Address (0x800, 0x810, 0x820...)

Описание полей регистра vX_Message_Address представлено в таблице 341.

Таблица 341 – Поля регистра vX_Message_Address

Поле	Биты	Доступ	Значение после сброса	Описание
Message AddressAlign	1:0	R	2'b00	Адрес MSI-X прерываний должен быть выровнен по четыре байта
Message Address	31:2	RW	30'hxX	Младшая часть адреса вектора X MSI-X прерывания. Должен быть программно инициализирован перед началом использования, иначе значение не определено. Указанный здесь адрес будет изменен обоими уровнями выходной трансляции адресов, если они включены

					Лист
					227
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhal</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

1.4.1.6.3.3.2.23 vX_Message_Upper_Address (0x804, 0x814, 0x824...)

Описание полей регистра vX_Message_Upper_Address представлено в таблице 342.

Таблица 342 – Поля регистра vX_Message_Upper_Address

Поле	Биты	Доступ	Значение после сброса	Описание
Message Upper Address	31:0	R	32'h00000000	Старшая часть адреса вектора X MSI-X прерывания. Всегда равно 0. Для расширения адресного пространства до 64 бит следует использовать встроенный в контроллер PCIe механизм базового преобразования адресов

1.4.1.6.3.3.2.24 vX_Message_Data (0x808, 0x818, 0x828...)

Описание полей регистра vX_Message_Data представлено в таблице 343.

Таблица 343 – Поля регистра vX_Message_Data

Биты	Биты	Тип доступа	Начальное значение	Описание
Message Data	31:0	RW	32'hxxxxxxxx	Данные вектора X MSI-X прерывания. Должны быть программно инициализированы перед началом использования, иначе значение не определено

1.4.1.6.3.3.2.25 vX_Vector_Control (0x80C, 0x81C, 0x82C...)

Описание полей регистра vX_Vector_Control представлено в таблице 344.

Таблица 344 – Поля регистра vX_Vector_Control

Поле	Биты	Доступ	Значение после сброса	Описание
Mask Bit	0	RW	1'b1	Маска вектора X MSI-X прерывания. Если MSI-X прерывание разрешено, но замаскировано (этим битом или общей маской), то при появлении прерывания: - оно не будет передаваться (не будет послана соответствующая AXI транзакция) - оно отразится как ожидающее (будет установлен соответствующий бит в массиве PBA). После снятия маски прерывание будет передано
31:1	31:1	R	31'h00000000	Reserved

1.4.1.6.3.3.2.26 PBA_Entries_1 (0xC00)

Описание полей регистра PBA_Entries_1 представлено в таблице 345.

					ЮФКВ.431268.020РЭ	Лист 228
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 345 – Поля регистра PBA_Entries_l

Поле	Биты	Доступ	Значение после сброса	Описание
Pending Bits [31:0]	31:0	R	32'h00000000	Младшая часть Pending Bits. Каждый установленный бит показывает, что был запрос MSI-X прерывания с вектором с тем же номером, но транзакция еще не отправлена. Это может быть по следующим причинам: - замаскированы все MSI-X прерывания - замаскирован соответствующий вектор

1.4.1.6.3.3.2.27 PBA_Entries_h (0xC04)

Описание полей регистра PBA_Entries_h представлено в таблице 346.

Таблица 346 – Поля регистра PBA_Entries_h

Поле	Биты	Доступ	Значение после сброса	Описание
Pending Bits [63:32]	31:0	R	32'h00000000	Старшая часть Pending Bits. Каждый установленный бит показывает, что был запрос MSI-X прерывания с вектором с тем же номером, но транзакция еще не отправлена. Это может быть по следующим причинам: - замаскированы все MSI-X прерывания - замаскирован соответствующий вектор

1.4.1.6.3.3.2.28 AXI_param (0xC08)

Подробное описание назначения параметров приведено в спецификации AMBA® AXI™ and ACE™ Protocol Specification. При установке определенных значений необходимо убедиться, что шина AXI или конечное устройство поддерживают такой функционал.

Описание полей регистра AXI_param представлено в таблице 347.

Таблица 347 – Поля регистра AXI_param

Поле	Биты	Доступ	Значение после сброса	Описание
AXI_AxLOCK	1:0	RW	2'b00	Значение, выдаваемое на сигналы MP_AWLOCK и MP_ARLOCK
AXI_AxCACHE	5:2	RW	4'b0000	Значение, выдаваемое на сигналы MP_AWCACHE и MP_ARCACHE
AXI_AxPROT	8:6	RW	3'b001	Значение, выдаваемое на сигналы MP_AWPROT и MP_ARPROT
-	31:9	R	23'h000000	Reserved

1.4.1.6.4 Контроллер интерфейса Ethernet 10/100/1000 (MGETH)

1.4.1.6.4.1 Общее описание MGETH

MGETH выполняет функции контроллера интерфейса Ethernet (IEEE 802.3ab), обеспечивая взаимодействие с микросхемой физического интерфейса Ethernet (Ethernet PHY).

MGETH интегрируется в систему по средствам шинных интерфейсов AMBA 3.0 AXI (master) и AMBA 3.0 APB (slave).

Шинный интерфейс APB slave используется для записи в регистры контроллера (REG) управляющих значений и конфигурационных параметров, а также для чтения статуса работы контроллера.

					ЮФКВ.431268.020РЭ	Лист 229
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Для приёма и передачи данных используется интерфейс AXI master с поддержкой прямого доступа к памяти (MDMA).

MGETH реализует по четыре псевдопараллельных канала приёма и передачи данных. Каждый канал включает в себя отдельный канал прямого доступа в память (RMDMA для передачи данных и WMDMA для приёма данных).

Каждый канал MDMA рассчитан на работу с дескрипторами, расположенными во внешней памяти. В процессе работы канал MDMA считывает дескриптор из памяти, выполняет операции в соответствии с тем, что содержится в дескрипторе, и после этого модифицирует (перезаписывает) его значение. При модификации дескриптора дополнительно производится изменение значений некоторых полей.

MGETH имеет интерфейс GMII (GMII-SGMII реализуется отдельным блоком) для взаимодействия с внешней микросхемой физического интерфейса Ethernet (Ethernet PHY).

MGETH поддерживает скорости передачи данных по сети Ethernet 10, 100, 1000 Мбит/с. Также реализована поддержка Ethernet-фреймов длины большей чем стандартная (jumbo frame), с максимальным размером Ethernet-фреймов до 10240 байт.

MGETH имеет возможность аппаратно рассчитывать (при передаче) и проверять (при приёме) контрольные суммы Ethernet-фреймов (FCS), вложенных протоколов IPv4 (для Ethernet-фреймов без поля tag и при использовании IPv4 без поля option), и вложенных в IPv4 протоколов UDP, TCP и ICMP. Также MGETH добавляет преамбулу в начало передаваемых Ethernet-фреймов и контролирует, что между последовательно идущими Ethernet-фреймами был выдержан минимальный интервал (Interpacket gap).

MGETH позволяет аппаратно реализовывать фильтрацию принимаемых Ethernet-фреймов по первым 128 байтам. Для каждой очереди приёмной части MGETH используется свой фильтр по маске. Каждая очередь имеет жёстко заданный приоритет.

MGETH поддерживает программируемую задержку между исходящими пакетами. Задержка имеет значения от 0 до 2^{31} нс с шагом 8 нс. Задержка между отправкой пакетов (Tdelay) задается для каждого канала MDMA.

MGETH имеет аппаратную поддержку RTP видеопотока для приема несжатого видео (RAW-формат), для Ethernet-фреймов (без tag) с вложенным протоколом IPv4 (без опций и фрагментации) и UDP, с проверкой контрольных сумм. Сбор видеокладов происходит из последовательно приходящих полных (без разбиения видеострока на несколько Ethernet-фреймов) видеострок (в одном Ethernet-фрейме одна видеострока).

MGETH имеет аппаратную поддержку сбора статистики для принимаемых и передаваемых данных.

1.4.1.6.4.2 Структурная схема MGETH

Структурная схема MGETH представлена на рисунке 41.

									Лист
									230
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

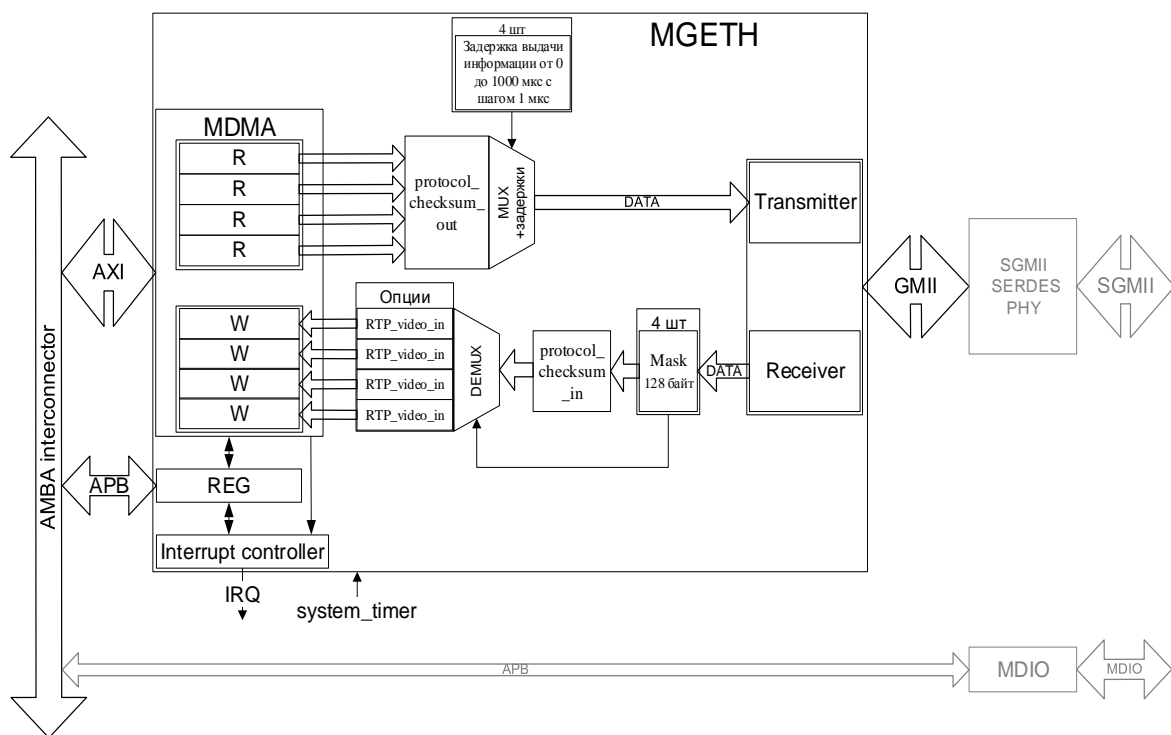


Рисунок 41 – Структурная схема MGETH

В таблице 348 описываются основные компоненты блока MGETH.

Таблица 348 – Описание блоков на структурной схеме MGETH

Название блока	Назначение и основные функции
MDMA	Выполняет функции контроллера прямого доступа к памяти
REG	Содержит регистры настройки, необходимые для контроллера Ethernet MAC
Interrupt controller	Контроллер прерываний с поддержкой прореживания прерываний по времени и по количеству
Transmitter	Блок реализует передачу данных из Ethernet-контроллера в GMII интерфейс
Receiver	Блок реализует прием данных из GMII интерфейса в Ethernet-контроллер
RTP_video_in	Блок реализует сборку видеокadra из поступающих по Ethernet видеострок, упакованных в Ethernet-фреймы (MAC/IPv4/UDP/RTP_video)
Mask	Блок реализует фильтрации пакетов с использованием маски для анализа до 128 начальных байт Ethernet-фрейма
MUX +задержки	Блок реализует выбор, данные от какого канала DMA будут передаваться Ethernet-контроллером (с учётом приоритетов между каналами и задержек между последовательными передачами по одному каналу)
DEMUX	Блок реализует выбор, данные (и флаги) для какого канала DMA выдаются Ethernet-контроллером
protocol_checksum_out	Блок реализует расчет контрольных сумм при передаче
protocol_checksum_in	Блок реализует проверку контрольных сумм при приеме

					Лист
					231
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			ЮФКВ.431268.020РЭ		
			Подп. и дата		

1.4.1.6.4.3 Принципы функционирования MGETH

В процессе передачи данных MGETH считывает данные из памяти в соответствии с настройками канала чтения MDMA (RMDMA), формирует из полученных данных Ethernet-фрейм и пересылает его во внешнюю микросхему, реализующую физический уровень передачи (Ethernet PHY). Любые данные передаются по одной и той же схеме. При формировании пакета MGETH обеспечивает аппаратный расчёт контрольных сумм в соответствии с пользовательскими настройками конкретного канала.

При приёме данных MGETH принимает данные от внешней микросхемы, реализующей физический уровень передачи (Ethernet PHY), распределяет полученные Ethernet-фреймы по отдельным приёмным каналам, анализирует контрольные суммы и записывает данные в память в соответствии с настройками конкретного канала записи MDMA (WMDMA). Ethernet-фреймы с некорректной контрольной суммой (FCS) отбрасываются. При приёме RTP-видео MGETH собирает видеокادر из отдельных Ethernet-фреймов и записывает результат в один дескриптор WMDMA, во всех остальных случаях каждый Ethernet-фрейм записывается в отдельный дескриптор.

При приёме и передаче данных MGETH ведёт подсчёт статистики.

1.4.1.6.4.3.1 Принципы работы MDMA

В данном документе приведены основные принципы работы MDMA, более подробно нюансы работы MDMA описаны в п. 1.4.1.6.6.

MDMA рассчитан на работу с дескрипторами, расположенными во внешней памяти. Используемый в составе MGETH блок MDMA содержит четыре канала чтения из памяти (RMDMA) и четыре канала записи в память (WMDMA). Каналы чтения из памяти и записи в память независимы. Принципы прямого доступа в память для каждого из каналов идентичны. Для каждого канала MDMA задаётся отдельный набор дескрипторов.

Ниже приводится описание принципа работы одного канала MDMA.

В процессе работы MDMA считывает дескриптор из памяти, выполняет операции в соответствии с тем, что содержится в дескрипторе, и после этого модифицирует (перезаписывает) его значение, устанавливая флаги статуса.

MDMA работает с дескрипторами двух типов (тип дескриптора определяется флагом):

- дескриптор данных (data);
- дескриптор-ссылка (link).

Дескрипторы данных описывают область памяти, содержащую данные для передачи, или же область памяти, в которую необходимо передать данные.

Дескрипторы-ссылки описывают переход к новому дескриптору (новому блоку дескрипторов).

Каждый дескриптор содержит флаг ownership, который указывает на доступность дескриптора для MDMA. Если данный флаг имеет значение 0, то MDMA может выполнять операции в соответствии с данным дескриптором, если 1 – то данный дескриптор для MDMA не доступен. При модификации дескриптора MDMA устанавливает значение ownership в 1, таким образом указывая, что работа с данным дескриптором завершена, и исключая возможность последующей работы. В случае если MDMA считывает недоступный дескриптор, работа останавливается.

В MDMA поддерживается предвыборка дескрипторов для минимизации задержек при переходе от дескриптора к дескриптору, подробнее это описано в документации на MDMA-GP в разделе «Работа с дескрипторами MDMA-GP».

Предвыборка дескрипторов требует, чтобы не было дескрипторов-ссылок на дескриптор, который уже зачитан, но еще не отработан (перезаписан), соответственно, если в таблице нет дескрипторов с флагом stop (описание см. ниже) и последний дескриптор ссылается на начало

									Лист
									232
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redhell</i> 24.10.2019			34203-2					

Поле	Биты	Описание
link	[126]	Тип дескриптора 0 – дескриптор данных 1 – дескриптор-ссылка
interrupt	[125]	Флаг выработки прерывания после выполнения дескриптора 0 – не выработать прерывание 1 – выработать прерывание
stop	[124]	Флаг остановки после выполнения операций с дескриптором 0 – переход к следующему дескриптору разрешен 1 – канал MDMA остановит свою работу после завершения обработки данного дескриптора
increment	[123]	Флаг запрета инкрементирования адреса 0 – обращение в фиксированный адрес 1 – инкрементация адреса
err	[122]	Флаг ошибки шины AXI при выполнении операций дескриптора
custom ¹⁾	[121:110]	Поле для специальных флагов ядра, описание данных бит отличается для каналов и подробно рассмотрено ниже
length	[109:96]	Длина области данных для погmal-дескриптора / Количество строк для pitch-дескриптора
address	[95:64]	Адрес области данных дескриптора (data) или адрес перехода (link)
Дополнительная часть для long-дескрипторов		
free_run_value	[63:0]	Временная метка free_run_value (значение free_run_timer)
Дополнительная часть для pitch-дескрипторов		
pitch	[63:48]	Расстояние между строками для pitch-операций
string length	[47:32]	Длина строки данных для pitch-операций
RTP_timestamp	[31:0]	Временная метка для RTP-видео
<p>¹⁾ Поле для специальных флагов ядра - в MDMA поле custom может использоваться для увеличения поля length (указывается в настройках канала MDMA), в сопряжении с MGETH поле custom используется только для флагов ядра.</p>		

1.4.1.6.4.3.2 Подготовка к началу работы

Для начальной настройки MGETH необходимо выполнить следующие действия:

- опросить Ethernet PHY с помощью контроллера MDIO-интерфейса, и настроить регистры управления MGETH;
- настроить маски для аппаратной фильтрации принимаемых Ethernet-фреймов с учетом приоритетов между каналами (приоритет у каналов фиксированный: у 0 канала самый высокий, у 3 канала самый низкий);
- настроить временные задержки каналов для выдачи данных, если они необходимы;
- настроить значение минимального промежутка между Ethernet-фреймами (Interpacket gap (IPG), если оно отличается от значения по умолчанию);
- если необходима аппаратная поддержка при приеме RTP-видео, то нужно запрограммировать соответствующий канал WMDMA на работу с pitch-дескрипторами;
- запрограммировать таблицы дескрипторов для каналов записи и чтения MDMA;
- настроить каналы записи и чтения MDMA на работы с соответствующими таблицами дескрипторов;
- когда все настройки выполнены, включить нужные каналы MDMA.

При использовании только одного канала приема или передачи можно увеличить значение соответствующего регистра W(R)_MAX_TRANS.

					ЮФКВ.431268.020РЭ	Лист 234
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2		

1.4.1.6.4.3.3 Передача данных (ТХ-канал)

При включении канал RMDMA для данного канала из памяти считывается дескриптор (в одном дескрипторе должны содержаться данные для одного Ethernet-фрейма целиком), и во внутренний буфер канала считываются данные, соответствующие данному дескриптору (фрейм не начинает передаваться до того, как все данные не будут зачитаны в буфер). В таблице 350 описано поле custom дескриптора для передачи данных, которое отображает специальные флаги.

Таблица 350 – Описание поля custom дескриптора для передачи данных (ТХ-канал)

Поле	Бит дескр.	Кем выставляется	Описание
IPv4_checksum	[121]	ПО	0 – контрольная сумма IPv4 заголовка аппаратно не рассчитывается. 1 – контрольная сумма IPv4 заголовка рассчитывается контроллером
error_IPv4	[120:119]	Контроллером при перезаписи	00 – пакет успешно отправлен, другие значения может принимать только если флаг IPv4_checksum=1; 01 – пакет отправлен, при этом Ethernet-фрейм является фрагментом IPv4-пакета (при этом поле дескриптора protocol_checksum будет игнорироваться); 10 – идентификатор для IP-пакета, вложенного в Ethernet-фрейм, не найден или версия IP-протокола не равна 4; пакет отправляется без расчета контрольной суммы IPv4 и поле дескриптора protocol_checksum игнорируется; 11 – контрольная сумма для IP-пакета, вложенного в Ethernet-фрейм, не рассчитана из-за того, что длина IPv4 заголовка не равна 20 байтам; пакет отправляется без расчета контрольной суммы IPv4, и поле дескриптора protocol_checksum игнорируется (при этом нет анализа, является ли Ethernet-фрейм фрагментом IPv4-пакета)
reserved	[118]	-	-
transport_protocol_checksum	[117]	ПО	0 – вложенный в IPv4 протокол не идентифицируется, расчёт дополнительной контрольной суммы не производится; 1 – вложенный в IPv4 протокол идентифицируется и производится расчёт соответствующей контрольной суммы
identified_transport_protocol	[116:115]	Контроллером при перезаписи	Обнаружен вложенный в IPv4 протокол (и рассчитана контрольная сумма для него): 00 – не обнаружен; 01 – TCP; 10 – UDP; 11 – ICMP
reserved	[114:112]	-	-
attempt_limit_error	[111]	Контроллером при перезаписи	Пакет не был передан, поскольку было достигнуто максимальное количество попыток передачи (возникновение этой ошибки возможно только в режиме полудуплекса (half duplex, бит MGETH_CONTROL[full_duplex]=0)
new_time_range	[110]	ПО	Старт нового временного интервала для задержек между исходящими пакетами

					ЮФКВ.431268.020РЭ	Лист 235
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Формирование Ethernet-фрейма производится по следующей схеме:

- добавляется преамбула;
- рассчитываются необходимые контрольные суммы вложенных протоколов (в соответствии со значением флагов IPv4_checksum, transport_protocol_checksum и в соответствии с тем, какой протокол вложен в IPv4);
- рассчитывается контрольная сумма FCS.

Минимальная длина Ethernet фрейма (64 байта) должна контролироваться программно, аппаратный контроль не предусмотрен, для этого минимальная длина дескрипторов должна быть 60 байт (Ethernet фрейма 64 байта = 60 данные + 4 контрольная сумма (FCS), которая добавляется автоматически).

Из данных внутреннего буфера канала формируется Ethernet-фрейм. Если данные уже зачитаны для нескольких каналов, то сначала передаются данные из канала с наибольшим приоритетом. Когда Ethernet-фрейм успешно сформирован, MGETH проверяет, что прошел минимальный интервал (Interpacket gap) между фреймами, и передает фрейм на интерфейс к PHY.

В момент отправки первого байта данных (преамбула не учитывается) сохраняется значение Free run Timer для записи в дескриптор в поле free_run_value, при перезаписи дескриптора. Между включением канала и началом отправки данных (фиксацией значения Free run Timer) проходит время, необходимое:

- на чтение дескриптора;
- на чтение всех данных для этого дескриптора;
- ожидание возможности начала передачи (окончание задержки передачи для данного канала (если это не первый фрейм и эта задержка задана - см. ниже), окончание передач по более приоритетным каналам, окончание IPG).

Когда данные переданы в Ethernet PHY, RMDMA переписывает дескриптор как отработанный (значение free_run_value будет переписано и актуально тоже только после перезаписи дескриптора).

MGETH поддерживает программируемую задержку между исходящими пакетами. Задержка имеет значения от 0 до 2^{31} нс с шагом 8 нс. Задержка между отправкой пакетов (Tdelay) задается для каждого RMDMA канала. MGETH рассчитывает задержку начала передачи i-го Ethernet-фрейма относительно времени начала передачи 0-го Ethernet-фрейма, которая равняется $i * Tdelay$. Если контроллер во время отсчета задержки вывода i-го Ethernet-фрейма переключился на работу с другим каналом RMDMA и затем вернулся к текущему каналу RMDMA, когда время от начала передачи i-го Ethernet-фрейма (T) превысило значение $i * Tdelay$, то контроллер будет выдавать в сеть подряд без задержек (будут только IPG) Ethernet-фреймы, пока текущее значение T не станет меньше расчетного значения $i * Tdelay$, с учетом того, что эти передачи могут прерывать каналы с большим приоритетом.

Уточнение на примере двух пакетов: поскольку Tdelay задается между началом первого и началом второго пакетов, оно будет иметь смысл только когда Tdelay больше времени, необходимого на передачу первого пакета, время на передачу одного пакета в тактах (для скорости 1000 Мбит/с) равно 8 (преамбула) + length (длина пакета) + 4 (контрольная сумма) + 12 (межпакетный интервал (Interpacket_gap) – равен 12, если используется значение по умолчанию). Если необходимо задать минимальное время между концом одного пакета и началом следующего, то это возможно сделать, увеличив межпакетный интервал (Interpacket_gap).

Флаг дескриптора new_time_range=1 делает данный Ethernet-фрейм стартовым для отсчета следующего временного интервала (далее временная задержка для данного RMDMA канала рассчитывается относительно начала передачи данного фрейма). Рекомендуется, чтобы в первом дескрипторе, обрабатываемом после остановки канала RMDMA, был установлен флаг new_time_range для корректного дальнейшего распределения по времени фреймов от данного канала.

									Лист
									236
Изм	Лист	№ докум.	Подп.	Дата					
	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
	34203-3		<i>Redhall</i> 24.10.2019		34203-2				

1.4.1.6.4.3.3.1 Режим прямой передачи данных

Режим прямой передачи данных реализован для отладочных и тестовых целей. Для включения режима прямой передачи данных необходимо установить флаг MGETH_CONTROL[direct_data_tx_rmdma_i], соответствующий нужному каналу RMDMA.

При включении канала RMDMA для данного канала из памяти считывается дескриптор – в одном дескрипторе должен содержаться один Ethernet-фрейм целиком (в том числе преамбула, контрольная сумма FCS и другие необходимые контрольные суммы). Во внутренний буфер канала зачитывается Ethernet-фрейм, соответствующий данному дескриптору.

Данные из внутреннего буфера канала передаются в Ethernet PHY без дополнительной обработки. Между Ethernet-фреймами выдерживается минимальный интервал (Interpacket gap).

Когда данные переданы в Ethernet PHY, RMDMA переписывает дескриптор как отработанный.

Если включен режим работы контроллера в полудуплексе и пакет не был передан, поскольку было достигнуто максимальное количество попыток передачи, то в дескрипторе будет установлен флаг attempt_limit_error.

Флаг дескриптора new_time_range=1 делает данный Ethernet-фрейм стартовым для отсчета следующего временного интервала (далее временная задержка для данного RMDMA канала рассчитывается относительно начала передачи данного фрейма). Рекомендуется, чтобы в первом дескрипторе, обрабатываемом после остановки канала RMDMA, был установлен флаг new_time_range для корректного дальнейшего распределения по времени фреймов от данного канала.

1.4.1.6.4.3.4 Прием данных (RX-канал)

В данном пункте описана работа с данными, принимаемыми через Ethernet. Приём RTP-видео и работа в режиме монитора сети описаны отдельно в пп. 1.4.1.6.4.3.4.1 и 1.4.1.6.4.3.4.2 соответственно.

Когда от PHY приходит Ethernet-фрейм, MGETH проверяет правильность контрольной суммы Ethernet-фрейма (FCS). Если контрольная сумма ошибочна, то Ethernet-фрейм отбрасывается и учитывается только в счетчиках статистики, если контрольная сумма верна, то Ethernet-фрейм проверяется масками (фильтрами) каналов WMDMA. Каждому каналу WMDMA соответствует своя маска, маска канала 0 обладает наибольшим приоритетом. Ethernet-фрейм сначала проверяется маской канала 0. Если Ethernet-фрейм проходит по маске данного канала, то дальнейшая обработка выполняется каналом 0. Не прошедшие через маску канала 0 Ethernet-фреймы проверяются маской канала 1 и т. д. Если Ethernet-фрейм не подошел ни по одной из масок, то он отбрасывается. Для исключения такой ситуации маску канала с наименьшим приоритетом можно сделать полностью прозрачной для всех Ethernet-фреймов.

Длина маски для каждого из каналов задается в регистрах MGETH_LEN_MASK_CHi. Каждый бит маски имеет бит включения (активности) и значение. Бит активности показывает, проверяется ли данный бит на нужное значение. Если фрейм (данные и FCS) короче, чем длина маски, то фрейм **не может** пройти в данный канал.

В момент прихода первого байта данных (преамбула не учитывается) сохраняется значение Free run Timer для записи в дескриптор в поле free_run_value, актуальное значение в памяти будет только после перезаписи дескриптора.

При включении WMDMA из памяти считывается дескриптор, далее MGETH ожидает, когда от PHY придет Ethernet-фрейм, который подойдет по маске для данного канала. До включения канала WMDMA маска, соответствующая данному каналу, не активна (через нее не могут пройти никакие Ethernet-фреймы). В таблице 351 описано поле custom дескриптора для приема данных, которое отображает специальные флаги.

					ЮФКВ.431268.020РЭ			Лист
								237
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2				

Таблица 351 – Описание поля custom дескриптора для приема данных (RX-канал)

Поле	Бит	Кем выставляется	Описание
reserved	[121:118]	-	-
error_IPv4	[117:116]	Контроллером при перезаписи	00 – пакет успешно принят; 01 – пакет принят, при этом Ethernet-фрейм является не последним фрагментом IPv4-пакета; 10 – идентификатор для IP-пакета, вложенного в Ethernet-фрейм, не найден, или версия IP-протокола не равна 4; 11 – контрольная сумма для IP-пакета, вложенного в Ethernet-фрейм, не проверена из-за того, что длина IPv4 заголовка не равна 20 байтам (при этом нет анализа, является ли Ethernet-фрейм фрагментом IPv4-пакета)
error_IPv4_checksum	[115]	Контроллером при перезаписи	Данный бит устанавливается в 1, когда контрольная сумма IPv4 заголовка ошибочна, данный бит актуален при error_IPv4 равном 2'b00 и 2'b01
detection_transport_protocol	[114:113]	Контроллером при перезаписи	00 – не найдено вложенных протоколов (значения отличные от 00 могут выставляться только если error_IPv4 = 2'b00); 01 – вложен протокол TCP; 10 – вложен протокол UDP; 11 – вложен протокол ICMP
error_transport_protocol_checksum	[112]	Контроллером при перезаписи	Контрольная сумма TCP/UDP/ICMP ошибочна
not_generat_protocol_checksum	[111]	Контроллером при перезаписи	Контрольная сумма TCP/UDP/ICMP не была рассчитана при отправлении
reserved	[110]	-	-

MGETH проверяет наличие и формат IPv4-заголовка и результаты проверки выдает в флаг дескриптора error_IPv4 (описание возможных значений приведено в таблице 351). Если IPv4-заголовк идентифицирован верно, то проверяется его контрольная сумма, в случае если контрольная сумма ошибочна, это заносится в флаг дескриптора error_IPv4_checksum. Также MGETH проверяет наличие протоколов TCP, UDP, ICMP, вложенных в IPv4, при обнаружение вложенных протоколов это отражается в флаге дескриптора detection_protocol (описание значений приведено в таблице 351), и проверяется наличие контрольной суммы и её корректность. Если контрольная сумма не была рассчитана при отправлении, это отражается в флаге дескриптора not_generat_protocol_checksum; если контрольная сумма ошибочна, это отражается в флаге дескриптора error_protocol_checksum.

После того как все данные, пришедшие в Ethernet-фрейме, записаны в память, WMDMA модифицирует дескриптор как отработанный с соответствующими флагами.

Если в поле length дескриптора длина области памяти, выделенная для данных этого дескриптора, меньше, чем длина пришедшего Ethernet-фрейма, то Ethernet-фрейма отбрасывается и учитывается только в счетчиках статистики. Если в поле length дескриптора длина области памяти, выделенная для данных этого дескриптора, больше, чем длина пришедшего Ethernet-фрейма, то при перезаписи в дескрипторе будет указана длина Ethernet-фрейма.

Если данные слишком медленно забираются WMDMA, то может возникнуть переполнение внутреннего буфера для приема данных или внутреннего буфера (с учетом конвейерного регистра 33 слова) для хранения длины фреймов, хранящихся во внутреннем буфере для приема данных, а также хранения меток времени прихода фрейма (для записи в long-дескриптор). Ethernet-фреймы, которые не уместились во внутренний буфер, отбрасываются и учитываются только в счетчиках статистики. Поскольку Ethernet-фрейм записывается в буфер целиком, рассчитывается FCS и только после этого начинает переписываться в память; ситуации, когда

					Лист	
					238	
					ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

из-за переполнения буфера будут повреждены данные, которые уже начали записываться в память, возникнуть не может.

Случай возникновения ошибки на шине AXI при записи пакета в память описан в документации MDMA.

1.4.1.6.4.3.4.1 Прием RTP-видеоданных

В данном пункте описан прием RTP-видеоданных через Ethernet (WMDMA настроен на работу с pitch-дескрипторами `RXi_SETTINGS_W[desc_type] = 1`). Рисунок 44 иллюстрирует общий вид схемы вложения видеострок в Ethernet-фреймы. Прием RTP-видео происходит кадрами, в WMDMA одному видеокадру соответствует один pitch-дескриптор.

Видеокадр принимается разбитым на видеостроки, которые упакованы в Ethernet-фреймы со следующей структурой вложения: IPv4, UDP, RTP-заголовок, заголовок для описания видеостроки (в соответствии с RFC 4175), видеострока.

При передаче имеются следующие ограничения:

- IPv4 используется без опций и фрагментации;
- в рамках полезной нагрузки RTP видеостроки должны передаваться по одной, целиком и по порядку.

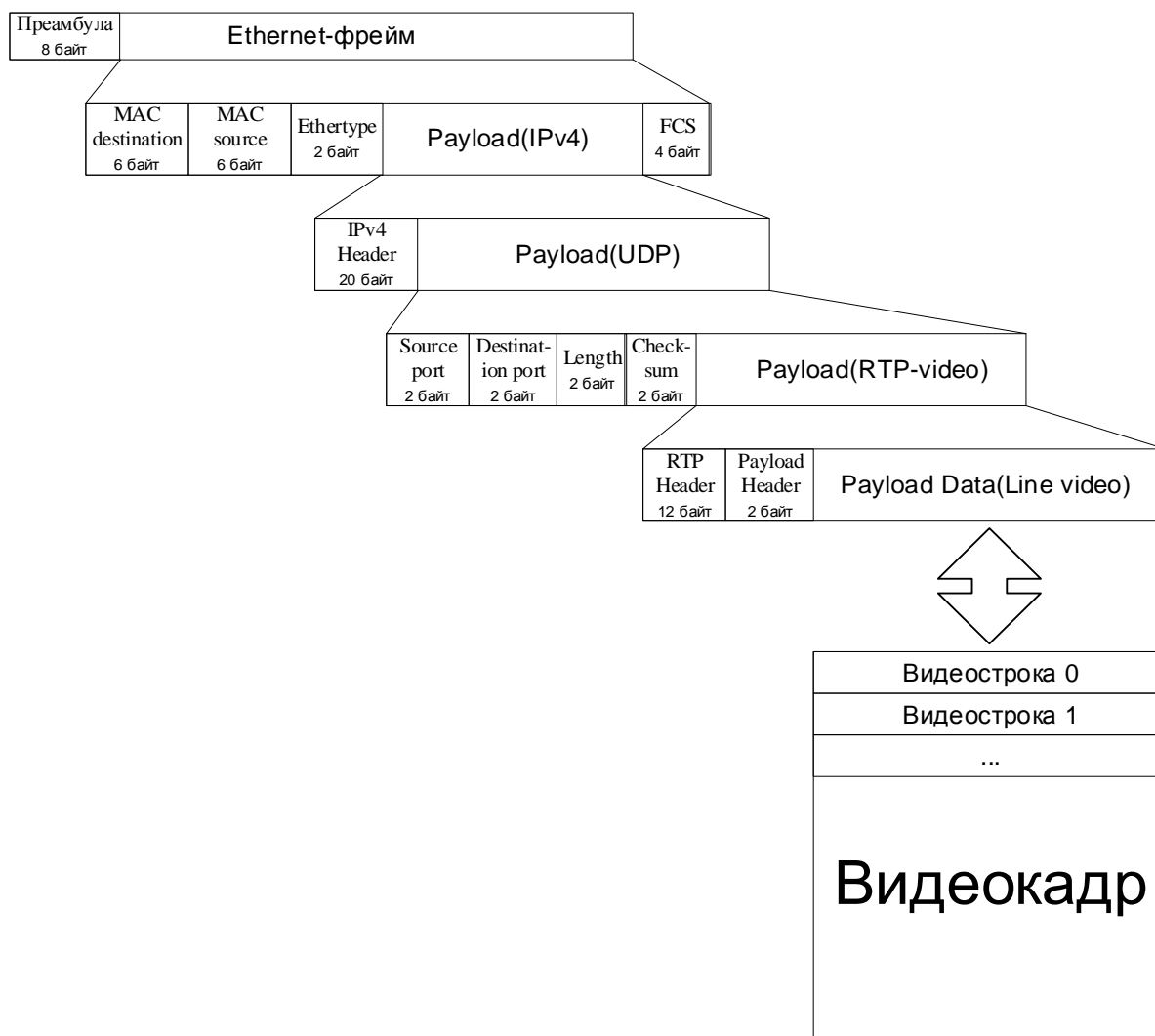


Рисунок 44 – Схема вложение видеостроки в Ethernet-фрейм

									Лист
									239
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

Более подробная структура полей Ethernet-фрейма с RTP-видеострокой приведена в таблице 352.

Таблица 352 – Структура полей Ethernet-фрейма с RTP-видеострокой

0										1										2										3		байты
0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1	0
MAC-адрес назначения																	4															
MAC-адрес назначения										MAC-адрес источника										8												
MAC-адрес источника																	12															
Ethertype = 16'h0800 (IPv4)										Версия = 4'h4				Размер заголовка a=4'h5				DSCP ¹⁾				EC N ²⁾ = 2'b00		16								
Размер пакета (полный)										Идентификатор										20												
Флаги			Смещение фрагмента = 13'h0000										Время жизни (TTL)				Протокол = 8'h11 (UDP)				24											
0	N	0																														
	F	3)																														
Контрольная сумма IPv4										IP-адрес источника										28												
IP-адрес источника										IP-адрес назначения										32												
IP-адрес назначения										Порт отправителя										36												
Порт получателя										Длина датаграммы										40												
Контрольная сумма UDP										V ⁴⁾ =2		P ⁵⁾		X ⁶⁾ =0		CC ⁷⁾ =0		M ⁸⁾		PT ⁹⁾ = 7'h60				44								
Номер пакета										RTP_timestamp (Метка времени)										48												
RTP_timestamp (Метка времени)										SSRC ¹⁰⁾										52												
SSRC ¹⁰⁾										Расширения номера пакета										56												
Длина строки										F ¹¹⁾		Номер строки										60										
C		Смещение в строке = 15'h0000										Пиксели строки										64										
1	2)																															
=																																
0																																
Пиксели строки																	..															
Пиксели строки										padding - если это необходимо										L-4												
Контрольная сумма Ethernet-фрейма (FCS)																	L															

Примечания

- ¹⁾ Differentiated Services Code Point (DSCP) - используется для разделения трафика на классы обслуживания.
- ²⁾ ECN (Explicit Congestion Notification) - указатель перегрузки - предупреждение о перегрузке сети без потери пакетов. Является необязательной функцией и используется только если оба хоста её поддерживают. MGETH – не поддерживает, значение должно быть равно 2'b00.
- ³⁾ NF – Не фрагментировать.
- ⁴⁾ Version – версия протокола. Для RFC 3550 значение поля равно 2.
- ⁵⁾ padding (P) (1 бит) – признак наличия выравнивания в конце пакета. Если признак активен, то последний байт пакета рассматривается как счетчик байтов, которые должны быть проигнорированы, включая данный счетчик.

					ЮФКВ.431268.020РЭ					Лист
										240
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

6. ⁶⁾ extension (X) = 0 (1 бит) - сразу за фиксированным заголовком должен следовать один заголовок расширения.
7. ⁷⁾ CSRC count (CC) (4 бита) - счетчик количества элементов в списке Contributing source (CSRC) identifiers.
8. ⁸⁾ M - маркерный бит - установка этого бита в 1 свидетельствует о том, что данный RTP-пакет содержит последнюю строку кадра/полукадра.
9. ⁹⁾ payload type (PT) – код формата видеоданных (7 бит) стандартного заголовка RTP - должен быть равен 96.
10. ¹⁰⁾ Synchronization source identifier (SSRC) – поле SSRC (32 бита) идентифицирует источник синхронизации. Данное поле введено для обеспечения идентификации конкретного источника вещания, что необходимо получателю при получении и восстановлении аудио/видеопотока. Видеоисточник записывает в это поле случайное значение.
11. ¹¹⁾ Битовый признак «F» (Field Identification) определяет порядок следования полукадров для чересстрочной развертки. Для приборов с прогрессивной разверткой значение F постоянно и равно 0. Для приборов с чересстрочной разверткой значение F, равное 0, соответствует строкам первого полукадра, а равное 1 – строкам второго полукадра.
12. ¹²⁾ Битовый признак 'C'. Этот признак используется при передаче нескольких целых строк в одном RTP-пакете. Если признак C равен 0, то это является признаком последней строки RTP-пакета.

При включении канала записи MDMA (WMDMA) для приема видеоданных из памяти зачитывается pitch-дескриптор, далее MGETH ожидает, когда от РНУ придет Ethernet-фрейм, который пройдет фильтрацию для данного RTP-канала. Длина маски RTP-каналов должна быть не более 45 байт, и длины масок каналов с большим приоритетом, чем RTP-каналы, тоже должны быть не более 45 байт.

Для приема RTP-видео желательно, чтобы при фильтрации проверялись байты: 12,13 (Ethertype = 16'h0800 (IPv4), 14 (Версия = 8'h4, Размер заголовка = 8'h5), 20 байт бит 5=1'b0 (нет фрагментации IPv4), 23 (Протокол = 8'h11 (UDP), 43 бит [6:0] (PT = 7'h60).

В таблице 353 описано поле custom дескриптора для приема RTP-видео данных, которое отображает специальные флаги.

Таблица 353 – Описание поля custom pitch-дескриптора для приема видеоданных (RX-канал с активной аппаратной поддержкой RTP-видео)

Поле	Бит	Кем выставляется	Описание
reserved	[121:120]	-	-
overmuch_line	[119]	Контроллером при перезаписи	Строк в дескрипторе меньше, чем в кадре
lost_line	[118]	Контроллером при перезаписи	Флаг потери строки
reserved	[117:116]	-	-
error_IPv4_checksum	[115]	Контроллером при перезаписи	Если данный бит установлен в 1, то был пакет (один или несколько), контрольная сумма IPv4 заголовка которого ошибочна
reserved	[114:113]	-	-
error_UDP_checksum	[112]	Контроллером при перезаписи	Был пакет (один или несколько), в котором контрольная сумма UDP ошибочна
not_generat_UDP_checksum	[111]	Контроллером при перезаписи	Был пакет (один или несколько), в котором контрольная сумма UDP не была рассчитана при отправлении
field_identification(F)	[110]	Контроллером при перезаписи	Для прогрессивной развертки значение F=0; для чересстрочной развертки значение F=0, соответствует строкам первого полукадра, F=1 – строкам второго полукадра

После фильтрации Ethernet-фрейма в канал WMDMA передаётся номер строки, её длина, RTP-timestamp и данные для записи в память. Для первой пришедшей строки кадра RTP_timestamp (Метка времени) и битовый признак 'F' (порядок следования полукадров для

					Лист
					241
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

чересстрочной развертки) передаются для записи в дескриптор в соответствующие поля (RTP_timestamp и field_identification).

WMDMA Ethernet контроллера сохраняет видеостроки в память в формате, описанном в таблице 354.

Таблица 354 – Формат видеостроки при сохранении в память

31.....0		
RTP_timestamp		
Reserve (8бит)	Custom (8бит)	Len (16бит)
Пиксели видеостроки		
...		
		padding (если есть)

Примечания:

- 1 RTP_timestamp – временная метка видеокadra (в память записывается в порядке прихода байт так же, как и данные - первый пришедший байт в младший адрес и т. д.).
- 2 Reserve – необходимо для выравнивания начала поля «Пиксели видеостроки» относительно 32 бит.
- 3 Custom – флаги, аналогичные битам [117:110] дескриптора, для фрейма, в котором передавалась данная видеострока.
- 4 Len – поле «длина строки» из фрейма (в память записывается в порядке прихода байт так же, как и данные - первый пришедший байт в младший адрес и т. д.).

Если результат проверки контрольной суммы IPv4 заголовка был ошибочным хотя бы для одного Ethernet-фрейма (одной видеостроки) видеокadra, то в дескрипторе устанавливается флаг error_IPv4_checksum=1.

Если результат проверки контрольной суммы UDP был ошибочным хотя бы для одного Ethernet-фрейма (одной видеостроки) видеокadra, то в дескрипторе устанавливается флаг error_UDP_checksum=1.

Если первая пришедшая строка имеет номер, отличный от «1», или не первая строка имеет номер, не следующий по порядку относительно предыдущего (например 1, 2, 4), то WMDMA пишет в память данные с нужного номера строки и выставляет в дескрипторе флаг lost_line, показывающий, что часть строк была утеряна. Если длина строки (поле string length) pitch-дескриптора меньше, чем длина поля «Пиксели видеостроки» + 8 байт (для заголовка) + padding (если он есть), то данный фрейм отбрасывается (в дескрипторе также устанавливается флаг lost_line).

После того как записаны в память видеоданные Ethernet-фрейма с M = 1 (маркерный бит в RTP-заголовке), MDMA переписывает дескриптор как отработанный (поля length (количество строк для pitch-дескриптора) и string length дескриптора (длина строки данных для pitch-операций) **не изменяются** при перезаписи, даже если строк меньше или они короче, чем задано).

Если приходит Ethernet-фрейм с верным FCS, но отличной от предыдущей меткой времени (RTP_timestamp) или отличным битовым признаком «F» (Field Identification), то считается, что последняя видеострока (или несколько последних строк) от предыдущего кадра была утеряна и WMDMA выставляет в дескрипторе флаг lost_line, показывающий, что часть строк была утеряна, и модифицирует дескриптор. Видеострока с новой меткой времени (RTP_timestamp) считается началом нового кадра и помещается в новый дескриптор.

Если приходит Ethernet-фрейм с номером строки большим, чем максимальный номер строки в дескрипторе или строка, соответствующая последней в дескрипторе без M=1 (маркерный бит в RTP-заголовке), то WMDMA выставляет в дескрипторе флаг overmuch_line, показывающий, что часть строк была утеряна из-за того, что дескриптор не рассчитан на пришедшее количество строк, остальные строки до начала нового кадра отбрасываются.

					ЮФКВ.431268.020РЭ	Лист 242
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редхелл</i> 24.10.2019		34203-2		

1.4.1.6.4.3.4.2 Прием в режиме монитора

В данном пункте описан прием в режиме монитора (MGETH_CONTROL[monitor_en]=1). В режиме монитора работает только 0 канал WMDMA, остальные каналы не используются.

В момент прихода первого байта данных (преамбула не учитывается) сохраняется значение free_run_timer для записи в дескриптор в поле free_run_value при перезаписи дескриптора.

При включении 0 канала WMDMA из памяти считывается дескриптор, далее MGETH ожидает, когда от РНУ придет Ethernet-фрейм. До включения 0 канала WMDMA монитор не активен (к нему не могут пройти никакие Ethernet-фреймы). В таблице 355 описано поле custom дескриптора для приема данных, которое отображает специальные флаги.

Таблица 355 – Описание поля custom дескриптора для приема в режиме монитора

Поле	Бит	Кем выставляется	Описание
reserved	[121:112]	-	-
rx_error	[111]	Контроллером при перезаписи	Во время приема данных возникал сигнал RX_ER_i
error_FCS	[110]	Контроллером при перезаписи	Контрольная сумма FCS ошибочна

После того, как все данные, пришедшие в Ethernet-фрейме, записаны в память, WMDMA модифицирует дескриптор с соответствующими флагами.

Если контрольная сумма Ethernet-фрейма (FCS) ошибочна, то устанавливается флаг error_FCS.

Если в поле length дескриптора длина области памяти, выделенная для данных этого дескриптора, меньше, чем длина пришедшего Ethernet-фрейма, то Ethernet-фрейм отбрасывается и учитывается только в счетчиках статистики. Если в поле length дескриптора длина области памяти, выделенная для данных этого дескриптора, больше, чем длина пришедшего Ethernet-фрейма, то при перезаписи в дескрипторе будет указана длина Ethernet-фрейма.

Если данные слишком медленно забираются WMDMA, то может возникнуть переполнение внутреннего буфера для приема данных. В режиме монитора фреймы, которые не уместились во внутренний буфер, также отбрасываются и учитываются только в счетчиках статистики.

1.4.1.6.4.3.5 Счетчики статистики

Все счетчики статистики доступны только по чтению.

После сброса (и аппаратного, и системного) все счетчики имеют нулевое значение.

Описание счетчиков статистики приведено в таблице 356.

Таблица 356 – Счетчики статистики

№	Название	Кол. на контр.	Описание
Общие для приемного канала (RX)			
1	aFramesReceivedOK	1	Счетчик успешно принятых фреймов (фреймы, не подошедшие ни под одну из масок, не учитываются)
2-3	aOctetsReceivedOK ¹⁾	1(+1)	Счетчик (64-разрядный) успешно принятых байт (байты фреймов, не подошедших ни под одну из масок, не учитываются; счетчик не учитывает MAC-заголовок – 14 байт (к счетчику будет прибавляться значение на 14 меньше, чем прописывается в длине дескриптора при его закрытии)
4	ifInUcastPkts	1	Счетчик принятых unicast-фреймов (с MAC-адресом, имеющим «0» в младшем бите первого байта)

					ЮФКВ.431268.020РЭ	Лист 243
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

№	Название	Кол. на контр.	Описание
5	ifInMulticastPkts	1	Счетчик принятых multicast-фреймов (с групповым MAC-адресом, с MAC-адресом, имеющим «1» в младшем бите первого байта, но не равным 0xFFFF_FFFF_FFFF)
6	ifInBroadcastPkts	1	Счетчик принятых broadcast-фреймов (с широковещательным MAC-адресом, равным 0xFFFF_FFFF_FFFF)
7	aFrameCheckSequenceErrors	1	Счетчик фреймов, принятых с ошибкой контрольной суммы
8	ifInErrors	1	Счетчик принятых фреймов, которые были отброшены, потому что: имели ошибочный FCS; не подошли ни под одну из масок; возникнул сигнал ошибки gx_er=1 (при передаче данных gx_dv=1 или при данных gxd[7:0]= 8'h1f
9	etherStatsDropEvents	1	Количество фреймов, которые отбрасываются из-за ошибки переполнение буфера
10-11	etherStatsOctets ¹⁾	1(+1)	Счетчик (64-разрядный) принятых байт (учитываются все пришедшие байты, в том числе байты фреймов с ошибками и байты фреймов, не подошедших ни под одну из масок)
12	etherStatsPkts	1	Счетчик принятых фреймов (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
13	etherStatsUndersizePkts	1	Счетчик принятых фреймов с длиной менее 64 байт (счетчик не учитывает фреймов с ошибками)
14	etherStatsOversizePkts	1	Счетчик принятых фреймов с длиной более максимального размер jumbo-фрейма (счетчик не учитывает фреймов с ошибками)
15	etherStatsPkts64Octets	1	Счетчик принятых фреймов с длиной 64 байта (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
16	etherStatsPkts65to127Octets	1	Счетчик принятых фреймов с длиной от 65 до 127 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
17	etherStatsPkts128to255Octets	1	Счетчик принятых фреймов с длиной от 128 до 255 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
18	etherStatsPkts256to511Octets	1	Счетчик принятых фреймов с длиной от 256 до 511 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
19	etherStatsPkts512to1023Octets	1	Счетчик принятых фреймов с длиной от 512 до 1023 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
20	etherStatsPkts1024to1518Octets	1	Счетчик принятых фреймов с длиной от 1024 до 1518 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
21	etherStatsPkts1519to10240Octets	1	Счетчик принятых фреймов с длиной от 1519 байт до максимального размер jumbo-фрейма (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)

					ЮФКВ.431268.020РЭ	Лист 244
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

№	Название	Кол. на контр.	Описание
22	etherStatsJabbers	1	Счетчик принятых фреймов с длиной более 1518 с ошибкой контрольной суммы
23	etherStatsFragments	1	Счетчик принятых фреймов с длиной менее 64 байт с ошибкой контрольной суммы
На каждый канал²⁾			
1	aFramesReceivedOK_ch0 (1, 2, 3)	4	Счетчик успешно принятых фреймов через данный канал
2-3	aOctetsReceivedOK_ch0 (1, 2, 3) ¹⁾	4(+4)	Счетчик успешно принятых байт через данный канал (счетчик не учитывает MAC-заголовок – 14 байт (к счетчику будет прибавляться значение на 14 меньше, чем прописывается в длине дескриптора при его закрытии)
4	ifInUcastPkts_ch0 (1, 2, 3)	4	Счетчик успешно принятых unicast-фреймов через данный канал
5	ifInMulticastPkts_ch0 (1, 2, 3)	4	Счетчик успешно принятых multicast-фреймов через данный канал (с групповым MAC-адресом)
6	ifInBroadcastPkts_ch0 (1, 2, 3)	4	Счетчик успешно принятых broadcast-фреймов через данный канал (с широковещательным MAC-адресом, равным 0xFFFF_FFFF_FFFF)
Дополнительные счетчики на каждый передающий канал			
1	descriptor_short_ch0 (1, 2, 3)	4	Счетчик принимаемых фреймов, пришедших в данный канал, но отброшенных из-за того, что данные фреймы не помещаются в имеющиеся дескрипторы (для RTP – число фреймов не соответствует числу дескрипторов)
2	rtp_overmuch_line_ch0 (1, 2, 3)	4	Счетчик принимаемых фреймов, пришедших в данный канал, но отброшенных из-за того, что номера видеострок, передаваемые в данных RTP-фреймах больше, чем выделено в дескрипторе
Общие для передающего канала (TX)			
1	aFramesTransmittedOK	1	Счетчик успешно переданных фреймов ³⁾
2-3	aOctetsTransmittedOK ¹⁾	1(+1)	Счетчик (64-разрядный) успешно переданных байт (счетчик не учитывает MAC-заголовок – 14 байт (к счетчику будет прибавляться значение на 14 меньше, чем прописано в длине дескриптора для передачи)
4	ifOutUcastPkts	1	Счетчик успешно отправленных unicast-фреймов
5	ifOutMulticastPkts	1	Счетчик успешно отправленных multicast-фреймов (с групповым MAC-адресом)
6	ifOutBroadcastPkts	1	Счетчик успешно отправленных broadcast-фреймов (с широковещательным MAC-адресом, равным 0xFFFF_FFFF_FFFF)
На каждый передающий канал³⁾			
1	aFramesTransmittedOK_ch0 (1, 2, 3)	4	Счетчик успешно переданных фреймов через данный канал
2-3	aOctetsTransmittedOK_ch0 (1, 2, 3) ¹⁾	4(+4)	Счетчик успешно переданных байт через данный канал (счетчик не учитывает MAC-заголовок – 14 байт (к счетчику будет прибавляться значение на 14 меньше, чем прописано в длине дескриптора для передачи)
4	ifOutUcastPkts_ch0 (1, 2, 3)	4	Счетчик успешно переданных unicast-фреймов через данный канал
5	ifOutMulticastPkts_ch0 (1, 2, 3)	4	Счетчик успешно переданных multicast-фреймов через данный канал (с групповым MAC-адресом)
6	ifOutBroadcastPkts_ch0 (1, 2, 3)	4	Счетчик успешно переданных broadcast-фреймов через данный канал (с широковещательным MAC-адресом, равным 0xFFFF_FFFF_FFFF)

Примечания

- ¹⁾ Разрядность счетчика равняется 64, для остальных разрядность счетчика 32.
- ²⁾ В статистике на канал учитываются только фреймы с верной контрольной суммой.

					ЮФКВ.431268.020РЭ	Лист 245
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redchell</i> 24.10.2019		34203-2		

3. ³⁾ Аппаратного анализа раусе-фреймов нет, поэтому во всех счетчиках они учитываются так же, как все остальные фреймы.

1.4.1.6.4.3.6 Программный сброс

Для выполнения программного сброса MGETH необходимо записать 0x1 в регистр SW_RST. После завершения программного сброса регистр SW_RST будет содержать значение 0x0. Также после завершения программного сброса регистры каналов MDMA ENABLE_R(W) будут содержать значение 0.

Так как внезапный обрыв (незавершение) транзакции на шине AXI приведёт к зависанию коммутационной среды СнК, в которой установлен блок MGETH, программный сброс не может быть выполнен сразу. То есть при записи 0x1 в регистр SW_RST это значение будет содержаться в регистре до тех пор, пока не завершатся все активные транзакции по шине AXI, после этого в регистре SW_RST автоматически установится значение 0x0.

После программного сброса во всех регистрах MGETH, кроме счетчиков статистики и регистров масок (RX*_ETH_MASK_VALUE_*, RX*_ETH_MASK_ACTIV_*), устанавливается значение по умолчанию.

1.4.1.6.4.4 Описание регистров MGETH

1.4.1.6.4.4.1 Карта регистров MGETH

Задание конфигурационных параметров и отображение текущего состояния MGETH ведется через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave). Каждое обращение к регистрам имеет выравнивание до 32-х разрядов. Карта регистров приведена в таблице 357.

При обращении к регистрам СФ-блока по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают нулевое значение. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

- RO – поле доступно только для чтения. Запись данных в поле игнорируется;
- WO – поле доступно только для записи. Чтение возвращает значение 0;
- RW – поле доступно как для записи, так и для чтения.

Символом «*» в таблице 356 отмечены регистры, для которых после таблицы присутствует дополнительное описание.

Таблица 357 – Карта регистров MGETH

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
Общие регистры сборки MGETH и MDMA				
0x0000*	ID	RO	0x48544547	Идентификатор устройства
0x0004*	VERSION	RO	0x01900144	Номер версии устройства и конфигурация
0x0008*	SW_RST	RW	0x0	Программный сброс
0x000C*	GLOBAL_STATUS	RO	0x0	Общий регистр статуса для всех каналов MDMA и для MGETH. В нём отражается информация о прерываниях каналов и контроллера

					ЮФКВ.431268.020РЭ	Лист 246
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
Регистры MGETH				
0x0010*	MGETH_STATUS	RO	0x0	Статус прерываний контроллера (сбрасывается чтением)
0x0014	-	-	-	-
0x0018*	MGETH_IRQ_MASK	RW	0x11	Маска прерываний контроллера
0x001C*	MGETH_CONTROL	RW	0xA00	Управляющие биты и информация для PHY
0x0020	MGETH_LEN_MASK_C H0	RW	0x0	Используемая длина маски (в байтах) для 0 канала приема (значимы 14 младших бит, корректные значения от 0 до 10244), фреймы длины меньше, чем прописано в данном регистре, каналом приниматься не будут (FCS – учитывается в длине фрейма)
0x0024	MGETH_LEN_MASK_C H2	RW	0x0	Используемая длина маски (в байтах) для 1 канала приема (значимы 14 младших бит, корректные значения от 0 до 10244), фреймы длины меньше, чем прописано в данном регистре, каналом приниматься не будут (FCS – учитывается в длине фрейма)
0x0028	MGETH_LEN_MASK_C H2	RW	0x0	Используемая длина маски (в байтах) для 2 канала приема (значимы 14 младших бит, корректные значения от 0 до 10244), фреймы длины меньше, чем прописано в данном регистре, каналом приниматься не будут (FCS – учитывается в длине фрейма)
0x002C	MGETH_LEN_MASK_C H3	RW	0x0	Используемая длина маски (в байтах) для 3 канала приема (значимы 14 младших бит, корректные значения от 0 до 10244), фреймы длины меньше, чем прописано в данном регистре, каналом приниматься не будут (FCS – учитывается в длине фрейма)
0x0030*	TX0_DELAY_TIMER	RW	0x0	Включение и значение задержки между исходящими пакетами для 0 канала передачи (в тактах GTX_CLK_i (125 МГц))
0x0034*	TX1_DELAY_TIMER	RW	0x0	Включение и значение задержки между исходящими пакетами для 0 канала передачи (в тактах GTX_CLK_i (125 МГц))
0x0038*	TX2_DELAY_TIMER	RW	0x0	Включение и значение задержки между исходящими пакетами для 0 канала передачи (в тактах GTX_CLK_i (125 МГц))
0x003C*	TX3_DELAY_TIMER	RW	0x0	Включение и значение задержки между исходящими пакетами для 0 канала передачи (в тактах GTX_CLK_i (125 МГц))

					ЮФКВ.431268.020РЭ	Лист 247
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhal</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0x0040	HD_SGMII_MODE	RW	0x1	Данный регистр изменяет формирование сигналов COL и CRS. Если 1, то сигналы идут напрямую от PHY Если 0, то: COL = (RX_DV RX_EN) &(TX_EN TX_ER) CRS = RX_DV RX_EN TX_EN TX_ER – при таком формировании будут корректно с точки зрения стандарта Ethernet приниматься фреймы в полудуплексе на скорости 1000 Мб/с, будет корректно обрабатываться расширение минимального времени передачи фрейма до 4096 битовых интервалов
0x0044 – 0x00FC	-	-	-	-

Регистры общих счетчиков статистики

0x0100	aFramesReceivedOK	RO	0x0	Значение счетчика успешно принятых фреймов (фреймы, не подошедшие ни под одну из масок, не учитываются)
0x0104–0x0108	aOctetsReceivedOK	RO	0x0	Значение счетчика успешно принятых байт (64-разрядный, по младшему адресу хранятся младшие 32 бита, по старшему адресу хранятся старшие 32 бита; байты фреймов, не подошедших ни под одну из масок, не учитываются)
0x010C	ifInUcastPkts	RO	0x0	Значение счетчика принятых unicast-фреймов
0x0110	ifInMulticastPkts	RO	0x0	Значение счетчика принятых multicast-фреймов
0x0114	ifInBroadcastPkts	RO	0x0	Значение счетчика принятых broadcast-фреймов
0x0118	aFrameCheckSequenceErrors	RO	0x0	Значение счетчика фреймов, принятых с ошибкой контрольной суммы
0x011C	ifInErrors	RO	0x0	Значение счетчика принятых фреймов, которые были отброшены, потому что не подошли ни под одну из масок
0x0120	etherStatsDropEvents	RO	0x0	Значение счетчика фреймов, которые отбрасываются из-за ошибки переполнения буфера
0x0124 – 0x0128	etherStatsOctets	RO	0x0	Значение счетчика принятых байт (64-разрядный, по младшему адресу хранятся младшие 32 бита, по старшему адресу хранятся старшие 32 бита; учитываются все пришедшие байты, в том числе байты фреймов с ошибками и байты фреймов, не подошедших ни под одну из масок)
0x012C	etherStatsPkts	RO	0x0	Значение счетчика принятых фреймов (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)

					Лист
					248
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhal</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0x0130	etherStatsUndersizePkts	RO	0x0	Значение счетчика принятых фреймов с длиной менее 64 байт (счетчик не учитывает фреймов с ошибками)
0x0134	etherStatsOversizePkts	RO	0x0	Значение счетчика принятых фреймов с длиной более максимального размера jumbo-фрейма (счетчик не учитывает фреймов с ошибками)
0x0138	etherStatsPkts64Octets	RO	0x0	Значение счетчика принятых фреймов с длиной 64 байта (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x013C	etherStatsPkts65to127Octets	RO	0x0	Значение счетчика принятых фреймов с длиной от 65 до 127 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x0140	etherStatsPkts128to255Octets	RO	0x0	Значение счетчика принятых фреймов с длиной от 128 до 255 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x0144	etherStatsPkts256to511Octets	RO	0x0	Значение счетчика принятых фреймов с длиной от 256 до 511 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x0148	etherStatsPkts512to1023Octets	RO	0x0	Значение счетчика принятых фреймов с длиной от 512 до 1023 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x014C	etherStatsPkts1024to1518Octets	RO	0x0	Значение счетчика принятых фреймов с длиной от 1024 до 1518 байт (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x0150	etherStatsPkts1519to10240Octets	RO	0x0	Значение счетчика принятых фреймов с длиной от 1519 байт до максимального размера jumbo-фрейма (учитываются все пришедшие фреймы, в том числе фреймы с ошибками и фреймы, не подошедшие ни под одну из масок)
0x0154	etherStatsJabbers	RO	0x0	Значение счетчика принятых фреймов с длиной более максимального размера jumbo-фрейма с ошибкой контрольной суммы
0x0158	etherStatsFragments	RO	0x0	Значение счетчика принятых фреймов с длиной менее 64 байт с ошибкой контрольной суммы
0x015C – 0x017C	-	-	-	-

					Лист
					249
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра		
0x0180	aFramesTransmittedOK	RO	0x0	Значение счетчика успешно переданных фреймов		
0x0184 – 0x0188	aOctetsTransmittedOK	RO	0x0	Значение счетчика успешно переданных байт (64-разрядный, по младшему адресу хранятся младшие 32 бита, по старшему адресу хранятся старшие 32 бита)		
0x018c	ifOutUcastPkts	RO	0x0	Значение счетчика отправленных unicast-фреймов		
0x190	ifOutMulticastPkts	RO	0x0	Значение счетчика отправленных multicast-фреймов		
0x0194	ifOutBroadcastPkts	RO	0x0	Значение счетчика отправленных broadcast-фреймов		
0x0198 – 0x01FC	-	-	-	-		
Регистры 0 канала приема						
0x0200 – 0x027C	RX0_ETH_MASK_ VALUE_0 – RX0_ETH_MASK_ VALUE_31	RW	-	Значение маски для Ethernet-фреймов 0 канала приема (соответствуют 0 каналу WMDM), биты [31:0] соответствуют младшему регистру (VALUE_0), биты [1023:992] соответствуют регистру (VALUE_31) Рекомендуется не изменять это значение в процессе работы		
0x0280 – 0x02FC	RX0_ETH_MASK_ ACTIV_0 – RX0_ETH_MASK_ ACTIV_31	RW	-	Активность маски для Ethernet-фреймов 0 канала приема, бит [0] соответствуют включению фильтрации по значениям бита [0] регистра VALUE_0 и т. д. Используемая длина маски задается в регистре MGETH_LEN_MASK_CH0 (адрес 0x0020) Рекомендуется не изменять это значение в процессе работы		
Регистры настройки 0 канала WDMA (запись в память принятых Ethernet-фреймов), а также дополнительная настройка и состояние интерфейса AXI						
0x300*	ENABLE_W	RW	0x0	Включение канала		
0x304*	SUSPEND_W	RW	0x0	Приостановка работы канала		
0x308*	CANCEL_W	RW	0x0	Остановка работы канала с точностью до дескриптора		
0x30C	-	-	-	Резерв		
0x310*	SETTINGS_W	RW	0x12	Настройка канала		
0x314*	IRQ_MASK_W	RW	0x0	Маска прерываний канала		
0x318*	STATUS_W	RO	0x0	Состояние линии прерываний канала		
0x31C	-	-	-	Резерв		
0x320	DESC_ADDR_W	RW	0x0	Адрес первого дескриптора		
				ЮФКВ.431268.020РЭ	Лист 250	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0x324	-	-	-	Резерв
0x328	CUR_DESC_ADDR_W	RO	0x0	Адрес текущего дескриптора
0x32C	CUR_ADDR_W	RO	0x0	Адрес текущей транзакции
0x330*	DMA_STATE_W	RO	0x0008_0006	Регистр состояния канала (необходим для отладочных целей)
0x334 - 0x33C	-	-	-	Резерв
0x340	DESC_AXLEN_W	RW	0x3	Значение ARLEN и AWLEN для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x344	DESC_AXCACHE_W	RW	0x3	Значение ARCACHE и AWCACHE для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x348	DESC_AXPROT_W	RW	0x2	Значение ARPROT и AWPROT для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие три бита – [2:0])
0x34C	DESC_AXLOCK_W	RW	0x0	Значение ARLOCK и AWLOCK для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие два бита – [1:0])
0x350	DESC_RRESP_W	RO	0x0	Значение RRESP для транзакций по AXI при чтении дескриптора (значимы только младшие два бита – [1:0])
0x354	DESC_RAXI_ERR_ADD R_W	RO	0x0	Адрес AXI-транзакции чтения дескриптора, вызвавшей ошибку на шине AXI
0x358	DESC_BRESP_W	RO	0x0	Значение BRESP для транзакций по AXI при модификации дескриптора (значимы только младшие два бита – [1:0])
0x35C	DESC_WAXI_ERR_AD DR_W	RO	0x0	Адрес AXI-транзакции записи при модификации дескриптора, вызвавшей ошибку на шине AXI
0x360	DESC_PERMUT_W	RW	0x76543210	Схема перестановки байт при чтении и записи дескрипторов по AXI
0x364 – 0x37C	-	-	-	Резерв
0x380	W_MAX_TRANS	RW	0x4	Максимальное число незавершенных транзакций (не более 15), при использовании только одного канала приема увеличение данного значения может увеличить производительность, особенно при работе с сильно удаленными от контроллера памятьми
0x384	AWLEN	RW	0xF	Значение AWLEN для транзакций по AXI (значимы только младшие четыре бита – [3:0])

					Лист
					251
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра			
0x388	AWCACHE	RW	0x3	Значение AWCACHE для транзакций по AXI (значимы только младшие четыре бита – [3:0])			
0x38C	AWPROT	RW	0x2	Значение AWPROT для транзакций по AXI (значимы только младшие три бита – [2:0])			
0x390	AWLOCK	RW	0x0	Значение AWLOCK для транзакций по AXI (значимы только младшие два бита – [1:0])			
0x394	BRESP	RO	0x0	Значение BRESP для транзакций по AXI (значимы только младшие два бита – [1:0])			
0x398	WAXI_ERR_ADDR	RO	0x0	Адрес AXI-транзакции чтения, вызвавшей ошибку на шине AXI			
0x39C	-	-	-	Резерв			
0x3A0	W_STATE	RO	0x0	Состояние канала чтения AXI			
0x3A4	W_AVAILABLE_SPACE	RO	0x0	Число доступных байт в буфере ядра			
0x3A8	W_PERMUTATION	RW	0x76543210	Схема перестановки байт при записи данных по AXI			
0x3AC – 0x3BC	-	-	-	Резерв			
Регистры счетчиков статистики 0 канала приема							
0x3C0	aFramesReceivedOK_ch0	RO	0x0	Значение счетчика успешно принятых фреймов через данный канал			
0x3C4 – 0x3C8	aOctetsReceivedOK_ch0	RO	0x0	Значение счетчика успешно принятых байт через данный канал (64-разрядный, по младшему адресу хранятся младшие 32 бита, по старшему адресу хранятся старшие 32 бита)			
0x3CC	ifInUcastPkts_ch0	RO	0x0	Значение счетчика успешно принятых unicast-фреймов через данный канал			
0x3D0	ifInMulticastPkts_ch0	RO	0x0	Значение счетчика успешно принятых multicast-фреймов через данный канал (с групповым MAC-адресом)			
0x3D4	ifInBroadcastPkts_ch0	RO	0x0	Значение счетчика успешно принятых broadcast-фреймов через данный канал (с широковещательным MAC-адресом, равным 0xFFFF_FFFF_FFFF)			
0x3D8	descriptor_short_ch0	RO	0x0	Значение счетчика принимаемых фреймов, пришедших в данный канал, но отброшенных из-за того, что данные фреймы не помещаются в имеющиеся дескрипторы			
0x3DC	rtp_overmuch_line_ch0	RO	0x0	Счетчик принимаемых фреймов, пришедших в данный канал, но отброшенных из-за того, что номера видеострок, передаваемые в данных RTP-фреймах, больше, чем выделено в дескрипторе			
				ЮФКВ.431268.020РЭ			
				Лист 252			
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра		
0x3E0 – 0x3FC	-	-	-	Резерв		
Регистры настройки 1 канала приема						
0x0400 – 0x05FC	Аналогично регистрам для настройки 0 канала приема					
Регистры настройки 2 канала приема						
0x0600 – 0x07FC	Аналогично регистрам для настройки 0 канала приема					
Регистры настройки 3 канала приема						
0x0800 – 0x09FC	Аналогично регистрам для настройки 0 канала приема					
Регистры настройки 0 канала передачи						
<i>Регистры настройки 0 канала RDMA (чтение из памяти Ethernet-фреймов для передачи), а также дополнительная настройка и состояние интерфейса AXI</i>						
0xA00*	ENABLE_R	RW	0x0	Включение канала		
0xA04*	SUSPEND_R	RW	0x0	Приостановка работы канала		
0xA08*	CANCEL_R	RW	0x0	Остановка работы канала с точностью до дескриптора		
0xA0C	-	-	-	Резерв		
0xA10*	SETTINGS_R	RW	0x12	Настройка канала		
0xA14*	IRQ_MASK_R	RW	0x0	Маска прерываний канала		
0xA18*	STATUS_R	RO	0x0	Состояние линии прерываний канала		
0xA1C	-	-	-	Резерв		
0xA20	DESC_ADDR_R	RW	0x0	Адрес первого дескриптора		
0xA24	-	-	-	Резерв		
0xA28	CUR_DESC_ADDR_R	RO	0x0	Адрес текущего дескриптора		
0xA2C	CUR_ADDR_R	RO	0x0	Адрес текущей транзакции		
0xA30*	DMA_STATE_R	RO	0x0018_0006	Регистр состояния канала (необходим для отладочных целей)		
0xA34 - 0xA3C	-	-	-	Резерв		
0xA40	DESC_AXLEN_R	RW	0x3	Значение ARLEN и AWLEN для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])		
0xA44	DESC_AXCACHE_R	RW	0x3	Значение ARCACHE и AWCACHE для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])		
				Лист		
ЮФКВ.431268.020РЭ				253		
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0xA48	DESC_AXPROT_R	RW	0x2	Значение ARPROT и AWPROT для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие три бита – [2:0])
0xA4C	DESC_AXLOCK_R	RW	0x0	Значение ARLOCK и AWLOCK для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие два бита – [1:0])
0xA50	DESC_RRESP_R	RO	0x0	Значение RRESP для транзакций по AXI при чтении дескриптора (значимы только младшие два бита – [1:0])
0xA54	DESC_RAXI_ERR_ADD R_R	RO	0x0	Адрес AXI-транзакции чтения дескриптора, вызвавшей ошибку на шине AXI
0xA58	DESC_BRESP_R	RO	0x0	Значение BRESP для транзакций по AXI при модификации дескриптора (значимы только младшие два бита – [1:0])
0xA5C	DESC_WAXI_ERR_AD DR_R	RO	0x0	Адрес AXI-транзакции записи при модификации дескриптора, вызвавшей ошибку на шине AXI
0xA60	DESC_PERMUT_R	RW	0x76543210	Схема перестановки байт при чтении и записи дескрипторов по AXI
0xA64 – 0xA7C	-	-	-	Резерв
0xA80	R_MAX_TRANS	RW	0x4	Максимальное число незавершенных транзакций (не более 15), при использовании только одного канала передачи увеличение данного значения может увеличить производительность, особенно при работе с сильно удаленными от контроллера памятьми
0xA84	ARLEN	RW	0xF	Значение ARLEN для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0xA88	ARCACHE	RW	0x3	Значение ARCACHE для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0xA8C	ARPROT	RW	0x2	Значение ARPROT для транзакций по AXI (значимы только младшие три бита – [2:0])
0xA90	ARLOCK	RW	0x0	Значение ARLOCK для транзакций по AXI (значимы только младшие два бита – [1:0])
0xA94	RRESP	RO	0x0	Значение RRESP для транзакций по AXI (значимы только младшие два бита – [1:0])
0xA98	RAXI_ERR_ADDR	RO	0x0	Адрес AXI-транзакции чтения, вызвавшей ошибку на шине AXI
0x39C	-	-	-	Резерв
0xAA0	RAXI_STATE	RO	0x0000_1110	Состояние канала чтения AXI
0xAA4	R_AVAILABLE_SPACE	RO	0x2800	Число доступных байт в буфере ядра

					Лист
					254
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0xAA8	R_PERMUTATION	RW	0x76543210	Схема перестановки байт при чтении данных по AXI
0xAAC – 0xABC	-	-	-	Резерв
Регистры счетчиков статистики 0 канала передачи				
0x0AC0	aFramesTransmittedOK_ch0	RO	0x0	Значение счетчика успешно переданных фреймов через данный канал
0x0AC4 – 0x0AC8	aOctetsTransmittedOK_ch0	RO	0x0	Значение счетчика успешно переданных байт через данный канал (64-разрядный, по младшему адресу хранятся младшие 32 бита, по старшему адресу хранятся старшие 32 бита)
0x0ACC	ifOutUcastPkts_ch0	RO	0x0	Значение счетчика переданных unicast-фреймов через данный канал
0x0AD0	ifOutMulticastPkts_ch0	RO	0x0	Значение счетчика переданных multicast-фреймов через данный канал (с групповым MAC-адресом)
0x0AD4	ifOutBroadcastPkts_ch0	RO	0x0	Значение счетчика переданных broadcast-фреймов через данный канал (с широковещательным MAC-адресом, равным 0xFFFF_FFFF_FFFF)
0x0AD8 – 0x0AFC	-	-	-	Резерв
Регистры настройки 1 канала передачи				
0x0B00 – 0x0BFC	Аналогично регистрам для настройки 0 канала передачи			
Регистры настройки 2 канала передачи				
0x0C00 – 0x0CFC	Аналогично регистрам для настройки 0 канала передачи			
Регистры настройки 3 канала передачи				
0x0D00 – 0x0DFC	Аналогично регистрам для настройки 0 канала передачи			

1.4.1.6.4.4.2 Описание полей регистров MGETH

1.4.1.6.4.4.2.1 VERSION(0x004)

Описание полей регистра VERSION приведено в таблице 358.

Таблица 358 – Описание полей регистра VERSION

Поле	Биты	Описание
r_chan_num	3:0	Количество каналов чтения
w_chan_num	7:4	Количество каналов записи
vers	15:8	Номер версии устройства

					ЮФКВ.431268.020РЭ		Лист
							255
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
freq	31:16	Системная частота, на которой работает устройство

1.4.1.6.4.4.2.2 SW_RST(0x008)

Описание полей регистра SW_RST приведено в таблице 359.

Таблица 359 – Описание полей регистра SW_RST

Поле	Биты	Описание
soft_rst	0	Программный сброс
-	31:1	Резерв

1.4.1.6.4.4.2.3 GLOBAL_STATUS(0x00C)

Описание полей регистра GLOBAL_STATUS приведено в таблице 360.

Таблица 360 – Описание полей регистра GLOBAL_STATUS

Поле	Биты	Описание
irq_r_0	0	Прерывание канала чтения 0 MDMA
irq_r_1	1	Прерывание канала чтения 1 MDMA
irq_r_2	2	Прерывание канала чтения 2 MDMA
irq_r_3	3	Прерывание канала чтения 3 MDMA
-	15:4	Резерв
irq_w_0	16	Прерывание канала записи 0 MDMA
irq_w_1	17	Прерывание канала записи 1 MDMA
irq_w_2	18	Прерывание канала записи 2 MDMA
irq_w_3	19	Прерывание канала записи 3 MDMA
-	30:20	Резерв
overrun_error	31	Переполнение внутреннего буфера

1.4.1.6.4.4.2.4 MGETH_STATUS(0x010)

Описание полей регистра MGETH_STATUS приведено в таблице 361.

Таблица 361 – Описание полей регистра MGETH_STATUS

Поле	Биты	Описание
overrun_buf_rx_error	0	Переполнение внутреннего буфера приемного канала
-	3:1	Резерв
overrun_param_buf_rx_error	4	Переполнение внутреннего буфера, который хранит данные о фреймах
-	31:5	Резерв

1.4.1.6.4.4.2.5 MGETH_IRQ_MASK(0x018)

Описание полей регистра MGETH_IRQ_MASK приведено в таблице 362.

Прерывание будет вырабатываться, если в бите установлена 1.

Таблица 362 – Описание полей регистра MGETH_IRQ_MASK

Поле	Биты	Описание
overrun_buf_rx_error_mask	0	Выработка сигнала прерывания по переполнению внутреннего буфера приемного канала
-	31:1	Резерв
overrun_param_buf_rx_error_mask	4	Выработка сигнала прерывания по переполнению внутреннего буфера, который хранит данные о фреймах
-	31:1	Резерв

1.4.1.6.4.4.2.6 CONTROL(0x01C)

Описание полей регистра CONTROL приведено в таблице 363.

					ЮФКВ.431268.020РЭ		Лист 256
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Таблица 363 – Описание полей регистра CONTROL

Поле	Биты	Описание
full_duplex	0	Если бит установлен в 1, то MGETH работает в режиме полного дуплекса
speed	2:1	Скорость передачи данных: 2'b00 – 10 Мбит/с; 2'b01 – 100 Мбит/с; 2'b10 – 1000 Мбит/с
-	3	Резерв
monitor_en	4	Включения режима монитора
-	7:5	Резерв
interpacket_gap	23:8	Минимальный промежуток между Ethernet-фреймами, промежуток между последовательно идущими фреймами равен значению данного поля + 2 такта (частоты GTX_CLK (125 МГц)). (Значение по умолчанию 0x000A соответствует промежутку между фреймами 96 битовых интервалов, заданное стандартом, использовать значения меньше 0x000A не рекомендуется)
direct_data_tx_rmdma_0	24	Включение режима прямой передачи данных для 0 канала RMDMA
direct_data_tx_rmdma_1	25	Включение режима прямой передачи данных для 1 канала RMDMA
direct_data_tx_rmdma_2	26	Включение режима прямой передачи данных для 2 канала RMDMA
direct_data_tx_rmdma_3	27	Включение режима прямой передачи данных для 3 канала RMDMA
rx_ch0_rtp_mode	28	Включение приема RTP-видео данных для 0 канала (необходимо, чтобы 0 канал WMDMA был настроен на работу с pitch-дескрипторами)
rx_ch1_rtp_mode	29	Включение приема RTP-видео данных для 1 канала (необходимо, чтобы 1 канал WMDMA был настроен на работу с pitch-дескрипторами)
rx_ch2_rtp_mode	30	Включение приема RTP-видео данных для 2 канала (необходимо, чтобы 2 канал WMDMA был настроен на работу с pitch-дескрипторами)
rx_ch3_rtp_mode	31	Включение приема RTP-видео данных для 3 канала (необходимо, чтобы 3 канал WMDMA был настроен на работу с pitch-дескрипторами)

1.4.1.6.4.4.2.7 TXi_DELAY_TIMER(i=0 - 0x030, i=1 - 0x034, i=2 - 0x038, i=3 - 0x03C)

Описание полей регистра TXi_DELAY_TIMER приведено в таблице 364.

Таблица 364 – Описание полей регистра TXi_DELAY_TIMER

Поле	Биты	Описание
tx_delay_value	30:0	Значение задержки между двумя фреймами от данного канала (в тактах GTX_CLK_i (125 МГц))
en_tx_delay	31	Включение задержки между отправкой двух фреймов от данного канала

1.4.1.6.4.4.2.8 ENABLE_R(W)(R – 0xA00, W – 0x300)

Описание полей регистра ENABLE_R(W) приведено в таблице 365.

Таблица 365 – Описание полей регистра ENABLE_R(W)

Поле	Биты	Описание
enable	0	Флаг активности канала
-	31:1	Резерв

1.4.1.6.4.4.2.9 SUSPEND_R(W)(R – 0xA04, W – 0x304)

Описание полей регистра SUSPEND_R(W) приведено в таблице 366.

Таблица 366 – Описание полей регистра SUSPEND_R(W)

Поле	Биты	Описание
suspend	0	Приостановка работы
-	31:1	Резерв

					ЮФКВ.431268.020РЭ		Лист 257
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.6.4.4.2.10 CANCEL_R(W) (R – 0xA08, W – 0x308)

Описание полей регистра CANCEL_R(W) приведено в таблице 367.

Таблица 367 – Описание полей регистра CANCEL_R(W)

Поле	Биты	Описание
cancel	0	Остановка канала с завершением дескриптора
-	31:1	Резерв

1.4.1.6.4.4.2.11 SETTING_R(W) (R – 0xA10, W – 0x310)

Описание полей регистра SETTING_R(W) приведено в таблице 368.

Таблица 368 – Описание полей регистра SETTING_R(W)

Поле	Биты	Описание
desc_type	1:0	Вид дескриптора для канала 00 – normal-дескриптор (64 бита) <u>(При этом обязательно изменить DESC_AXLEN на 1 (или 0, но это менее эффективно))</u> 01 – резерв 10 – long-дескриптор (128 бит) 11 – pitch-дескриптор (128 бит)
-	3:2	Резерв
add_info	4	Должен быть 1
-	15:5	Резерв
desc_gap	31:16	Интервал между дескрипторами

1.4.1.6.4.4.2.12 IRQ_MASK_R(W) (R – 0xA14, W – 0x314)

Описание полей регистра IRQ_MASK_R(W) приведено в таблице 369.

Прерывание будет вырабатываться, если в бите установлена 1.

Таблица 369 – Описание полей регистра IRQ_MASK_R(W)

Поле	Биты	Описание
suspend_done	0	Завершено выполнение приостановки MDMA_GP
cancel_done	1	Завершена остановка MDMA_GP (cancel)
int_desc	2	Завершено выполнение дескриптора с флагом Int
bad_desc	3	Считан дескриптор, недоступный для MDMA-GP (флаг ownershif равен 1)
stop_desc	4	Завершено выполнение дескриптора с флагом Stop
discard_desc	5	Ошибка при обращении по шине AXI при чтении дескриптора
waxi_err	6	Ошибка при обращении по шине AXI при записи дескриптора
axi_err	7	Ошибка при обращении по шине AXI при чтении/записи данных
-	31:8	Резерв

1.4.1.6.4.4.2.13 STATUS_R(W) (R – 0xA18, W – 0x318)

Описание полей регистра STATUS_R(W) приведено в таблице 370.

Таблица 370 – Описание полей регистра STATUS_R(W)

Поле	Биты	Описание
suspend_done	0	Завершено выполнение приостановки MDMA_GP
cancel_done	1	Завершена остановка MDMA_GP (cancel)
int_desc	2	Завершено выполнение дескриптора с флагом Int
bad_desc	3	Считан дескриптор, недоступный для MDMA-GP (флаг ownershif равен 1)
stop_desc	4	Завершено выполнение дескриптора с флагом Stop
discard_desc	5	Ошибка при обращении по шине AXI при чтении дескриптора
waxi_err	6	Ошибка при обращении по шине AXI при записи дескриптора
axi_err	7	Ошибка при обращении по шине AXI при чтении/записи данных
-	31:8	Резерв

										Лист
										258
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Rechell</i> 24.10.2019			34203-2						

1.4.1.6.4.4.2.14 DMA_STATE_R(W) (R – 0xA30, W – 0x330)

Описание полей регистра DMA_STATE_R(W) приведено в таблице 371.

Таблица 371– Описание полей регистра DMA_STATE_R(W)

Поле	Биты	Описание
active_trans	7:0	Количество незавершенных AXI транзакций чтения (для канала чтения)/записи (для канала записи)
wr_fifo_full	0	Буфер FIFO для отработанных дескрипторов полон
wr_fifo_empty	1	Буфер FIFO для отработанных дескрипторов пуст
rd_fifo_empty	2	Буфер FIFO для считывания дескрипторов пуст
-	3	Резерв
ready_for_str	4	Завершены операции со строкой pitch-дескриптора, ожидается подтверждение от ядра
ready_for_mod	5	Завершены операции с дескриптором, ожидается подтверждение от ядра
-	7:6	Резерв
data_desc_cnt	9:8	Число дескрипторов данных, с которыми в данный момент работает MDMA
-	11:10	Резерв
desc_cnt	14:12	Число дескрипторов, с которыми в данный момент работает MDMA
-	15	Резерв
discard_desc	16	При чтении дескриптора возникла ошибка на шине
bad_flag	17	Считан дескриптор, недоступный для MDMA
stop_flag	18	Считан дескриптор с флагом stop
stop	19	Дальнейшее считывание дескрипторов остановлено
data_send_permit	20	Разрешена генерация адресов для записи данных в память
cancel	21	Выполняется команда cancel (см. описание в документации на MDMA)
suspend	22	Выполняется команда suspend (см. описание в документации на MDMA)
en	23	Статус включения MDMA
desc_is_writing	24	Идёт процедура записи дескриптора
desc_is_mod	25	Идёт процедура модификации дескриптора
wr_state	26	Статус записи дескриптора 1 – транзакция записи в процессе
rd_state	27	Статус чтения дескриптора 1 – транзакция чтения в процессе
state	29:28	Состояние MDMA 0 – ожидание дескриптора 1 – анализ дескриптора 2 – генерация адресов 3 – ожидание завершения всех транзакций обращения в память, относящихся к данному дескриптору
-	31:30	Резерв

1.4.1.6.4.5 Контроллер физического уровня интерфейса SGMII (SGMII_PHY)

Контроллер физического уровня интерфейса SGMII (SGMII_PHY) преобразует интерфейс GMII, выходящий из MGETH, в SGMII интерфейс, выходящий из СБИС МИ БИУС (см. таблицу - SGMII0(1,2,3)_TXP(N) и SGMII0(1,2,3)_RXP(N).

SGMII_PHY поддерживает спецификацию ENG-46158 Cisco SGMII (скорость последовательной передачи данных 1,25 Гбит/с).

SGMII_PHY является общим для всех четырех Ethernet-интерфейсов.

1.4.1.6.4.5.1 Настройка SGMII_PHY

Перед включение SGMII_PHY необходима настройка по APB:

- В регистры по адресам со смещением 0x0000, 0x0400, 0x0800 0x0C00 записать значение 0x40803004 (настройка нужной схемы деления для передатчика);

					ЮФКВ.431268.020РЭ		Лист 259
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redball</i> 24.10.2019		34203-2			

- В регистр по адресу со смещением 0x1004 записать значение 0x00130000 (изменение первичного делителя в PLL PHY);
- В регистр по адресу со смещением 0x1008 записать значение 0x710001F0 (изменение делителя в PLL PHY);
- В регистр по адресу со смещением 0x100C записать значение 0x00000002 (изменение делителя в PLL PHY);
- В регистр по адресу со смещением 0x1020 записать значение 0x07000000 (включение нужной схемы деления и подстройки тактового сигнала для передатчиков);
- В регистры по адресам со смещением 0x0108, 0x0508, 0x0908 0x0D08 записать значение 0x0000CEA6 (настройка приемника для работы на нужной частоте);
- При необходимости можно отключить автоматическое согласование SGMII_PHY (Auto-Negotiation) изменением значения 0x00000140 по адресам со смещением 0x0200, 0x0600, 0x0a00 и 0x0e00 на значение 0x00001140.

1.4.1.6.4.5.2 Включение SGMII_PHY

Включение SGMII_PHY осуществляется через регистр SGMII_CTRL_STAT в SCTL (см. п. 1.4.1.5.5.2.2.3), также в данном регистре отражается состояние готовности встроенной в SGMII_PHY PLL и готовности каналов SGMII_PHY к работе. После включения SGMII_PHY необходимо дождаться готовности к работе используемых каналов SGMII_PHY.

1.4.1.6.5 Контроллер MDIO

1.4.1.6.5.1 Общее описание контроллера MDIO

Контроллер MDIO обеспечивает интерфейс между шиной AMBA APB и регистрами управления внешних микросхем физического интерфейса Ethernet (Ethernet PHY) и соответствует IEEE802.3 Clause 22.

Контроллер MDIO для связи с регистрами управления внешних микросхем физического интерфейса (Ethernet PHY) имеет двунаправленный последовательный канала данных (MDIO). Канал данных состоит из сигналов MDC_o и MDIO_io. Сигнал MDIO_io формируется на внешнем буфере ввода/вывода (PAD). PAD управляется сигналом MDIO_oe и преобразует сигнал ввода MDIO_i и сигнал вывода MDIO_o в двунаправленный сигнал ввода/вывода MDIO_io.

Контроллер MDIO имеет вход ETH_INTn_i для приема прерываний от внешней микросхемы физического интерфейса (Ethernet PHY), а также сигнал для сброса (установки в начальное состояние) внешней микросхемы физического интерфейса (Ethernet PHY).

Контроллер MDIO интегрируется в систему по средствам шинного интерфейса AMBA 3.0 APB (slave) и также генерирует маскируемый сигнал запроса прерывания irq_o. APB интерфейс используется для записи в регистры контроллера (REG) управляющих значений, конфигурационных параметров, информации для обмена по MDIO-интерфейсу, а также для чтения статуса работы контроллера и данных, полученных по MDIO-интерфейсу. Прерывание irq_o взаимодействует с системным контроллером прерываний.

Входы/выходы контроллера MDIO замультиплексированны с GPIO (см. таблицу 384), поэтому перед работой по интерфейсу MDIO необходимо убедиться, что мультиплексирование в GPIO (см. п. 1.4.1.7.7) настроено на работу MDIO (соответствующие биты SWITCH_SOURCE(0x024) выставлены в 0).

1.4.1.6.5.2 Структурная схема контроллера MDIO

Структурная схема MDIO предстала на рисунке 45.

					ЮФКВ.431268.020РЭ		Лист 260
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

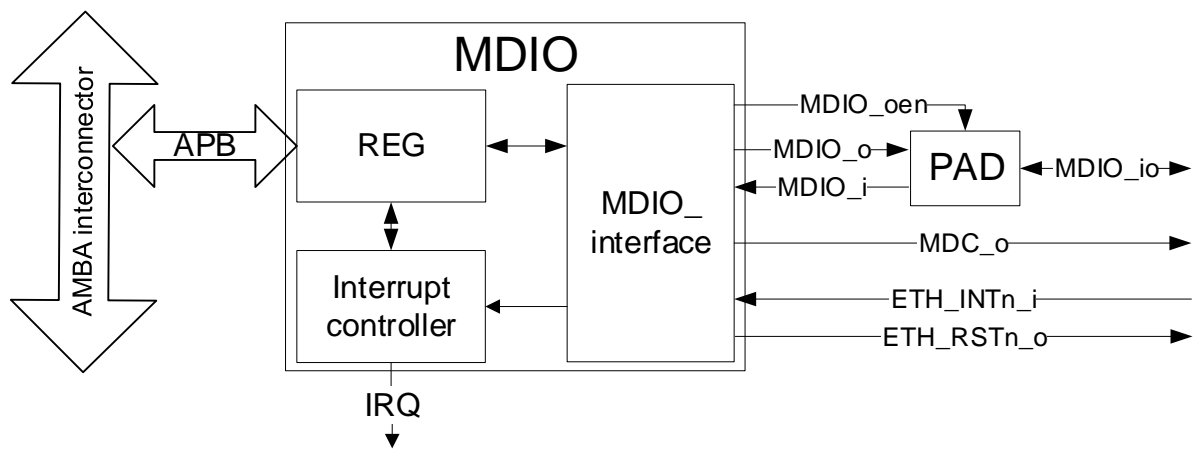


Рисунок 45 – Структурная схема контроллера MDIO

В таблице 372 описываются основные компоненты блока MDIO.

Таблица 372 – Описание блоков на структурной схеме MDIO

Название блока	Назначение и основные функции
REG	Содержит регистры, необходимые для приема/передачи информации через MDIO
Interrupt controller	Контроллер прерываний
MDIO_interface	Контролер двунаправленного последовательного канала данных, с поддержкой сигнала сброса для PHY и прерывания от PHY

1.4.1.6.5.3 Принципы функционирования контроллера MDIO

MDIO интерфейс может использоваться для доступа к Ethernet PHY (от 1 до 32), содержащим от 1 до 32 16-битных регистра.

При включении необходимо включить Ethernet PHY (регистр ETH_RST_N), настроить частоту, на которой будет работать MDIO интерфейс (регистр FREQ_DIVIDER) и включить передачу внешнего синхросигнала MDC_o (регистр MDIO_EN).

Для чтения регистра PHY через MDIO необходимо в регистр MDIO_CONTROL записать: адрес PHY (MDIO_CONTROL [addr_PHY]), адрес регистра PHY (MDIO_CONTROL [addr_reg]) и установить бит чтения (MDIO_CONTROL [start_read] = 1). Это вызовет установление бита занятости (MDIO_CONTROL [busy] = 1). Когда операция чтения завершится, бит занятости будет сброшен (MDIO_CONTROL [busy] = 0). Поле данных (MDIO_CONTROL [data]) будет содержать данные, прочитанные из заданного регистра PHY.

Для записи регистра PHY через MDIO необходимо в регистр MDIO_CONTROL записать: данные для записи в регистр (MDIO_CONTROL [data]), адрес PHY (MDIO_CONTROL [addr_PHY]), адрес регистра PHY (MDIO_CONTROL [addr_reg]) и установить бит записи (MDIO_CONTROL [start_write] = 1). Это вызовет установление бита занятости (MDIO_CONTROL [busy] = 1). Когда операция записи завершится, бит занятости будет сброшен (MDIO_CONTROL [busy] = 0).

Формат операции записи/чтения через MDIO приведен в таблице 373. Порядок передачи битов слева направо, данные и адреса передаются, начиная со старшего бита (данные с 15-го бита (15-й бит данных соответствует MDIO_CONTROL [31])).

									Лист
									261
Изм	Лист	№ докум.	Подп.	Дата					
	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
	34203-3		<i>Redhell</i> 24.10.2019		34203-2				

Таблица 373 – Формат операции записи/чтения через MDIO

Поля операции записи/чтения через MDIO								
	Преамбула (опционально)	Старт бит	Читать/писать	Адрес PHY	Адрес регистра	Разворот (turnaround)	Данные	
Разрядн.	32	2	2	5	5	2	16	-
Чтение	11..1	01	10	addr_PHY	addr_reg	Z0	DDD (данные от PHY)	Z
Запись	11..1	01	01	addr_PHY	addr_reg	10	data	Z

1.4.1.6.5.3.1 Прерывания от микросхемы Ethernet PHY

Контролер MDIO поддерживает анализ изменения статуса прерываний от PHY. Выход прерывания от PHY может быть подключен ко входу ETH_INTn_i.

Прерывание от PHY сопровождается изменением бит статуса в регистре статуса PHY. Если в регистре маски прерываний контроллера установлен бит (MDIO_IRQ_MASK «[PHY_status_changes] = 1), то будет генерироваться прерывание irq_o для обработчика прерываний СБИС МИ БИУС.

1.4.1.6.5.4 Описание регистров контроллера MDIO

1.4.1.6.5.4.1 Карта регистров контроллера MDIO

Задание конфигурационных параметров и отображение текущего состояния MGETH ведется через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave). Каждое обращение к регистрам имеет выравнивание до 32-х разрядов. Карта регистров приведена в таблице 374.

При обращении к регистрам СФ-блока по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают нулевое значение. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

- RO – поле доступно только для чтения. Запись данных в поле игнорируется;
- WO – поле доступно только для записи. Чтение возвращает значение 0;
- RW – поле доступно как для записи, так и для чтения.

Таблица 374 – Карта регистров контроллера MDIO

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0x000	ID	RO	0x4F49444D	Идентификатор устройства
0x004	VERSION	RO	0x640101	Номер версии устройства и конфигурация
0x008	STATUS	RO	0x0	Статус прерываний
0x00C	IRQ_MASK	RW	0x0	Маска прерываний
0x010	PHY_IRQ_STATE	RO	0x0	Состояние прерывания от PHY
0x014	CONTROL	RW	0x0	Управляющие биты и информация для PHY
0x018	ETH_RST_N	RW	0x0	Сброс для PHY
0x01C	FREQ_DIVIDER	RW	0x13	Делитель для формирования частоты тактового сигнала MDC_o

					ЮФКВ.431268.020РЭ	Лист 262
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Адрес	Наименование регистра	Доступ	Значение после сброса	Описание регистра
0x020	MDIO_EN	RW	0x0	Включение сигнала системной синхронизации и настройка MDIO

1.4.1.6.5.4.2 Описание полей регистров контроллера MDIO

1.4.1.6.5.4.2.1 ID(0x000)

Описание полей регистра ID приведено в таблице 375.

Таблица 375 – Описание полей регистра ID

Поле	Биты	Описание
id	31:0	Идентификатор устройства

1.4.1.6.5.4.2.2 VERSION(0x004)

Описание полей регистра VERSION приведено в таблице 376.

Таблица 376 – Описание полей регистра VERSION

Поле	Биты	Описание
conf	7:0	Конфигурация устройства
vers	15:8	Номер версии устройства
freq	27:16	Установленная по умолчанию частота тактового сигнала
-	31:28	Резерв

1.4.1.6.5.4.2.3 STATUS(0x008)

Описание полей регистра STATUS приведено в таблице 377.

Таблица 377 – Описание полей регистра STATUS

Поле	Биты	Описание
PHY_status_changes	0	Бит показывает, что возникло прерывание от PHY, сбрасывается чтением
read_completed	1	Бит устанавливается, когда завершается операция чтения
write_completed	2	Бит устанавливается, когда завершается операция записи
-	31:3	Резерв

1.4.1.6.5.4.2.4 IRQ_MASK(0x00C)

Описание полей регистра IRQ_MASK приведено в таблице 378.

Прерывание будет вырабатываться, если в бите установлена 1.

Таблица 378 – Описание полей регистра IRQ_MASK

Поле	Биты	Описание
mask_PHY_status_changes	0	Разрешение системного прерывания по возникновению прерывания от PHY, разрешается записью 1
mask_read_completed	1	Разрешение системного прерывания по завершении операция чтения
mask_write_completed	2	Разрешение системного прерывания по завершении операция записи
-	31:3	Резерв

1.4.1.6.5.4.2.5 PHY_IRQ_STATE(0x010)

Описание полей регистра PHY_IRQ_STATE приведено в таблице 379.

Таблица 379 – Описание полей регистра PHY_IRQ_STATE

Поле	Биты	Описание
PHY_irq_state	0	Состояние прерывания от PHY
-	31:1	Резерв

					ЮФКВ.431268.020РЭ		Лист
							263
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.6.5.4.2.6 CONTROL(0x014)

Описание полей регистра CONTROL приведено в таблице 380.

Запись данного регистра возможна только когда бит busy сброшен в 0.

Таблица 380 – Описание полей регистра CONTROL

Поле	Биты	Описание
start_write	0	Старт операции записи по MDIO интерфейсу. Данные для записи берутся из поля data этого же регистра
start_read	1	Старт операции чтения по MDIO интерфейсу. Прочитанные данные отражаются в поле data этого же регистра после окончания операции чтения (бит busy вернется в 0). Биты start_write и start_read не должны устанавливаться одновременно
busy	2	Бит занятости MDIO-интерфейса, установлен в 1, когда происходит обмен по MDIO, и сбрасывается в 0, когда обмен заканчивается. (Бит только для чтения)
addr_PHY	7:3	Адрес PHY для обращения по MDIO
addr_reg	12:8	Адрес регистра для обращения по MDIO
-	15:13	Резерв
data	31:16	При операции записи в данное поле необходимо поместить данные для записи по MDIO, при операции чтения, после окончания операции, в данном поле будут содержаться данные, прочитанные по MDIO

1.4.1.6.5.4.2.7 ETH_RST_N(0x018)

Описание полей регистра ETH_RST_N приведено в таблице 381.

Таблица 381 – Описание полей регистра ETH_RST_N

Поле	Биты	Описание
eth_rst_n	0	Значение сигнала ETH_RSTn_o сброса PHY
-	31:1	Резерв

1.4.1.6.5.4.2.8 FREQ_DIVIDER(0x01C)

Описание полей регистра FREQ_DIVIDER приведено в таблице 382.

Таблица 382 – Описание полей регистра FREQ_DIVIDER

Поле	Биты	Описание
freq_divider	15:0	Делитель для формирования частоты тактового сигнала MDC_o. $MDC_o = clk_i / (2 * (freq_divider + 1))$ При частоте тактового сигнала 100 МГц: при freq_divider = 0 – частота MDC_o = $clk_i / 2 = 50$ МГц; при freq_divider = 1 – частота MDC_o = $clk_i / 4 = 25$ МГц; при значении по умолчанию freq_divider = 19 – частота MDC_o = $clk_i / 40 = 2,5$ МГц
-	31:16	Резерв

1.4.1.6.5.4.2.9 MDIO_EN(0x020)

Описание полей регистра MDIO_EN приведено в таблице 383.

Таблица 383 – Описание полей регистра MDIO_EN

Поле	Биты	Описание
mdc_en	0	Включение сигнала системной синхронизации для последовательного канала данных MDIO
-	3:1	Резерв

					ЮФКВ.431268.020РЭ		Лист
							264
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
suppress_preamble	5:4	00 – преамбула передается всегда (перед каждой записью и чтением); 01 – преамбула передается только перед первым обращением по MDIO (первое после включения синхронизации MDIO_EN, не важно записью или чтением); 11 – преамбула не передается
-	7:6	Резерв
int_polarity	8	Изменение ожидаемой полярности прерывания от PHY, если данный бит установлен в: 0 – контроллер ожидает спад ETH_INTn_i; 1 – контроллер ожидает фронт ETH_INTn_i
-	31:9	Резерв

1.4.1.6.5.5 Мультиплексирование сигналов контроллеров MDIO и контроллеров GPIO

Мультиплексирование сигналов контроллеров MDIO и контроллеров GPIO приведено в таблице 384.

Таблица 384 – Мультиплексирование MDIO и GPIO

Наименование вывода микросхемы и подключение в функциональном режиме	Направление работы вывода в функциональном режиме	Подключение в GPIO-режиме
MDIO0_MDC	Вых	mGPIO0[0]
MDIO0_MDIO	Вх.\ Вых.	mGPIO0[1]
MDIO0_INT	Вх.	mGPIO1[0]
MDIO0_RSTN	Вых.	mGPIO1[4]
MDIO1_MDC	Вых	mGPIO0[2]
MDIO1_MDIO	Вх.\ Вых.	mGPIO0[3]
MDIO1_INT	Вх.	mGPIO1[1]
MDIO1_RSTN	Вых.	mGPIO1[5]
MDIO2_MDC	Вых	mGPIO0[4]
MDIO2_MDIO	Вх.\ Вых.	mGPIO0[5]
MDIO2_INT	Вх.	mGPIO1[2]
MDIO2_RSTN	Вых.	mGPIO1[6]
MDIO3_MDC	Вых	mGPIO0[6]
MDIO3_MDIO	Вх.\ Вых.	mGPIO0[7]
MDIO3_INT	Вх.	mGPIO1[3]
MDIO3_RSTN	Вых.	mGPIO1[7]

1.4.1.6.6 Контроллер DMA (MDMA-GP)

1.4.1.6.6.1 Общее описание MDMA-GP

MDMA-GP выполняет функции контроллера прямого доступа к памяти общего назначения, что позволяет разгрузить процессор от части операций копирования. MDMA-GP используется как самостоятельное устройство на системной шине для организации передачи данных типа память-память. MDMA-GP рассчитан на работу с дескрипторами, расположенными во внешней памяти.

MDMA-GP позволяет выполнять пересылки непрерывных массивов и вырезать или заполнять окна в памяти (выполнять двумерные операции), а также переставлять байты в 64-разрядных словах по заданной схеме.

MDMA-GP позволяет запускать пересылку программно или при возникновении внешнего события.

MDMA-GP является мастер-устройством на шине AMBA 3.0 AXI – данный шинный интерфейс используется для основной передачи данных. Для настройки MDMA-GP

					ЮФКВ.431268.020РЭ		Лист
							265
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

используется шина AMBA 3.0 APB. MDMA-GP является синхронным устройством с асинхронным аппаратным сбросом.

Так как шинный интерфейс AMBA 3.0 AXI предоставляет независимые каналы чтения из памяти и записи в память, MDMA-GP реализован как два независимых взаимодействующих между собой канала – канал чтения данных из памяти и канал записи данных в память. Каждый из каналов MDMA-GP может быть интегрирован как часть другого блока, при этом канал чтения данных из памяти встраивается как часть передающего канала, а канал записи данных в память – как часть принимающего канала.

Для интеграции MDMA-GP в СнК используются следующие интерфейсы:

- Интерфейс AMBA AXI 3.0 master для передачи данных;
- Интерфейс AMBA APB 3.0 slave для программирования MDMA-GP;
- Сигнал запроса прерывания;
- Шина для подключения сигналов внешних событий;
- Сигнал завершения работы, который может использоваться для запуска других блоков, например, другого MDMA-GP.

MDMA-GP обладает следующими функциональными возможностями:

- Два независимых канала: канал чтения из памяти и канал записи в память, каналы MDMA-GP могут быть использованы в составе других блоков;
- Работа с дескрипторами, расположенными во внешней памяти;
- Неограниченный список дескрипторов;
- Динамическая работа с очередью дескрипторов;
- Поддержка двумерных операций (вырезание или заполнение области памяти);
- Независимая настройка каналов чтения из памяти и записи в память;
- Программный запуск канала MDMA-GP и запуск при получении внешнего события;
- Перестановка байт в 64-разрядных словах по заданной схеме.

1.4.1.6.6.2 Структурная схема MDMA-GP

1.4.1.6.6.2.1 Контроллер прямого доступа к памяти общего назначения MDMA-GP

Структурная схема MDMA-GP представлена на рисунке 46.

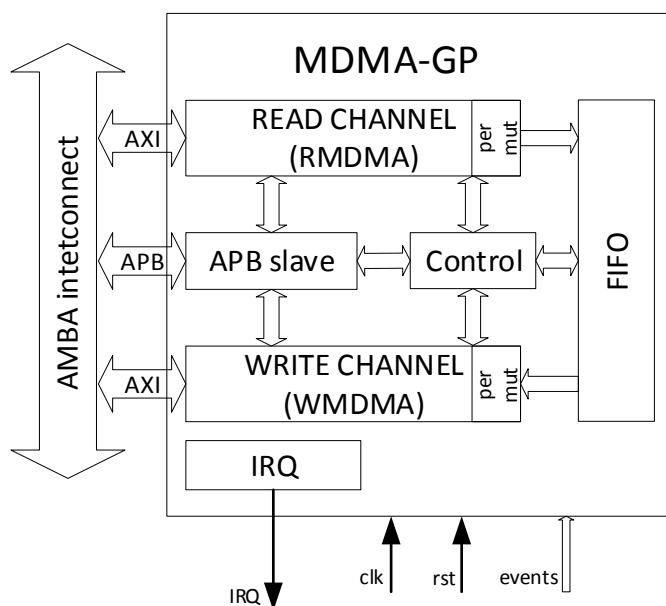


Рисунок 46 – Структурная схема MDMA-GP

					Лист
					266
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
34203-3	<i>Redhell</i> 24.10.2019		34203-2		

Описание блоков на структурной схеме MDMA-GP представлено в таблице 385.

Таблица 385 – Описание блоков на структурной схеме MDMA-GP

Название блока	Назначение и основные функции
READ CHANNEL (RMDMA)	Канал чтения из памяти с поддержкой прямого доступа
WRITE CHANNEL (WMDMA)	Канал записи в память с поддержкой прямого доступа
APB slave	Блок доступа к регистрам MDMA-GP
permut	Блок, выполняющий перестановку байт
IRQ	Контроллер прерываний
Control	Блок, выполняющий общую координацию работы каналов
FIFO	Общая память типа FIFO каналов чтения и записи

1.4.1.6.6.2.2 Каналы MDMA-GP в составе другого блока

Структурная схема каналов MDMA-GP в составе другого блока представлена на рисунке 47.

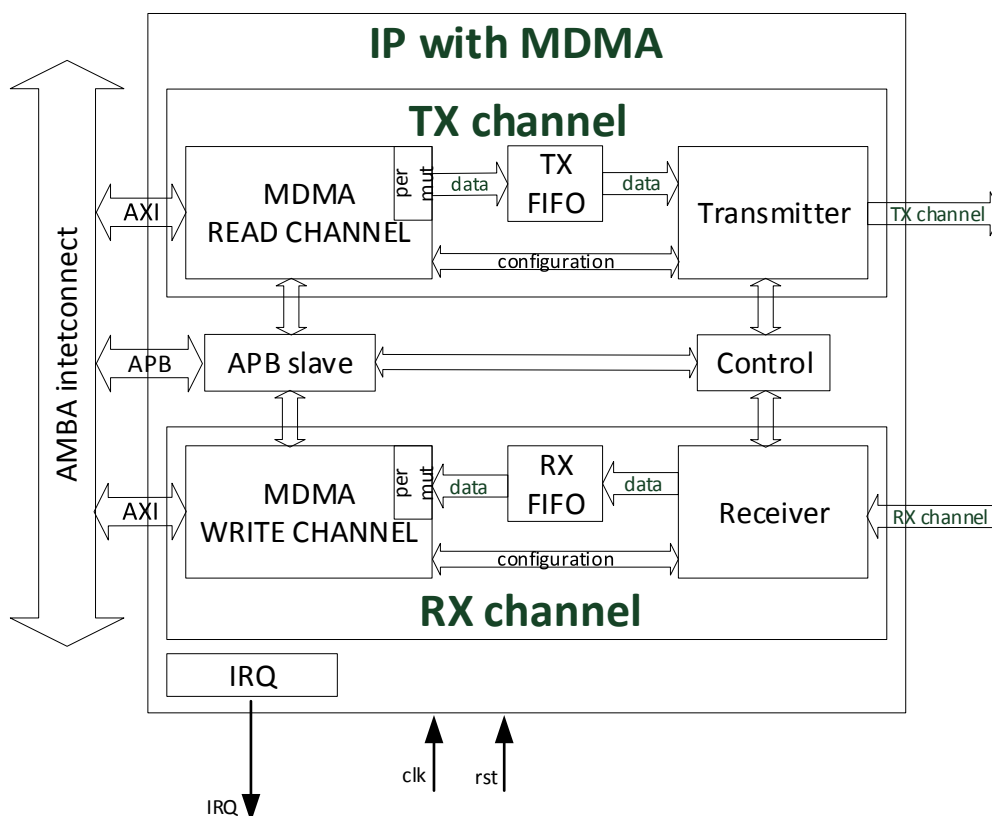


Рисунок 47 – Каналы MDMA-GP в составе другого блока

Описание блоков на структурной схеме контроллера, включающего каналы MDMA-GP, приведено в таблице 386.

					Лист	
					267	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата	
34203-3	<i>Redell</i> 24.10.2019		34203-2			

Таблица 386 – Описание блоков на структурной схеме контроллера, включающего каналы MDMA-GP

Название блока	Назначение и основные функции
TX channel	Передающий канал
RX channel	Приёмный канал
MDMA READ CHANNEL	Канал MDMA чтения из памяти с поддержкой прямого доступа
MDMA WRITE CHANNEL	Канал MDMA записи в память с поддержкой прямого доступа
TX FIFO	Буфер типа FIFO передающего канала
RX FIFO	Буфер типа FIFO приёмного канала
APB slave	Блок доступа к регистрам MDMA-GP
permut	Блок, выполняющий перестановку байт
IRQ	Контроллер прерываний
Control	Блок, выполняющий общую координацию работы каналов

1.4.1.6.6.3 Принципы функционирования MDMA-GP

1.4.1.6.6.3.1 Базовый принцип функционирования

MDMA-GP рассчитан на работу с дескрипторами, расположенными во внешней памяти.

MDMA-GP включает два независимых канала: канал чтения из памяти и канал записи в память. Принципы прямого доступа в память для каждого канала идентичны. Для каждого канала MDMA-GP задаётся отдельный набор дескрипторов.

Адреса, с которыми работает MDMA-GP, должны быть выровнены по 8 байт – ширина шины данных для MDMA-GP. При использовании отдельных каналов MDMA-GP в составе других блоков ширина шины данных может отличаться, например, для MGETH и MUART ширина шины данных составляет 4 байта, соответственно и адреса должны быть выровнены по 4 байта.

Для организации пересылки данных из одной области памяти в другую необходимо сформировать два набора дескрипторов:

- дескрипторы, описывающие область памяти, где хранятся данные для пересылки (канал чтения);
- дескрипторы, описывающие область памяти, в которую данные необходимо переместить (канал записи).

Дескрипторы каналов чтения и записи могут располагаться в памяти друг за другом, образуя очередь из пар дескрипторов, описывающих пересылку целиком. Для корректной пересылки из одной области памяти в другую дескриптор канала записи должен описывать области памяти такого же размера, как и дескриптор чтения.

Для каждого канала устанавливается независимая настройка шины AXI (максимальное количество слов в транзакции (ARLEN и AWLEN) и особые параметры транзакции, например, доступ в защищенную область памяти ARPROT, AWPROT и т. д.), также шина AXI настраивается отдельно для доступа к дескрипторам канала чтения и дескрипторам канала записи. По умолчанию все настройки AXI выставлены в расчёте на наиболее распространенный вариант обращений – транзакциями максимальной длины в незащищенную область памяти

					ЮФКВ.431268.020РЭ		Лист 268
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

(см. значения после сброса в карте регистров). Изменение параметров AXI необходимо только в особых случаях, например, при расположении дескрипторов в защищенной области памяти.

Далее в данном разделе приводится описание принципа работы одного канала MDMA-GP.

В процессе работы канал MDMA-GP считывает дескриптор из памяти, выполняет операции в соответствии с тем, что содержится в дескрипторе, и после этого модифицирует (перезаписывает) его значение, устанавливая флаги в соответствии с требованиями конкретного устройства.

Канал MDMA-GP работает с дескрипторами двух типов (тип дескриптора определяется флагом):

- дескриптор данных (data);
- дескриптор-ссылка (link).

Дескрипторы данных описывают область памяти, содержащую данные для передачи или же область памяти, в которую необходимо передать данные.

Дескрипторы-ссылки описывают переход к новому дескриптору (новому блоку дескрипторов).

Каждый дескриптор содержит флаг ownership, который указывает на доступность дескриптора для канала MDMA-GP. Если данный флаг имеет значение 0, то канал MDMA-GP может выполнять операции в соответствии с данным дескриптором, если 1 – то данный дескриптор для канала MDMA-GP недоступен. При модификации дескриптора канал MDMA-GP устанавливает значение ownership в 1, таким образом указывая, что работа с данным дескриптором завершена, и исключая возможность последующей работы. В случае если канал MDMA-GP считывает недоступный дескриптор, работа останавливается.

Переход от одного дескриптора к следующему описывается схемой (пример представлен на рисунке 48):

- 1) Адрес первого дескриптора задаётся в регистрах канала MDMA-GP перед началом работы (регистр DESC_ADDR_R(W)).
- 2) Для дескрипторов данных адрес следующего дескриптора получается прибавлением фиксированного значения (SETTINGS_R(W)[desc_gap]) к адресу текущего дескриптора (в примере ниже SETTINGS_R(W)[desc_gap] = 8).
- 3) Для дескрипторов ссылок адрес следующего дескриптора содержится в поле адреса текущего дескриптора.

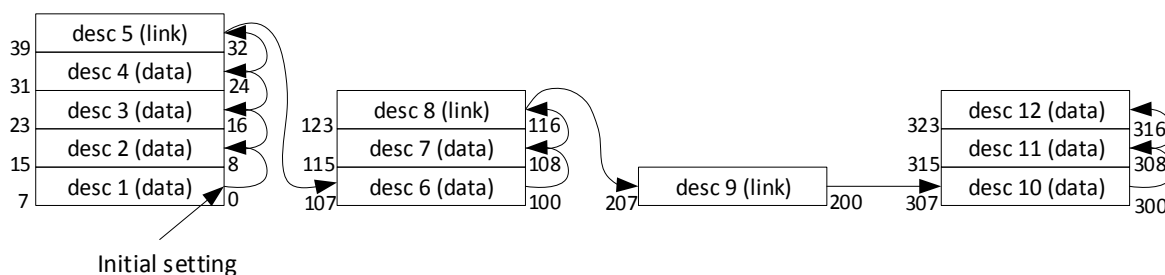


Рисунок 48 – Переходы между дескрипторами

Рекомендуется группировать дескрипторы в один или несколько блоков так, чтобы в рамках каждого блока дескрипторы располагались в памяти непрерывно.

					ЮФКВ.431268.020РЭ	Лист 269
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2		

Использование дескриптора-ссылки также позволяет организовать кольцевой буфер (рисунок 49).

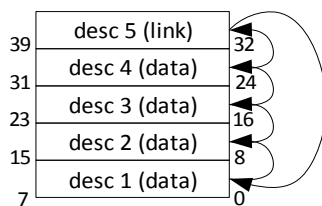


Рисунок 49 – Кольцевой буфер

1.4.1.6.6.3.2 Формат дескриптора MDMA-GP

Канал MDMA-GP поддерживает работу с дескрипторами длиной 64 бита (normal-дескриптор) или 128 бит (long-дескриптор и pitch-дескриптор) (см. рисунок 50). Какая длина дескриптора будет использоваться, задаётся в настройках канала MDMA-GP. Все данные, необходимые для описания типа дескриптора, его доступности, адреса и характеристик области памяти и др. содержатся в старших 64 битах дескриптора (основная часть). Расширение дескриптора до 128 бит (дополнительная часть) содержит поля, необходимые для выполнения pitch-операций – для pitch-дескрипторов. Также допустимо использование дескриптора длиной 128 бит для выполнения обычных пересылок (так же, как и с normal-дескриптором) – long-дескриптор, в этом случае дополнительная часть будет использоваться только при модификации дескриптора для передачи пользовательских данных (данная функциональность необходима для применения отдельных каналов MDMA-GP в составе других блоков и не используется непосредственно в MDMA-GP). Описание полей регистров приведено в таблице 387.



Рисунок 50 – Формат дескриптора

Допустима настройка одного канала MDMA-GP на работу с long- или pitch-дескрипторами (128 бит), а другого – с normal-дескрипторами (64 бита).

Таблица 387 – Описание полей дескриптора MDMA-GP

Поле	Биты	Описание
Основная часть		
ownership	[63] / [127]	Флаг доступности дескриптора для MDMA 0 – дескриптор доступен 1 – дескриптор не доступен
		ЮФКВ.431268.020РЭ
Изм	Лист	№ докум.
		Подп.
		Дата
Инв.№подл.	Подп. и дата	Взам.инв.№
34203-3	<i>Redell</i> 24.10.2019	34203-2
	Инв.№дубл.	Подп. и дата

Поле	Биты	Описание
link	[62] / [126]	Тип дескриптора 0 – дескриптор данных 1 – дескриптор-ссылка
interrupt	[61] / [125]	Флаг выработки прерывания после выполнения дескриптора 0 – не вырабатывать прерывание 1 – вырабатывать прерывание
stop	[60] / [124]	Флаг остановки после выполнения операций с дескриптором 0 – переход к следующему дескриптору разрешен 1 – канал MDMA-GP остановит свою работу после завершения обработки данного дескриптора
increment	[59] / [123]	Флаг запрета инкрементирования адреса 0 – обращение в фиксированный адрес 1 – инкрементация адреса
error	[58]/[122]	
custom/length ¹⁾	[57:46]/[121:110]	Дополнительные флаги в дескрипторе для работы канала MDMA-GP в составе других блоков / старшая часть поля length, если дополнительные флаги не нужны
length	[45:32] / [109:96]	Длина области данных (в байтах) для normal-дескриптора / Количество строк для pitch-дескриптора
address	[31:0] / [95:64]	Адрес области данных дескриптора (data) или адрес перехода (link)
Дополнительная часть²⁾		
pitch	[63:48]	Расстояние между строками для pitch-операций
string length	[47:32]	Длина строки данных для pitch-операций
reserve	[31:0]	-

¹⁾ При работе MDMA-GP как отдельного устройства поле custom не используется, поэтому поле length имеет длину 26 бит - [121:96].

²⁾ При использовании канала MDMA-GP в составе других блоков дополнительная часть может быть использована для передачи какой-либо информации блоку и/или передачи информации от блока при модификации дескриптора.

1.4.1.6.6.3.3 Работа с дескрипторами MDMA-GP

Дескрипторы выполняются в том порядке, в котором они расположены в памяти, единственное условие, при котором данный порядок нарушается – появление дескриптора-ссылки.

Дескриптор в памяти не должен пересекать границу 4 Кбайта.

Для минимизации задержек при переходе от одного дескриптора к другому каждый канал MDMA-GP осуществляет предвыборку дескрипторов, т. е. в каждый момент времени канал MDMA-GP может работать с несколькими дескрипторами, при этом выполняются следующие ограничения:

- 1) Во внутреннем буфере канала MDMA-GP может одновременно находиться не более четырех дескрипторов, из них не более трех дескрипторов данных (не более двух дескрипторов данных в очереди ожидания и ещё один дескриптор может находиться в процессе модификации, т. е. транзакция записи этого дескриптора по AXI началась, но ещё не завершена);
- 2) В каждый момент времени канал MDMA-GP генерирует адреса только для одного дескриптора;
- 3) Порядок модификации дескрипторов соответствует порядку зачитывания.

					ЮФКВ.431268.020РЭ	Лист 271
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

1.4.1.6.6.3.4 Последовательность операций с дескриптором при работе MDMA

1.4.1.6.6.3.4.1 Общая последовательность операций с дескриптором

При работе канала MDMA-GP над каждым дескриптором выполняется несколько операций:

- 1) Чтение дескриптора.
- 2) Анализ дескриптора.
- 3) Передача параметров дескриптора в ядро блока (эта операция не выполняется для дескрипторов-ссылок, дескрипторов нулевой длины или дескрипторов, недоступных для канала MDMA-GP).
- 4) Выполнение операций, в соответствии с дескриптором:
 - а) для дескриптора данных – генерация адресов и обращения в память;
 - б) для дескриптора-ссылки – генерация адреса следующего дескриптора.
- 5) Модификация дескриптора.
- 6) Перезапись дескриптора.
 - а) в случае если в поле interrupt дескриптора установлено значение 1, одновременно с завершением перезаписи дескриптора вырабатывается прерывание desc_int (завершено выполнение дескриптора с флагом interrupt);
 - б) в случае если в поле stop дескриптора установлено значение 1, одновременно с завершением перезаписи дескриптора вырабатывается прерывание desc_stop (завершено выполнение дескриптора с флагом stop). Дальнейшего чтения дескрипторов не производится и канал MDMA-GP выключается.
- 7) Переход к следующему дескриптору:
 - а) для дескриптора данных – смещение адреса дескриптора на desc_gap (смещение в байтах между началом текущего и началом следующего дескриптора для одного канала);
 - б) для дескриптора-ссылки – в качестве адреса следующего дескриптора используется значение поля address.

Дескриптор считается записанным, а работа с ним, соответственно, завершённой только после получения подтверждения завершения операции записи по AXI.

Дескриптор считается *активным* с момента начала анализа дескриптора до завершения всех транзакций пересылки данных дескриптора. Считанный дескриптор, анализ которого ещё не проведён и дескриптор, находящийся в очереди на модификацию, считаются *неактивными*.

Ниже приведены диаграммы работы с дескрипторами в различных ситуациях.

1.4.1.6.6.3.4.2 Работа с дескрипторами данных

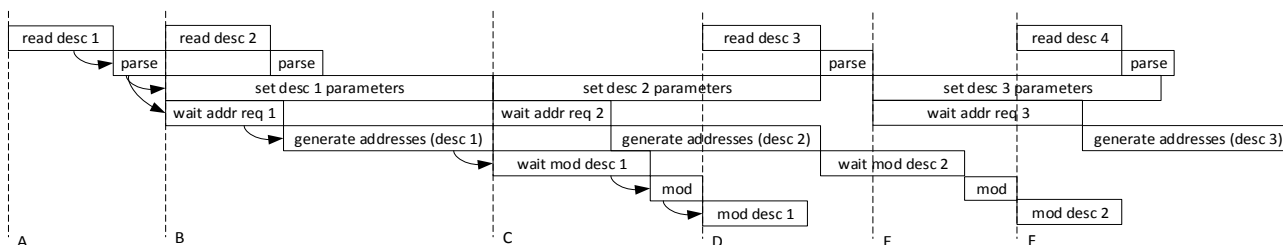


Рисунок 51 – Последовательность операций при работе с дескрипторами данных

									Лист
									272
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

Рисунок 51 иллюстрирует последовательность операций при работе с дескрипторами данных:

- В момент времени А происходит включение канала MDMA-GP (запись 1 в регистр ENABLE_R(W)). После этого канал MDMA-GP зачитывает дескриптор и производит его анализ.
- В момент времени В происходит зачитывание следующего дескриптора (при условии, что первый зачитанный дескриптор доступен для канала MDMA-GP). В этот же момент времени канал MDMA-GP передаёт ядру блока параметров дескриптора и готов генерировать адреса для чтения или записи данных.
- Между моментами времени В и D не выполняется запросов новых дескрипторов, т. к. внутренний буфер канала MDMA-GP содержит два дескриптора данных.
- В момент времени С канал MDMA-GP завершает генерацию адресов для первого дескриптора, передаёт ядру параметры второго дескриптора и готов генерировать адреса для чтения или записи данных второго дескриптора.
- В момент времени D канал MDMA-GP завершает внутренние операции по модификации дескриптора и начинает транзакцию перезаписи дескриптора в память. В этот момент времени во внутреннем буфере канала MDMA-GP остаётся один дескриптор данных, поэтому выполняется запрос следующего дескриптора.

И так далее.

1.4.1.6.6.3.4.3 Работа с дескрипторами-ссылками

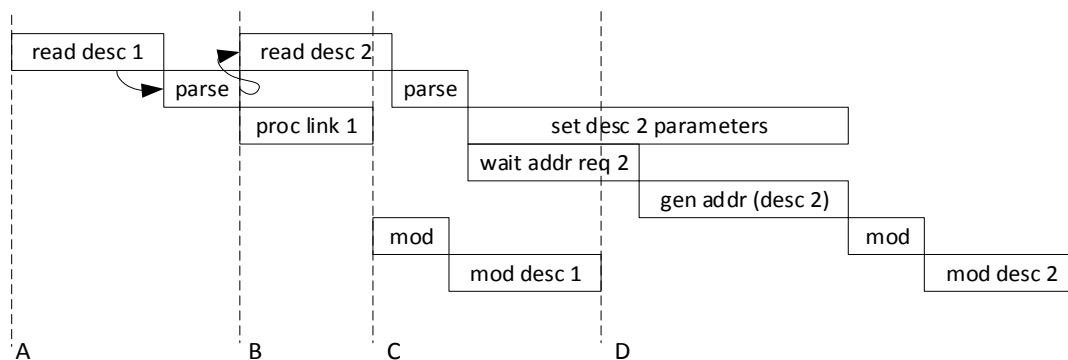


Рисунок 52 – Работа с одним дескриптором-ссылкой

Рисунок 52 иллюстрирует переход по дескриптору-ссылке.

В момент времени А происходит включение канала MDMA-GP (запись 1 в регистр ENABLE_R(W)). После этого канал MDMA-GP зачитывает дескриптор и производит его анализ. Так как первый дескриптор – ссылка, в момент времени В происходит зачитывание следующего дескриптора. Параметры дескриптора ссылки ядру не передаются.

Дальнейшая работа идёт по алгоритму, описанному ранее для дескрипторов данных.

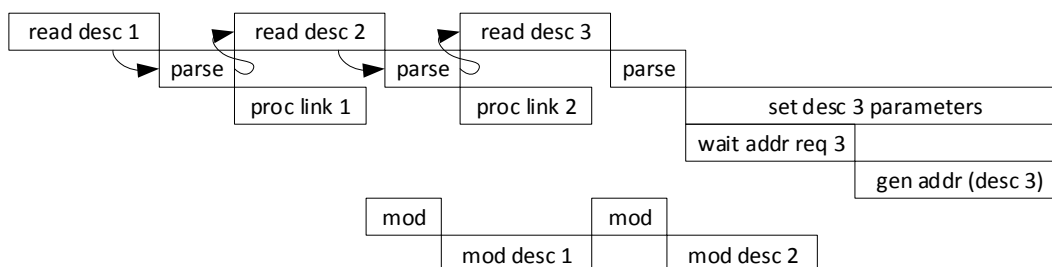


Рисунок 53 – Работа с двумя дескрипторами-ссылками, идущими подряд

					Лист
					273
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhall</i> 24.10.2019		34203-2	
			ЮФКВ.431268.020РЭ		
			Подп. и дата		

Если по дескриптору-ссылке происходит переход на новый дескриптор-ссылку, новый дескриптор анализируется, не дожидаясь перезаписи предыдущего (см. рисунок 53).

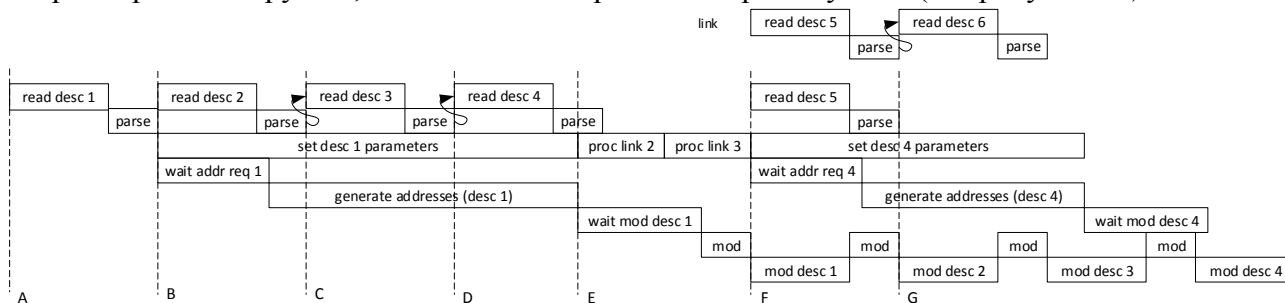


Рисунок 54 – Работа при заполнении внутреннего буфера канала MDMA-GP

Рисунок 54 иллюстрирует заполнение внутреннего буфера канала MDMA-GP:

- 1) В момент времени D считывается четвёртый дескриптор, на этом место во внутреннем буфере канала MDMA-GP заканчивается.
- 2) В момент времени F начинается перезапись дескриптора 1, место во внутреннем буфере канала MDMA-GP освобождается и происходит запрос нового дескриптора.
- 3) Момент времени G иллюстрирует разницу в работе канала MDMA-GP в зависимости от типа дескриптора 5:
 - а) если дескриптор 5 – дескриптор данных, то выполняется условие «два дескриптора данных во внутреннем буфере», и дальнейшего считывания дескрипторов не происходит;
 - б) если дескриптор 5 – дескриптор-ссылка, то происходит считывание дескриптора 6, т. к. началась перезапись дескриптора 2 и во внутреннем буфере меньше четырёх дескрипторов.

1.4.1.6.6.3.4.4 Работа с pitch-дескриптором

Pitch-дескриптор – дескриптор длиной 128 бит – расширяет функционал MDMA-GP, добавляя возможность вырезать из памяти прямоугольные области (см. рисунки 55 и 56) или обращаться к FIFO произвольной ширины (подробнее работа с FIFO описана в п. 1.4.1.6.6.3.4.8). Для pitch-дескриптора в поле length указывается количество строк. Максимальное значение поля length для pitch-дескриптора – 0xFFFF.

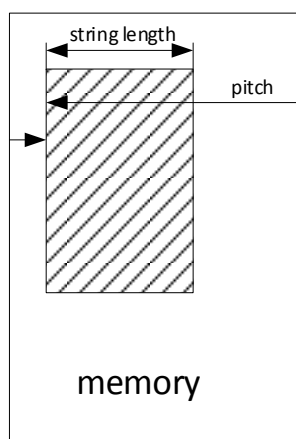


Рисунок 55 – Pitch-операция

					ЮФКВ.431268.020РЭ	Лист
						274
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redchell</i> 24.10.2019		34203-2		

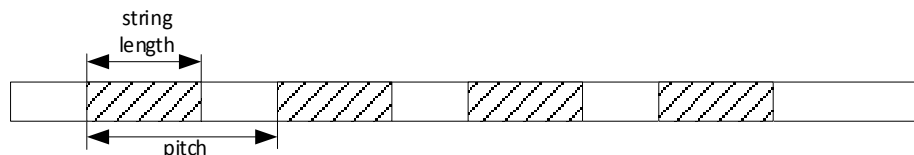


Рисунок 56 – Pitch-операция в линейном представлении памяти

В случае если канал MDMA-GP настроен на работу с pitch-дескрипторами, но выполнение pitch-операций для данного дескриптора не нужно, необходимо задать следующие значения полей:

- length = 1;
- pitch = 0;
- string_length – необходимый размер области памяти.

При этом максимальный размер адресуемой области памяти ограничен 64 Кбайт – 1.

1.4.1.6.6.3.4.5 Работа с дескриптором, недоступным для MDMA-GP

В случае если MDMA-GP при переходе к следующему дескриптору считывает дескриптор с 1 в поле *ownership*, MDMA-GP останавливает свою работу и выдаёт прерывание *desc_end* (считан дескриптор, недоступный для MDMA-GP). В регистре CUR_DESC_ADDR_R(W) отображается адрес дескриптора, недоступного для MDMA-GP.

1.4.1.6.6.3.4.6 Возникновение ошибки при чтении дескриптора

В случае возникновения ошибки на шине AXI при чтении дескриптора дескриптор считается недоступным для MDMA-GP. MDMA-GP останавливает свою работу и выдаёт прерывание *discard_desc* (дескриптор отброшен как недоступный для MDMA-GP). В регистре CUR_DESC_ADDR_R(W) отображается адрес дескриптора, обращение к которому вызвало ошибку шины AXI.

1.4.1.6.6.3.4.7 Работа с дескриптором с флагом stop.

В случае если в поле *stop* текущего дескриптора канала MDMA-GP установлено значение 1, канал MDMA-GP завершит все операции с текущим дескриптором и остановит свою работу (по завершении операций с дескриптором будет выработано прерывание *desc_stop*). При этом в поле *enable* регистра ENABLE_R(W) будет автоматически установлено значение 0, в регистре CUR_DESC_ADDR_R(W) будет содержаться адрес последнего выполненного дескриптора (дескриптора с флагом *stop*).

1.4.1.6.6.3.4.8 Обращения к единственному адресу в памяти

Для обращения к единственному адресу в памяти (работа с FIFO) предусмотрено два варианта действий:

- 1) Установить в поле *increment* дескриптора значение 0 – запрет инкремента адреса (действует для любого *po8mat*- и *long*-дескрипторов данных);
- 2) Установить в поле *pitch* значение 0 – нулевое смещение pitch-операций.

Данные варианты взаимоисключающие.

1.4.1.6.6.3.4.9 Запрет инкрементации адреса

Запрет инкремента адреса допустим только для адресов, выравненных по ширине шины AXI (по 8 байт для 64-разрядной шины). Данные будут читаться/записываться только словами длиной, равной ширине шины AXI.

					ЮФКВ.431268.020РЭ			Лист
								275
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

Если в поле *increment* дескриптора установлено значение 1, то MDMA-GP не будет изменять адрес при генерации адресов, и дополнительно на линии ARBURST_o для канала чтения или AWBURST_o будет установлено значение FIXED, указывая, таким образом, на то, что все слова в транзакции AXI относятся к одному и тому же адресу.

А случае запрета инкрементации для MDMA-GP, работающего на 64-разрядную шину, необходимо учитывать следующую особенность работы коммутационной среды AXI: 64-разрядная транзакция по фиксированному адресу при переходе на 32-разрядную шину будет представлена обращением по двум соседним адресам. Например, при записи 0x01234567 и 0x89ABCDEF по фиксированному адресу 0x8 при переходе на 32-разрядную шину получится следующая последовательность записей: 0x0123 запишется по адресу 0x8, 0x4567 – по адресу 0xC, 0x89AB – по адресу 0x8, 0xCDEF – по адресу 0xC.

1.4.1.6.6.3.4.10 Нулевое смещение *pitch*-операций

В случае необходимости более сложной настройки чтения или записи по фиксированным адресам необходимо использовать *pitch*-дескрипторы. Настройка в этом случае следующая:

- В поле *pitch* дескриптора нужно записать значение 0 (это запрет изменения адреса при переходе к новой строке);
- В поле *string_length* установить необходимую ширину данных;
- В поле *increment* установить 0.

1.4.1.6.6.3.4.11 Работа с дескриптором нулевой длины

MDMA-GP допускает установку значения 0 в поле *length* (нулевой дескриптор). В этом случае дескриптор будет считан и сразу отправится в очередь на модификацию. Все операции, связанные с флагами дескриптора (остановка (*stop*) и выработка прерывания (*interrupt*), выполняются так же, как и для дескрипторов ненулевой длины. Для дескрипторов-ссылок значение поля *length* не анализируется.

1.4.1.6.6.3.5 Настройка MDMA-GP

Перед началом работы MDMA-GP необходимо сформировать набор дескрипторов в соответствии с описанным форматом и выполнить настройку MDMA-GP.

При настройке MDMA-GP необходимо выполнить следующие операции для каждого канала:

- 1) Задать маску прерываний канала (регистр IRQ_MASK_R(W));
- 2) Определить формат дескриптора для канала (поле *desc_type* регистра SETTINGS_R(W));
- 3) Задать интервал между дескрипторами канала (поле *desc_gap* регистра SETTINGS_R(W));
- 4) Задать адрес дескриптора, с которого начнётся работа канала (регистр DESC_ADDR_R(W));
- 5) При необходимости задать схемы перестановок для данных и/или для дескрипторов.

Дополнительные настройки для запуска MDMA-GP по событию или по цепочке описаны ниже в соответствующих пунктах.

1.4.1.6.6.3.6 Запуск канала MDMA-GP

Канал MDMA-GP запускается либо программно, либо по событию. После запуска канала MDMA-GP продолжает работу до тех пор, пока не будет остановлен или не считает дескриптор, недоступный для MDMA-GP, или дескриптор с флагом *stop*.

					ЮФКВ.431268.020РЭ			Лист
								276
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

1.4.1.6.6.3.6.1 Программный запуск

Для программного запуска канала MDMA-GP необходимо записать 1 в регистр ENABLE_R(W).

После запуска всё время, пока канал включен, в регистре ENABLE_R(W) содержится значение 1.

В случае если канал MDMA-GP не был предварительно настроен, MDMA-GP обратится по адресу 0x0 и считает строку длиной 64 бита (расценив её как дескриптор), далее будут применены все правила работы с дескриптором.

Канал MDMA-GP не может быть остановлен записью 0 в регистр ENABLE_R(W). Способы остановки канала MDMA-GP описаны в п. 1.4.1.6.6.3.7.

1.4.1.6.6.3.6.2 Запуск по событию

Для запуска канала MDMA-GP по событию необходимо в регистре SENSE_LIST_R(W) выставить 1, в поле, соответствующем нужному событию, разрешить запуск по этому событию.

Допускается разрешение запуска по нескольким событиям, тогда запуск произойдёт при наступлении любого из них.

Если канал уже работает (в поле enable регистра ENABLE_R(W) значение 1), то информация о возникновении события запуска ставится в список ожидания запуска (регистр ACTIV_EVENTS_R(W)).

Регистры EVENTS_PRIOR_H_R(W) и EVENTS_PRIOR_L_R(W) задают приоритет запуска по событиям в случае одновременного прихода нескольких событий или если список ожидания запуска содержит несколько позиций (см. таблицу 388). Приоритет события задаётся числом от 0 до 15. Максимальным считается приоритет 0. Запуск канала MDMA-GP могут инициировать только события с приоритетом от 0 до 7.

Таблица 388 – Приоритет событий запуска

	EVENTS_PRIOR_H_R(W)								EVENTS_PRIOR_L_R(W)							
	31: 28	27: 24	23: 20	19: 16	15: 12	11: 8	7: 4	3: 0	31: 28	27: 24	23: 20	19: 16	15: 12	11: 8	7: 4	3: 0
Номер события	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Приоритет по умолчанию	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

В случае повторного прихода события запуска, информация о котором уже содержится в списке ожидания запуска, это событие будет проигнорировано. При этом будет выработано прерывание ignore_event. Флаг проигнорированного события отображается в регистре IGNORE_EVENTS_R(W).

При запуске по событию, для каждого события задаётся свой адрес таблицы дескрипторов – регистры EVENT_x_DESC_ADDR_R(W), где x – номер от 0 до 7, соответствующий приоритету события.

Запуск по событию доступен только для MDMA-GP как отдельного устройства, соответственно пересылка возможна только с задействованием как канала чтения, так и канала записи, причём события запуска и таблицы приоритетов событий у этих каналов должны быть синхронизированы. Для синхронизации каналов используются регистры SYNCH_EVENTS_R(W). Для канала, который будет определять запуск по событию, в регистр SYNCH_EVENTS_R(W) необходимо записать значение 0x100, для канала, который будет подстраиваться, – значение 0x001.

					ЮФКВ.431268.020РЭ					Лист
										277
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019			34203-2					

1.4.1.6.6.3.6.2.1 *Запуск по событию*

Для запуска по событию от какого-либо устройства необходимо:

- 1) При интеграции MDMA-GP в систему подключить необходимые сигналы событий к шине start_events_i[15:0] MDMA-GP;
- 2) Задать маску событий, по которым может происходить запуск канала (регистр SENSE_LIST_R(W));
- 3) Задать приоритет обработки событий запуска канала (регистры EVENTS_PRIOR_H_R(W) и EVENTS_PRIOR_L_R(W));
- 4) Задать адреса дескрипторов, с которых начнётся работа при возникновении события (EVENT_x_DESC_ADDR_R(W), где x – число от 0 до 7).

Далее, при возникновении нужного события канал MDMA-GP будет запущен.

1.4.1.6.6.3.6.2.2 *Запуск каналов по цепочке*

Для организации запуска каналов по цепочке необходимо при сборке MDMA-GP подключить выход finish_o одного MDMA-GP к шине start_events_i другого MDMA-GP и выполнить дополнительные настройки:

- 1) Задать канал (чтения или записи), сигнал о завершении работы которого будет использоваться для выработки сигнала запуска (регистр MDMA_GP_EVENT_SENSE_CH);
- 2) Задать длительность сигнала запуска (SIGNAL_TIME_R(W)).

С точки зрения программного обеспечения, запуск по цепочке идентичен запуску по событию.

1.4.1.6.6.3.6.2.3 *Приоритеты программного запуска и запуска по событию*

Программный запуск канала MDMA-GP имеет приоритет над запуском по событию. То есть любой канал MDMA-GP может быть запущен программно вне зависимости от настройки в регистре SENSE_LIST_R(W) и от того, произошло ли какое-либо из событий аппаратного запуска.

1.4.1.6.6.3.6.3 *Запуск после обращения к недоступному дескриптору*

После обращения к дескриптору, недоступному для MDMA-GP (флаг ownership равен 1), указатель на дескриптор не изменяется, поэтому допустимо заменить дескриптор на доступный для MDMA-GP и запустить MDMA-GP, не производя настройки. При этом дескриптор, бывший недоступным, будет считан повторно, и работа продолжится в штатном режиме.

Если обращение к дескриптору вызвало ошибку на шине AXI, значит в качестве адреса дескриптора указан либо несуществующий адрес, либо адрес, к которому у MDMA-GP нет доступа. В этом случае описанная выше процедура запуска без дополнительной настройки не допустима.

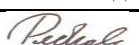
1.4.1.6.6.3.6.4 *Запуск после обращения к дескриптору с флагом stop.*

После завершения операций с дескриптором с флагом stop MDMA-GP останавливает свою работу. При последующем запуске без дополнительной настройки будет считан дескриптор, следующий за дескриптором, вызвавшим остановку, и работа продолжится в штатном режиме.

1.4.1.6.6.3.7 *Остановка и возобновление работы MDMA*

MDMA-GP поддерживает несколько способов остановки работы:

- Программный сброс, при этом все регистры MDMA-GP устанавливаются в начальное состояние, для дальнейшей работы необходимо повторно выполнить настройку MDMA-GP (software reset);

					ЮФКВ.431268.020РЭ			Лист
								278
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		 24.10.2019		34203-2				

- Приостановка работы с точностью до транзакции системной шины AMBA 3.0 AXI (suspend);
- Остановка работы с завершением операций с активным на момент подачи команды дескриптором (cancel).

Остановка канала MDMA-GP записью 0 в регистр ENABLE_R(W) недопустима. Не следует одновременно использовать операции suspend и cancel.

Программный сброс доступен в любое время.

1.4.1.6.6.3.7.1 Программный сброс

Для выполнения программного сброса канала MDMA-GP необходимо записать 1 в регистр SW_RST_R(W). После завершения программного сброса регистр SW_RST_R(W) будет содержать значение 0. Также после завершения программного сброса регистр ENABLE_R(W) будет содержать значение 0.

Так как внезапный обрыв (незавершение) транзакции на шине AXI приведёт к зависанию коммутационной среды СнК, в которой установлен блок MDMA-GP, программный сброс не может быть выполнен мгновенно. То есть при записи 1 в регистр SW_RST_R(W) это значение будет содержаться в регистре до тех пор, пока не завершатся все активные транзакции по шине AXI, после этого в регистре SW_RST_R(W) автоматически установится значение 0.

После программного сброса во всех регистрах канала MDMA-GP устанавливается значение по умолчанию.

Пример:

```
int tmp = 1;
write (SW_RST_R, 0x1);           // Команда программного сброса
while (tmp != 0)                 // Условие завершения программного сброса
read (SW_RST_R, tmp);           // Опрос регистра SW_RST_R
```

1.4.1.6.6.3.7.2 Приостановка работы

Приостановка работы канала MDMA-GP выполняется с точностью до транзакции AXI по причинам, описанным в п. 1.4.1.6.6.3.7.1.

Для выполнения приостановки работы канала необходимо записать 1 в регистр SUSPEND_R(W). После завершения приостановки будет выработано прерывание suspend_done. В регистре ENABLE_R(W) по-прежнему будет содержаться 1. Для возобновления работы необходимо записать 0 в регистр SUSPEND_R(W). **Недопустимо возобновление приостановленной работы канала MDMA-GP записью 0 в регистр SUSPEND_R(W) до завершения приостановки (получения прерывания suspend_done).**

При использовании канала MDMA-GP в составе другого блока информация о приостановке работы ядру блока не передаётся, т. к. это может вызвать ошибки при приёме при работе интерфейсов со сложной протокольной структурой, например, контроллера Ethernet. Также следует с осторожностью использовать приостановку работы для передачи данных, т. к. некоторые интерфейсы не допускают задержек при передаче пакета (например, MGETH предварительно полностью буферизирует пакет, поэтому приостановка работы канала передачи данных не приведёт к потере пакета).

1.4.1.6.6.3.7.3 Остановка работы

Для выполнения остановки канала MDMA-GP необходимо записать 1 в регистр CANCEL_R(W). После завершения работы канала будет выработано прерывание cans_done, а регистр CANCEL_R(W) будет содержать значение 0. В регистре ENABLE_R(W) также будет 0, что означает остановку канала MDMA-GP.

Остановка работы канала MDMA-GP выполняется с точностью до дескриптора, т. е. при подаче команды приостановки будут завершены все операции с дескриптором (в том числе и модификация дескриптора), который был активен на момент подачи команды.

					Лист	
					279	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

После подачи команды остановки работы новые дескрипторы не зачитываются, а очередь предзачитанных дескрипторов очищается.

Выполнение операции cancel для дескриптора-ссылки проиллюстрировано на рисунке 57, для двух дескрипторов – на рисунке 58.

Пример 1 (работа по прерыванию):

```
int tmp = 0;
write (IRQ_MASK_R, 0x4); // Задание маски прерываний канала чтения
write (CANCEL_R, 0x1); // Команда остановки (cancel)
wait (irq); // Ожидание прерывания
read (GP_STATUS_R, tmp); // Чтение статуса MDMA-GP
if (tmp & 0x1) // Если прерывание от канала чтения
    read (STATUS_R, tmp); // Чтение статуса канала чтения
if (tmp & 0x4) // Если прерывание cans_done
    ...
```

Пример 2 (работа по опросу):

```
int tmp = 1;
write (CANCEL_R, 0x1); // Команда остановки (cancel)
while (tmp != 0)
    read (CANCEL_R, tmp); // Чтение регистра CANCEL
```

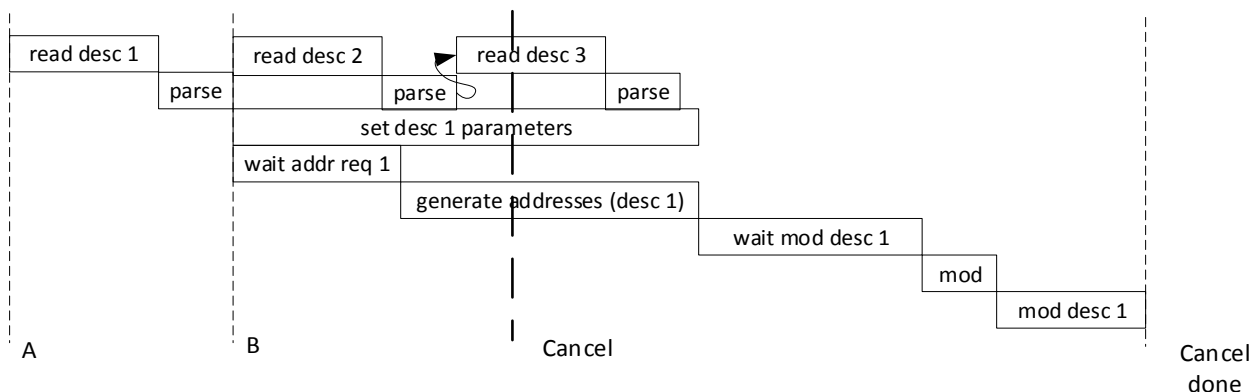


Рисунок 57 – Выполнение операции cancel для дескриптора-ссылки

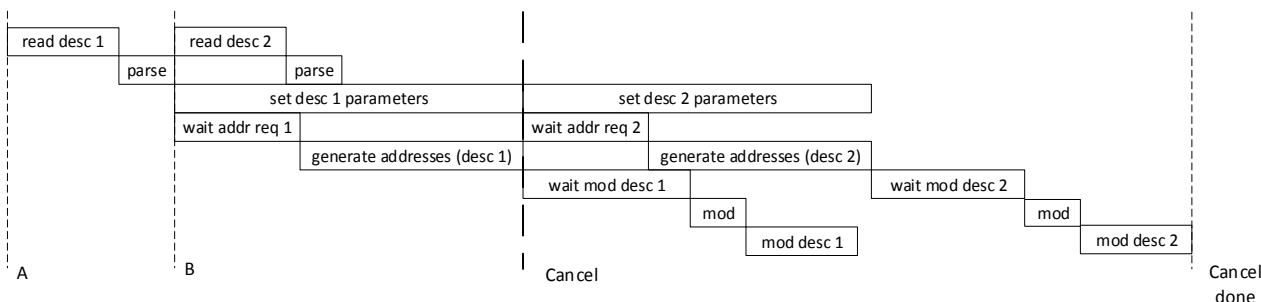


Рисунок 58 – Выполнение операции cancel для двух дескрипторов

1.4.1.6.6.3.7.4 Возобновление работы

После остановки или завершения операций с дескриптором с флагом stop работа канала MDMA-GP может быть продолжена. Для этого необходимо запустить канал, т. е. либо записать 1 в регистр ENABLE_R(W), либо дождаться события запуска.

Для возобновления работы после приостановки необходимо записать 0 в регистр SUSPEND_R(W).

					Лист	
					280	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата	
34203-3	<i>Redchell</i> 24.10.2019		34203-2			

После возобновления работы канал MDMA-GP продолжит работу так же, как работал бы, если бы не был остановлен, т. е. продолжит генерировать адреса в случае если была приостановка, или перейдёт к следующему дескриптору в случае если была остановка работы.

1.4.1.6.6.3.8 Очередь дескрипторов

Совокупность дескрипторов для канала MDMA-GP образует очередь, по которой перемещается указатель на дескриптор. Началом очереди является первый дескриптор, адрес которого указывается в регистре DESC_ADDR_R(W). В конце очереди обязательно должен стоять дескриптор с флагом stop или дескриптор, недоступный для MDMA-GP (ownership = 1), это гарантирует, что MDMA-GP не обратится в случайную область памяти.

В случае необходимости добавления дескриптора или нескольких дескрипторов в уже сформированную и работающую очередь возможны два варианта:

- 1) добавление дескриптора в конец очереди;
- 2) добавление дескриптора в середину очереди.

Ниже приведен порядок действий для выполнения этих операций.

1.4.1.6.6.3.8.1 Кольцевой буфер

Рисунок 49, приведенный в п. 1.4.1.6.6.3.1, иллюстрирует организацию кольцевого буфера с помощью дескриптора-ссылки. При построении кольцевого буфера необходимо учесть механизм предзащитывания дескрипторов, описанный в п. 1.4.1.6.6.3.4.

- Кольцевой буфер из двух дескрипторов данных (если среди них нет дескриптора с флагом stop) неработоспособен, т. к. при первом же переходе в начало по дескриптору-ссылке будет совершен переход на первый дескриптор, который ещё не был перезаписан.
- Кольцевой буфер из трех дескрипторов данных (если среди них нет дескриптора с флагом stop) вероятнее всего завершит свою работу после первого же перехода в начало по дескриптору-ссылке, т. к. первый дескриптор будет перезаписан (и станет недоступным для MDMA-GP), но, вероятнее всего, не будет проанализирован ПО (будет оставаться недоступным для MDMA-GP).
- Кольцевой буфер из четырех и более дескрипторов предоставляет большее время на программный анализ таблицы дескрипторов и должен обеспечивать стабильную непрерывную работу.

1.4.1.6.6.3.8.2 Добавление дескриптора в конец очереди

Добавление дескриптора в конец очереди – очень распространённая операция. Для её выполнения необходим следующий порядок действий:

- 1) Добавить дескриптор (или группу дескрипторов) в конец очереди (заменить дескриптор, недоступный для MDMA-GP, если такой использовался);
- 2) Запустить канал MDMA-GP.

При выполнении данной операции возможны следующие сценарии:

- 1) Последний (недоступный или с флагом stop) дескриптор не был считан – тогда канал MDMA-GP продолжит работу, как если бы очередь изначально была длиннее.
- 2) Последний (недоступный) дескриптор был считан – тогда MDMA-GP сгенерирует прерывание desc_end или desc_stop, которое может быть проигнорировано, получит команду запуска и повторно обратится к адресу дескриптора, который был недоступен.
- 3) Последний дескриптор с флагом stop был считан – тогда MDMA-GP остановится (будет сгенерировано прерывание desc_stop, которое может быть проигнорировано), получит команду запуска и обратится к адресу дескриптора, следующего за дескриптором с флагом stop.

					Лист	
					281	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2		

1.4.1.6.6.3.8.3 Добавление дескриптора в середину очереди

Добавление дескриптора в середину очереди позволяет реализовать очередь сообщений с различным приоритетом средствами одного канала. Для выполнения этой операции необходим следующий порядок действий:

- 1) Сформировать дескриптор или группу дескрипторов, которые должны быть добавлены;
- 2) Подать команду остановки канала MDMA-GP (записать 1 в регистр CANCEL_R(W) – это гарантирует, что не будет считан следующий дескриптор, а очередь предзачитанных дескрипторов будет очищена;
- 3) Считать адрес текущего дескриптора (регистр CUR_DESC_ADDR_R(W) – чтобы определить точку возврата в очередь;
- 4) Считать активный дескриптор по адресу CUR_DESC_ADDR_R(W):
 - а) если это дескриптор данных, то добавить в конец группы новых дескрипторов дескриптор-ссылку на дескриптор, следующий за последним активным (т. е. адрес CUR_DESC_ADDR_R(W) + desc_gap);
 - б) если это дескриптор ссылка, то добавить в конец группы новых дескрипторов дескриптор-ссылку с таким же адресом, как и у последнего активного дескриптора;
- 5) Записать в регистр DESC_ADDR_R(W) адрес первого дескриптора из группы новых;
- 6) Запустить канал MDMA-GP.

При выполнении данной операции возможны два сценария:

- 1) Работа с активным дескриптором не была завершена до запуска – тогда канал MDMA-GP продолжит работу, не останавливаясь, и после завершения работы с активным на момент подачи команды остановки дескриптором перейдёт на дескриптор по адресу, указанному в регистре DESC_ADDR_R(W).
- 2) Работа с последним активным дескриптором была завершена – тогда MDMA-GP сгенерирует прерывание cans_done, которое может быть проигнорировано, получит команду запуска и обратится к адресу дескриптора, который указан в регистре DESC_ADDR_R(W).

1.4.1.6.6.3.9 Определение текущего состояния MDMA-GP

Для точного определения, с каким дескриптором в данный момент работает канал MDMA-GP и по какому адресу совершается обращение, либо определения состояния MDMA-GP после остановки используются регистры CUR_DESC_ADDR_R(W) и CUR_ADDR_R(W).

В регистре CUR_DESC_ADDR_R(W) отображается адрес дескриптора, с которым на момент прочтения работает данный канал MDMA-GP.

В случае если канал MDMA-GP не был остановлен (ENABLE_R(W) = 1 или CANCEL_R(W)[cancel] = 1), значение, считанное из регистра CUR_DESC_ADDR_R(W), может отличаться от реального, т. к. переход к следующему дескриптору может произойти раньше, чем транзакция чтения дойдёт до своего источника.

В регистре CUR_ADDR_R(W) отображается адрес активной в момент прочтения регистра транзакции канала MDMA-GP.

1.4.1.6.6.3.10 Механизм перестановки байт

СФ-блок MDMA-GP позволяет выполнять перестановку байт в 64-разрядных словах по

					ЮФКВ.431268.020РЭ			Лист
								282
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

заданной при настройке MDMA-GP схеме: каждые четыре разряда кодируют номер положения бита или байта в новом слове (см. таблицу 389).

Таблица 389 – Механизм перестановки байт

Исходный порядок байтов / битов								
Номера байтов/битов	7	6	5	4	3	2	1	0
Порядок после перестановки								
Разряды, кодирующие номер байта/бита	[31:28]	[27:24]	[23:20]	[19:16]	[15:12]	[11: 8]	[7: 4]	[3: 0]

Пример (перестановка байтов):

Таблица перестановки: 0x01234567
 Исходное слово: 0x0001020304050607
 Результат: 0x0706050403020100

Перестановка байт допустима только для данных кратных 8 байт, т. е. состоящих из целых слов. Перестановка байт в неполном слове (меньше 8 байт) может привести к некорректному результату.

1.4.1.6.6.3.11 Настройка параметров шины AXI

Для каждого канала MDMA-GP доступна отдельная гибкая настройка параметров шины AXI. Шина для чтения/записи дескрипторов канала MDMA-GP и основная шина канала MDMA-GP (шина чтения/записи данных для каналов чтения/записи соответственно) настраиваются также независимо друг от друга.

Имена регистров настройки соответствуют названиям сигналов в спецификации AXI.

Шина AXI предполагает блочную адресацию, при которой одному запросу адреса соответствует блок данных размером от 1 до 16 слов. Длину блока данных регулирует параметр AR(W)LEN (для шины чтения/записи дескрипторов применяется термин AXLEN, указывающий, что настройка каналов чтения и записи выполняется одинаково). Размер блока данных равен AR(W)LEN + 1, т. е. при AR(W)LEN = 0 каждому адресу на шине AXI будет соответствовать только одно слово, а при AR(W)LEN = 15 (максимально допустимое значение) на один выставленный адрес будет приходиться блок из 16 слов. Для увеличения пропускной способности рекомендуется выставлять максимальное значение AR(W)LEN. Для шины чтения/записи дескрипторов недопустимо выставлять значение AXLEN так, чтобы получившийся блок данных был больше размера дескриптора. Например, для port-дескрипторов MDMA-GP (64-разрядная шина данных) AXLEN = 0, для pitch-дескрипторов MDMA_GP AXLEN = 1, для pitch-дескрипторов MDMA в составе контроллера MGETH AXLEN = 3 (т. е. четыре слова под один адрес).

Каналы чтения и записи данных MDMA-GP поддерживают конвейеризацию запросов адреса. Использование конвейеризации позволяет повысить пропускную способность интерфейса в случае большой задержки доступа от MDMA-GP до контроллера памяти. Число ступеней конвейера задаётся в регистре R(W)_MAX_TRANS. Допустимые значения R(W)_MAX_TRANS от 1 до 15 (0 – некорректное значение!).

Рисунки 59 и 60 иллюстрируют конвейеризацию запросов.

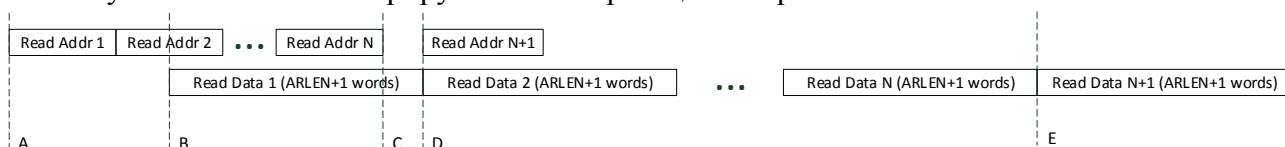


Рисунок 59 – Конвейеризация чтения по шине AXI

					ЮФКВ.431268.020РЭ		Лист 283
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

В общем случае последовательность операций на шине AXI при конвейеризации выглядит следующим образом $R_MAX_TRANS = N$ (см. рисунок 59):

- 1) В момент времени А на шину выставляется первый адрес.
- 2) Сразу после подтверждения приёма первого адреса на шину выставляется второй адрес и т. д.
- 3) В момент времени В начинают приходить данные, запрошенные по первому адресу. Под первый адрес придёт $ARLEN+1$ слов:
 - а) Если в поле increment дескриптора установлено значение 0, то слова будут приходить по последовательным адресам: $Read_Addr_1$, $Read_Addr_1+8$ (длина слова в байтах), $Read_Addr_1+16$ и т. д.);
 - б) Если в поле increment дескриптора установлено значение 1, то слова будут приходить с одного и того же адреса: $Read_Addr_1$, $Read_Addr_1$, $Read_Addr_1+16$ и т. д., как при чтении из FIFO.
- 4) В момент времени С подтвержден приём N-го адреса, т. е. достигнуто максимальное число ступеней конвейера, после этого запросы адреса приостанавливаются.
- 5) В момент времени D завершён приём данных, запрошенных по первому адресу, соответственно на шину можно выставить запрос (N+1) адреса.
- 6) В момент времени E завершён приём данных по N-му адресу.

Рисунок 59 иллюстрирует эффективность конвейеризации адреса. На рисунке 60 представлен вариант работы шины при $R_MAX_TRANS = 1$, как видно, такая настройка не обеспечивает эффективного использования шины данных.

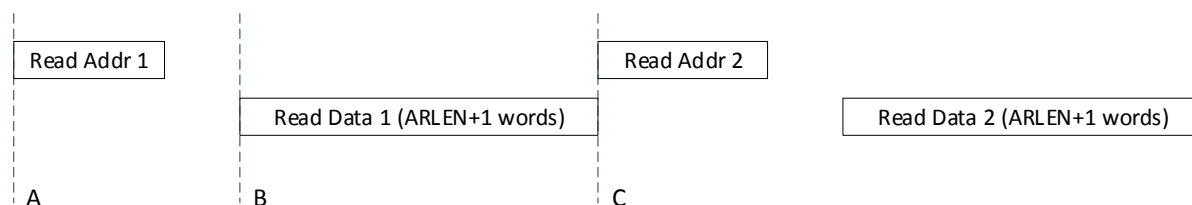


Рисунок 60 – Чтение по шине AXI при $R_MAX_TRANS = 1$

Следует с осторожностью применять максимально возможные значения $R(W)_MAX_TRANS$, т. к. коммутационная среда СБИС МИ БИУС и оконечные устройства (например, контроллеры памяти) имеют ограничения по конвейеризации запросов.

Пример 1: контроллер оперативной памяти DDR3 поддерживает конвейеризацию 16 запросов адреса, при $R(W)_MAX_TRANS = 15$, и расположении дескрипторов тоже в оперативной памяти DDR3 (что даст ещё один запрос адреса), MDMA-GP может заблокировать доступ к оперативной памяти DDR3 со стороны других блоков.

Пример 2: порт системного коммутатора, к которому подключен контроллер MGETH поддерживает конвейеризацию 16 запросов адреса, при выставлении $R(W)_MAX_TRANS = 15$ для одной очереди, эта очередь может заблокировать доступ очередей с меньшим приоритетом к коммутатору.

1.4.1.6.6.3.12 Работа в случае ошибки при обращении по шине AXI

В случае ошибки при обращении по шине AXI канал MDMA-GP генерирует прерывание `axi_err`, однако продолжает работу до завершения дескриптора.

Для диагностики ошибки можно использовать регистры `RRESP_R(W)`, `RAXI_ERR_ADDR_R(W)`, `BRESP_R(W)`, `WAXI_ERR_ADDR_R(W)`, `RRESP`, `RAXI_ERR_ADDR`, `BRESP`, `WAXI_ERR_ADDR`.

В регистрах `RRESP_R(W)`, `BRESP_R(W)`, `RRESP`, `BRESP`, `WAXI_ERR_ADDR` фиксируется состояние соответствующей линии шины AXI в момент ошибки. Если после ошибочной транзакции были прошедшие корректно или другие ошибочные транзакции

					Лист
					284
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	Подп. и дата

(т. к. необходимо завершить все активные транзакции, чтобы не завесить шину AXI), информация о них не сохраняется.

В регистрах RAXI_ERR_ADDR_R(W), WAXI_ERR_ADDR_R(W), RAXI_ERR_ADDR, WAXI_ERR_ADDR фиксируется адрес первой ошибочной транзакции.

Предполагается, что ошибки на шине AXI могут возникать только при отладке программного обеспечения, т. к. к ошибкам приводят обращения в несуществующие или недоступные области памяти.

1.4.1.6.6.3.13 Работа с прерываниями

MDMA-GP поддерживает маскируемые прерывания. Маска прерываний для канала MDMA-GP задаётся в регистре IRQ_MASK_R(W). Информация о событиях, приводящих к возникновению прерывания, отображается в регистре STATUS_R(W). В регистре MDMA_GP_STATUS указывается, какому каналу (чтения или записи) соответствует возникшее прерывание. Содержимое регистров статуса канала MDMA-GP STATUS_R(W) автоматически сбрасывается после чтения. Информация о запросе прерывания от канала автоматически удаляется из регистра MDMA_GP_STATUS после чтения соответствующего регистра статуса канала MDMA-GP.

По умолчанию (после сброса) все прерывания замаскированы, т. е. сигнал запроса прерывания вырабатываться не будет даже при возникновении события, приводящего к прерыванию.

Для разрешения генерации сигнала запроса прерывания по определённому событию необходимо записать 1 в соответствующее поле регистра IRQ_MASK_R(W).

Информация о событиях, приводящих к возникновению прерывания, отображается в регистре STATUS_R(W) всегда и не зависит от установленных масок прерываний.

Сигнал запроса прерывания может быть сгенерирован сразу после разрешения прерывания в регистре IRQ_MASK_R(W), если соответствующее событие произошло ранее и зафиксировано в регистре STATUS_R(W) (т. е. STATUS_R(W) не был прочитан после возникновения события).

1.4.1.6.6.4 Описание регистров MDMA-GP

1.4.1.6.6.4.1 Карта регистров MDMA-GP

Задание конфигурационных параметров и отображение текущего состояния MDMA-GP ведётся через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave). Каждое обращение к регистрам имеет выравнивание до 32-х разрядов. Карта регистров приведена в таблице 390.

При обращении к регистрам СФ-блока по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают значение 0xe7707ad7. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

- RO – поле доступно только для чтения. Запись данных в поле игнорируется;
- WO – поле доступно только для записи. Чтение возвращает значение 0;
- RW – поле доступно как для записи, так и для чтения.

Символом «*» в таблице 389 отмечены регистры, для которых после таблицы присутствует дополнительное описание.

Все регистры делятся на регистры общие для всего MDMA-GP, регистры канала чтения и регистры канала записи. Набор регистров канала чтения и канала записи идентичен. Для удобства имя каждого регистра настройки DMA канала содержит суффикс, указывающий тип канала (чтение – R, запись – W), а регистры, отвечающие за настройку шины AXI, именуются в соответствии с названием сигналов в спецификации AXI, например, ARLEN и AWLEN.

									Лист
									285
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redhall</i> 24.10.2019			34203-2					

Таблица 390 – Карта регистров MDMA-GP

Адрес	Название	Доступ	Значение после сброса	Описание
Общие регистры MDMA-GP				
0x000	MDMA_GP_ID	RO	0x616D644D	Идентификатор устройства
0x004	MDMA_GP_VER	RO	0x00000101	Номер версии устройства и конфигурация
0x008*	MDMA_GP_SOFT_RST	RW	0x0	Программный сброс
0x00C	-	-	-	Резерв
0x010	MDMA_GP_EVENT_SENSE_CH	RW	0x1	Маркер канала для генерации сигнала finish_o (запуска других устройств) 0 – канал чтения 1 – канал записи
0x014	-	-	-	Резерв
0x018*	MDMA_GP_STATUS	RO	0x0	Общий регистр статуса для всех каналов MDMA. В нём отражается информация о прерываниях каналов
0x01C – 0x0FF	-	-	-	Резерв
Регистры настройки DMA канала чтения из памяти (канал передачи данных при использовании в составе другого блока), а также дополнительная настройка и состояние интерфейса AXI				
0x100*	ENABLE_R	RW	0x0	Включение канала
0x104*	SUSPEND_R	RW	0x0	Приостановка работы канала
0x108*	CANCEL_R	RW	0x0	Остановка работы канала с точностью до дескриптора
0x10C	-	-	-	Резерв
0x110*	SETTINGS_R	RW	0x0	Настройка канала
0x114*	IRQ_MASK_R	RW	0x0	Маска прерываний канала
0x118*	STATUS_R	RO	0x0	Состояние линии прерываний канала
0x11C	-	-	-	Резерв
0x120	DESC_ADDR_R	RW	0x0	Адрес первого дескриптора
0x124	-	-	-	Резерв
0x128	CUR_DESC_ADDR_R	RO	0x0	Адрес текущего дескриптора
0x12C	CUR_ADDR_R	RO	0x0	Адрес текущей транзакции
0x130*	DMA_STATE_R	RO	0x0	Регистр состояния канала
0x134 – 0x13C	-	-	-	Резерв
0x140	DESC_AXLEN_R	RW	0x0	Значение ARLEN и AWLEN для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x144	DESC_AXCACHE_R	RW	0x3	Значение ARCACHE и AWCACHE для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x148	DESC_AXPROT_R	RW	0x2	Значение ARPROT и AWPROT для транзакций по AXI при чтении и

					ЮФКВ.431268.020РЭ	Лист 286
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Название	Доступ	Значение после сброса	Описание
				модификации дескриптора (значимы только младшие три бита – [2:0])
0x14C	DESC_AXLOCK_R	RW	0x0	Значение ARLOCK и AWLOCK для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие два бита – [1:0])
0x150	DESC_RRESP_R	RO	0x0	Значение RRESP для транзакций по AXI при чтении дескриптора (значимы только младшие два бита – [1:0])
0x154	DESC_RAXI_ERR_ADDR_R	RO	0x0	Адрес AXI-транзакции чтения дескриптора, вызвавшей ошибку на шине AXI
0x158	DESC_BRESP_R	RO	0x0	Значение BRESP для транзакций по AXI при модификации дескриптора (значимы только младшие два бита – [1:0])
0x15C	DESC_WAXI_ERR_ADDR_R	RO	0x0	Адрес AXI-транзакции записи при модификации дескриптора, вызвавшей ошибку на шине AXI
0x160	DESC_PERMUT_R	RW	0x76543210	Схема перестановки байт при чтении и записи дескрипторов по AXI
0x164 – 0x17C	-	-	-	Резерв
0x180	R_MAX_TRANS	RW	0xF	Максимальное число незавершенных транзакций (не более 15)
0x184	ARLEN	RW	0xF	Значение ARLEN для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0x188	ARCACHE	RW	0x3	Значение ARCACHE для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0x18C	ARPROT	RW	0x2	Значение ARPROT для транзакций по AXI (значимы только младшие три бита – [2:0])
0x190	ARLOCK	RW	0x0	Значение ARLOCK для транзакций по AXI (значимы только младшие два бита – [1:0])
0x194	RRESP	RO	0x0	Значение RRESP для транзакций по AXI (значимы только младшие два бита – [1:0])
0x198	RAXI_ERR_ADDR	RO	0x0	Адрес AXI-транзакции чтения, вызвавшей ошибку на шине AXI
0x19C	-	-	-	Резерв
0x1A0*	RAXI_STATE	RO	0x0	Состояние канала чтения AXI
0x1A4	R_AVAILABLE_SPACE	RO	0x800	Число доступных байт в буфере ядра
0x1A8	R_PERMUTATION	RW	0x76543210	Схема перестановки байт при чтении данных по AXI
0x1AC – 0x1BF	-	-	-	Резерв
0x1C0*	SENSE_LIST_R	RW	0x0	Маска событий, по которым может производиться запуск канала чтения MDMA

					Лист
					287
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhall</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Название	Доступ	Значение после сброса	Описание		
0x1C4	SIGNAL_TIME_R	RW	0x19	Продолжительность сигнала запуска в тактах		
0x1C8	EVENTS_PRIOR_L_R	RW	0x76543210	Регистр приоритета событий, младшая часть [31:0]		
0x1CC	EVENTS_PRIOR_H_R	RW	0xFEDCBA98	Регистр приоритета событий, старшая часть [63:32]		
0x1D0	ACTIV_EVENTS_R	RO	0x0	Статус активности событий запуска		
0x1D4*	IGNORE_EVENTS_R	RO	0x0	Список событий запуска, пришедших во время активной работы канала MDMA, запущенного этим событием		
0x1D8	SYNCH_EVENTS_R	RW	0x0	Приоритет канала чтения при запуске по событию 0x100 – канала чтения задаёт приоритет событий запуска. 0x001 – канал чтения подстраивается под канал записи при запуске по событию		
0x1DC	-	-	-	Резерв		
0x1E0	EVENT_0_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 0 (максимальным)		
0x1E4	EVENT_1_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 1		
0x1E8	EVENT_2_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 2		
0x1EC	EVENT_3_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 3		
0x1F0	EVENT_4_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 4		
0x1F4	EVENT_5_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 5		
0x1F8	EVENT_6_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 6		
0x1FC	EVENT_7_DESC_ADDR_R	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 7		
Регистры настройки DMA канала записи в память (канал приёма данных при использовании в составе другого блока), а также дополнительная настройка и состояние интерфейса AXI						
0x200*	ENABLE_W	RW	0x0	Включение канала		
0x204*	SUSPEND_W	RW	0x0	Приостановка работы канала		
0x208*	CANCEL_W	RW	0x0	Остановка работы канала с точностью до дескриптора		
0x20C	-	-	-	Резерв		
0x210*	SETTINGS_W	RW	0x0	Настройка канала		
0x214*	IRQ_MASK_W	RW	0x0	Маска прерываний канала		
0x218*	STATUS_W	RO	0x0	Состояние линии прерываний канала		
0x21C	-	-	-	Резерв		
0x220	DESC_ADDR_W	RW	0x0	Адрес первого дескриптора		
				ЮФКВ.431268.020РЭ		
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Название	Доступ	Значение после сброса	Описание
0x224	-	-	-	Резерв
0x228	CUR_DESC_ADDR_W	RO	0x0	Адрес текущего дескриптора
0x22C	CUR_ADDR_W	RO	0x0	Адрес текущей транзакции
0x230*	DMA_STATE_W	RO	0x0	Регистр состояния канала
0x234 - 0x23C	-	-	-	Резерв
0x240	DESC_AXLEN_W	RW	0x0	Значение ARLEN и AWLEN для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x244	DESC_AXCACHE_W	RW	0x3	Значение ARCACHE и AWCACHE для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x248	DESC_AXPROT_W	RW	0x2	Значение ARPROT и AWPROT для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие три бита – [2:0])
0x24C	DESC_AXLOCK_W	RW	0x0	Значение ARLOCK и AWLOCK для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие два бита – [1:0])
0x250	DESC_RRESP_W	RO	0x0	Значение RRESP для транзакций по AXI при чтении дескриптора (значимы только младшие два бита – [1:0])
0x254	DESC_RAXI_ERR_ADDR_W	RO	0x0	Адрес AXI-транзакции чтения дескриптора, вызвавшей ошибку на шине AXI
0x258	DESC_BRESP_W	RO	0x0	Значение BRESP для транзакций по AXI при модификации дескриптора (значимы только младшие два бита – [1:0])
0x25C	DESC_WAXI_ERR_ADDR_W	RO	0x0	Адрес AXI-транзакции записи при модификации дескриптора, вызвавшей ошибку на шине AXI
0x260	DESC_PERMUT_W	RW	0x76543210	Схема перестановки байт при чтении и записи дескрипторов по AXI
0x264 – 0x27C	-	-	-	Резерв
0x280	W_MAX_TRANS	RW	MAX_TRANS_NUM	Максимальное число незавершенных транзакций (не более 15)
0x284	AWLEN	RW	0xF	Значение AWLEN для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0x288	AWCACHE	RW	0x3	Значение AWCACHE для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0x28C	AWPROT	RW	0x2	Значение AWPROT для транзакций по AXI (значимы только младшие три бита – [2:0])

					Лист
					289
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Название	Доступ	Значение после сброса	Описание
0x290	AWLOCK	RW	0x0	Значение AWLOCK для транзакций по AXI (значимы только младшие два бита – [1:0])
0x294	BRESP	RO	0x0	Значение BRESP для транзакций по AXI (значимы только младшие два бита – [1:0])
0x298	WAXI_ERR_ADDR	RO	0x0	Адрес AXI-транзакции чтения, вызвавшей ошибку на шине AXI
0x29C	-	-	-	Резерв
0x2A0	WAXI_STATE	RO	0x0	Состояние канала чтения AXI
0x2A4	W_AVAILABLE_SPACE	RO	0x0	Число доступных байт в буфере ядра
0x2A8	W_PERMUTATION	RW	0x76543210	Схема перестановки байт при чтении данных по AXI
0x2AC – 0x2BF	-	-	-	Резерв
0x2C0*	SENSE_LIST_W	RW	0x0	Маска событий, по которым может производиться запуск канала записи MDMA
0x2C4	SIGNAL_TIME_W	RW	0x19	Продолжительность сигнала запуска в тактах
0x2C8	EVENTS_PRIOR_L_W	RW	0x76543210	Регистр приоритета событий, младшая часть [31:0]
0x2CC	EVENTS_PRIOR_H_W	RW	0xFEDCBA98	Регистр приоритета событий, старшая часть [63:32]
0x2D0	ACTIV_EVENTS_W	RO	0x0	Статус активности событий запуска
0x2D4*	IGNORE_EVENTS_W	RO	0x0	Список событий запуска, пришедших во время активной работы канала MDMA, запущенного этим событием
0x2D8	SYNCH_EVENTS_W	RW	0x0	Приоритет канала записи при запуске по событию 0x100 – канала записи задаёт приоритет событий запуска 0x001 – канал записи подстраивается под канал чтения при запуске по событию
0x2DC	-	-	-	Резерв
0x2E0	EVENT_0_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 0 (максимальным)
0x2E4	EVENT_1_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 1
0x2E8	EVENT_2_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 2
0x2EC	EVENT_3_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 3
0x2F0	EVENT_4_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 4
0x2F4	EVENT_5_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 5
0x2F8	EVENT_6_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 6

					Лист
					290
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Название	Доступ	Значение после сброса	Описание
0x2FC	EVENT_7_DESC_ADDR_W	RW	0x0	Адрес дескриптора для запуска по событию с приоритетом 7

1.4.1.6.6.4.2 Описание полей регистров MDMA-GP

1.4.1.6.6.4.2.1 MDMA_GP_SOFT_RST (0x008)

Описание полей регистра MDMA_GP_SOFT_RST приведено в таблице 391.

Таблица 391 – Поля регистра MDMA_GP_SOFT_RST

Поле	Биты	Описание
sw_rst	0	Программный сброс
-	31:1	Резерв

1.4.1.6.6.4.2.2 MDMA_GP_STATUS (0x018)

Описание полей регистра MDMA_GP_STATUS приведено в таблице 392.

Таблица 392 – Поля регистра MDMA_GP_STATUS

Поле	Биты	Описание
irq_r	0	Прерывание канала чтения
-	15:1	Резерв
irq_w	16	Прерывание канала записи
-	31:17	Резерв

1.4.1.6.6.4.2.3 ENABLE_R(W) (R - 0x100, W - 0x200)

Описание полей регистра ENABLE_R(W) приведено в таблице 393.

Таблица 393 – Поля регистров ENABLE_R(W)

Поле	Биты	Описание
enable	0	Флаг активности канала
-	31:1	Резерв

1.4.1.6.6.4.2.4 SUSPEND_R(W) (R - 0x104, W - 0x204)

Описание полей регистра SUSPEND_R(W) приведено в таблице 394.

Таблица 394 – Поля регистров SUSPEND_R(W)

Поле	Биты	Описание
suspend	0	Приостановка работы
-	31:1	Резерв

1.4.1.6.6.4.2.5 CANCEL_R(W) (R - 0x108, W - 0x208)

Описание полей регистра CANCEL_R(W) приведено в таблице 395.

Таблица 395 – Поля регистров CANCEL_R(W)

Поле	Биты	Описание
cancel	0	Остановка канала с завершением дескриптора
-	31:1	Резерв

1.4.1.6.6.4.2.6 SETTINGS_R(W) (R - 0x110, W - 0x210)

Описание полей регистра SETTINGS_R(W) приведено в таблице 396.

Таблица 396 – Поля регистров SETTINGS_R(W)

Поле	Биты	Описание
desc_kind	1:0	Вид дескриптора для канала 00 – normal-дескриптор (64 бита) 01 – резерв 10 – long-дескриптор (128 бит) 11 – pitch-дескриптор (128 бит)

					ЮФКВ.431268.020РЭ		Лист
							291
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
-	3:2	Резерв
add_info	4	Для MDMA-GP должен быть 0 0 – поле custom отсутствует, поле length длиной 26 бит 1 – поле custom присутствует, поле length длиной 14 бит
-	15:5	Резерв
desc_gap*	31:16	Интервал между дескрипторами (от начала одного до начала следующего)

* Поле desc_gap должно быть выровнено по длине дескриптора (т. е. по 8 байт для normal-дескрипторов или по 16 байт для long- и pitch-дескрипторов).

1.4.1.6.6.4.2.7 IRQ_MASK_R(W) (R - 0x114, W - 0x214)

Описание полей регистра IRQ_MASK_R(W) приведено в таблице 397.

Таблица 397 – Поля регистров IRQ_MASK_R(W)

Поле	Биты	Описание
suspend_done	0	Завершено выполнение приостановки MDMA_GP
cancel_done	1	Завершена остановка MDMA_GP (cancel)
int_desc	2	Завершено выполнение дескриптора с флагом Int
bad_desc	3	Считан дескриптор недоступный для MDMA-GP (флаг ownership равен 1)
stop_desc	4	Завершено выполнение дескриптора с флагом Stop
discard_desc	5	Ошибка при обращении по шине AXI при чтении дескриптора
waxi_err	6	Ошибка при обращении по шине AXI при записи дескриптора
axi_err	7	Ошибка при обращении по шине AXI при чтении/записи данных
start_by_event	8	Произошел запуск по внешнему событию
ignore_event	9	Событие, запускающее MDMA-GP, произошло во время активной работы MDMA-GP
-	31:10	Резерв

1.4.1.6.6.4.2.8 STATUS_R(W) (R - 0x118, W - 0x218)

Описание полей регистра STATUS_R(W) приведено в таблице 398.

Таблица 398 – Поля регистров STATUS_R(W)

Поле	Биты	Описание
suspend_done	0	Завершено выполнение приостановки MDMA_GP
cancel_done	1	Завершена остановка MDMA_GP (cancel)
int_desc	2	Завершено выполнение дескриптора с флагом Int
bad_desc	3	Считан дескриптор, недоступный для MDMA-GP (флаг ownership равен 1)
stop_desc	4	Завершено выполнение дескриптора с флагом Stop
discard_desc	5	Ошибка при обращении по шине AXI при чтении дескриптора
waxi_err	6	Ошибка при обращении по шине AXI при записи дескриптора
axi_err	7	Ошибка при обращении по шине AXI при чтении/записи данных
start_by_event	8	Произошел запуск по внешнему событию
ignore_event	9	Событие, запускающее MDMA-GP, произошло во время активной работы MDMA-GP
-	31:10	Резерв

1.4.1.6.6.4.2.9 DMA_STATE_R(W) (R - 0x130, W - 0x230)

Описание полей регистра DMA_STATE_R(W) приведено в таблице 399.

Таблица 399 – Поля регистров DMA_STATE_R(W)

Поле	Биты	Описание
wr_fifo_full	0	Буфер FIFO для отработанных дескрипторов полон
wr_fifo_empty	1	Буфер FIFO для отработанных дескрипторов пуст
rd_fifo_empty	2	Буфер FIFO для считывания дескрипторов пуст
-	3	Резерв
ready_for_str	4	Завершены операции со строкой pitch-дескриптора, ожидается подтверждение от ядра
ready_for_mod	5	Завершены операции с дескриптором, ожидается подтверждение от ядра

					ЮФКВ.431268.020РЭ		Лист
							292
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
-	7:6	Резерв
data_desc_cnt	9:8	Число дескрипторов данных, с которыми в данный момент работает MDMA
-	11:10	Резерв
desc_cnt	14:12	Число дескрипторов, с которыми в данный момент работает MDMA
-	15	Резерв
discard_desc	16	При чтении дескриптора возникла ошибка на шине
bad_flag	17	Считан дескриптор, недоступный для MDMA
stop_flag	18	Считан дескриптор с флагом stop
stop	19	Дальнейшее считывание дескрипторов остановлено
cancel_permit	20	Разрешено выполнение остановки работы
cancel	21	Выполняется команда cancel
suspend	22	Выполняется команда suspend
en	23	Статус включения MDMA
desc_is_writing	24	Идёт процедура записи дескриптора
desc_is_mod	25	Идёт процедура модификации дескриптора
wr_state	26	Статус записи дескриптора 1 – транзакция записи в процессе
rd_state	27	Статус чтения дескриптора 1 – транзакция чтения в процессе
state	29:28	Состояние MDMA 0 – ожидание дескриптора 1 – анализ дескриптора 2 – генерация адресов 3 – ожидание завершения всех транзакций обращения в память, относящихся к данному дескриптору
-	31:30	Резерв

1.4.1.6.6.4.2.10 SENSE_LIST_R(W) (R - 0x1C0, W - 0x2C0)

Описание полей регистра SENSE_LIST_R(W) приведено в таблице 400.

Таблица 400 – Поля регистров SENSE_LIST_R(W)

Поле	Биты	Описание
mdma_0_finish	0	Завершено выполнение записи данных (завершен дескриптор с флагом stop) контроллером MDMA_GP_0
mdma_1_finish	1	Завершено выполнение записи данных контроллером MDMA_GP_1
mdma_2_finish	2	Завершено выполнение записи данных контроллером MDMA_GP_2
mdma_3_finish	3	Завершено выполнение записи данных контроллером MDMA_GP_3
tmr_event_0	4	Сработал global_event_timer [0]
tmr_event_1	5	Сработал global_event_timer [1]
tmr_event_2	6	Сработал global_event_timer [2]
tmr_event_3	7	Сработал global_event_timer [3]
can_0_rx	8	FIFO приёмника контроллера CAN_0 заполнено до заданного значения (WaterMark)
can_0_tx_0	9	FIFO_0 передатчика контроллера CAN_0 опустошено до заданного значения (WaterMark) (наименее приоритетная очередь)
can_1_rx	10	FIFO приёмника контроллера CAN_1 заполнено до заданного значения
can_1_tx_0	11	FIFO_0 передатчика контроллера CAN_1 опустошено до заданного значения
-	12	Резерв
-	13	Резерв
-	14	Резерв
-	15	Резерв

1.4.1.6.6.4.2.11 IGNORE_EVENTS_R(W) (R - 0x1D4, W - 0x2D4)

Описание полей регистра IGNORE_EVENTS_R(W) приведено в таблице 401.

					ЮФКВ.431268.020РЭ		Лист
							293
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Таблица 401 – Поля регистров IGNORE_EVENTS_R(W)

Поле	Биты	Описание
ignor_event_0	0	Событие запуска с приоритетом 0 возникло повторно, во время работы с таблицей дескрипторов 0
ignor_event_1	1	Событие запуска с приоритетом 1 возникло повторно, во время работы с таблицей дескрипторов 1
ignor_event_2	2	Событие запуска с приоритетом 2 возникло повторно, во время работы с таблицей дескрипторов 2
ignor_event_3	3	Событие запуска с приоритетом 3 возникло повторно, во время работы с таблицей дескрипторов 3
ignor_event_4	4	Событие запуска с приоритетом 4 возникло повторно, во время работы с таблицей дескрипторов 4
ignor_event_5	5	Событие запуска с приоритетом 5 возникло повторно, во время работы с таблицей дескрипторов 5
ignor_event_6	6	Событие запуска с приоритетом 6 возникло повторно, во время работы с таблицей дескрипторов 6
ignor_event_7	7	Событие запуска с приоритетом 7 возникло повторно, во время работы с таблицей дескрипторов 7
-	31:8	Резерв

1.4.1.6.6.4.2.12 RAXI_STATE (0x1A0)

Описание полей регистра RAXI_STATE приведено в таблице 402.

Таблица 402 – Поля регистра RAXI_STATE

Поле	Биты	Описание
active_trans_num	3:0	Число незавершенных транзакций
ready_for_data	4	Блок чтения по AXI готов принимать данные
-	7:5	Резерв
ready_for_burst	8	Блок чтения по AXI готов принять новый блок данных (burst)
-	11:9	Резерв
ready_for_addr	12	Блок чтения по AXI готов принять новый адрес
-	15:13	Резерв
data_st	16	Статус фазы данных транзакции чтения 1 – выставлен сигнал готовности к получению данных, ожидание завершения транзакции
-	19:17	Резерв
addr_st	20	Статус фазы адреса транзакции чтения 1 – адрес получен от MDMA, ожидается подтверждение получения slave устройством
-	27:21	Резерв
sw_rst_done	28	Статус программного сброса (активный низкий уровень). 1 – программный сброс ещё выполняется
-	31:29	Резерв

1.4.1.6.6.4.2.13 WAXI_STATE (0x2A0)

Описание полей регистра WAXI_STATE приведено в таблице 403.

Таблица 403 – Поля регистра WAXI_STATE

Поле	Биты	Описание
trans_awlen	3:0	Значение AWLEN для текущей транзакции
word_cnt	7:4	Число отправленных для данной транзакции слов
active_trans_num	11:8	Число незавершенных транзакций (не учитывается разбиение транзакции на две при пересечении границы 4К)
active_burst_num	16:12	Фактическое число незавершенных транзакций
-	19:17	Резерв
ready_for_addr	20	Блок записи по AXI готов принять новый адрес
ready_for_data	21	Блок записи по AXI готов принять данные для передачи

					ЮФКВ.431268.020РЭ		Лист 294
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
-	23:22	Резерв
addr_st	24	Статус фазы адреса транзакции записи 1 – адрес получен от MDMA, ожидается подтверждение получения slave устройством
-	27:25	Резерв
sw_rst_done	28	Статус программного сброса (активный низкий уровень). 1 – программный сброс ещё выполняется
-	31:29	Резерв

1.4.1.7 Подсистема низкоскоростных интерфейсных контроллеров

1.4.1.7.1 Контроллер UART (MUART)

1.4.1.7.1.1 Общее описание MUART

MUART выполняет функции контроллера последовательного интерфейса UART.

Функциональные особенности:

- Программируемый делитель опорной частоты в составе MUART, позволяющий задавать стандартные скорости передачи данных до 50 Мбод/с.
- Поддержка следующих стандартов:
 - а) RS-232;
 - б) RS-422;
 - в) RS-485.
- Поддержка следующих режимов для приёма и передачи данных:
 - а) 5, 6, 7, 8 бит данных;
 - б) Включение/отключение расчета чётности;
 - в) 1, 1.5, 2 стоповых бита.
- Возможность управления потоком данных посредством сигналов RTS/CTS с возможностью программирования их полярности.
- Осуществление приёма и передачи данных через два отдельных FIFO – FIFO передатчика, размером 1024 байта (1024x8) и FIFO приёмника, размером 2048 байта (1024x16).
- Поддержка приёма и передачи данных в режиме прямого доступа к памяти.
- Маскируемые прерывания от MUART.

1.4.1.7.1.2 Структурная схема MUART

Структурная схема MUART представлена на рисунке 61.

					ЮФКВ.431268.020РЭ		Лист
							295
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

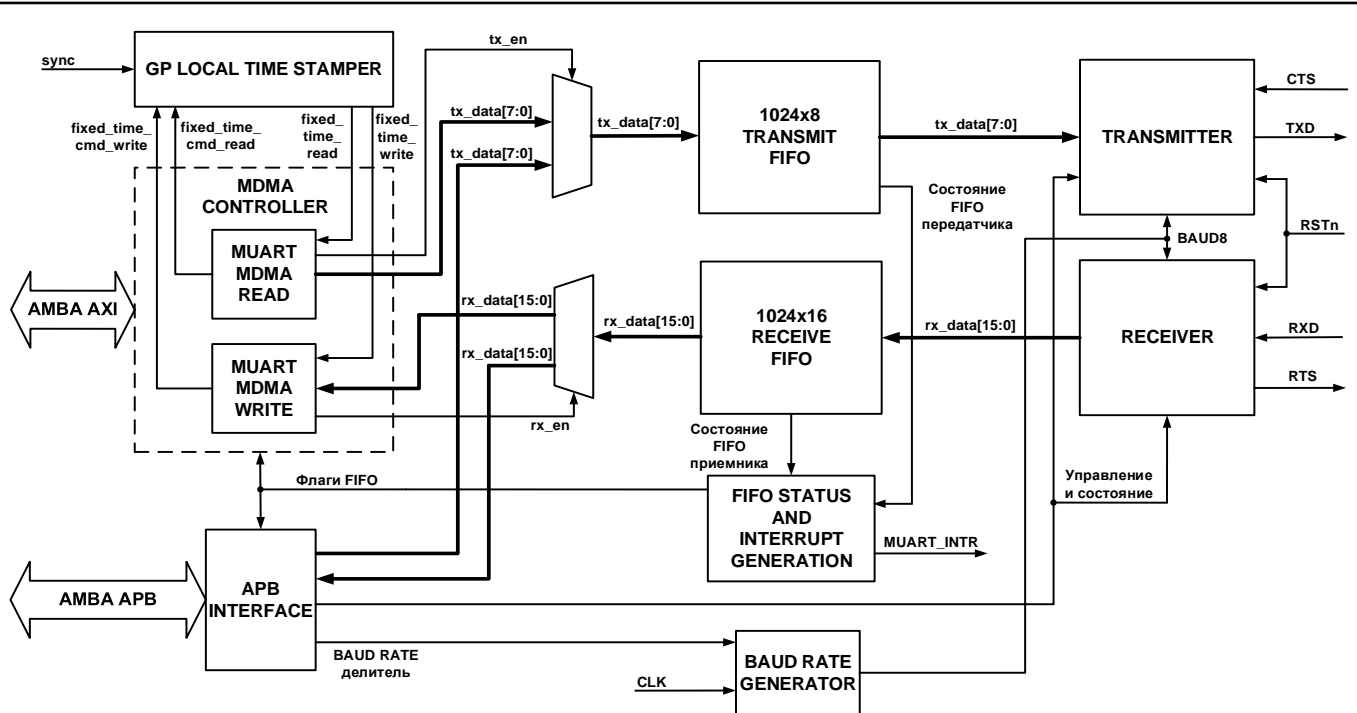


Рисунок 61 – Структурная схема MUART

Описание блоков на структурной схеме MUART представлено в таблице 404.

Таблица 404 – Описание блоков на структурной схеме MUART

Название блока	Назначение и основные функции
APB INTERFACE	Блок служит для чтения и записи программного сброса, регистров состояний, управляющих регистров, FIFO приёмника и FIFO передатчика в режиме работы без связи с MDMA
BAUD RATE GENERATOR	Блок содержит счётчик, генерирующий x8 внутреннюю тактовую частоту – baud8, для контроля приёма и передачи MUART
TRANSMIT FIFO	Блок FIFO передатчика, представляющий собой буфер памяти FIFO шириной 8 бит и глубиной 1024. Данные записываются через контроллер MDMA или интерфейс APB и хранятся в FIFO передатчика, пока не будут считаны логикой передатчика
RECEIVE FIFO	Блок FIFO приёмника, представляющий собой буфер памяти FIFO шириной 16 бит и глубиной 1024. Получаемые данные и соответствующие биты состояния помещаются в FIFO приёмника до тех пор, пока не будут считаны MDMA или через APB интерфейс
TRANSMITTER	Блок реализует параллельно-последовательное преобразование над данными, считанными из FIFO передатчика
RECEIVER	Блок реализует последовательно-параллельное преобразование над полученным потоком битов после обнаружения подтвержденного стартового бита
FIFO STATUS AND INTERRUPT GENERATION	Блок служит для хранения состояний FIFO приёмника и FIFO передатчика, а также служит для генерации прерываний MUART
MDMA CONTROLLER	Содержит два блока: MUART MDMA WRITE и MUART MDMA READ, обеспечивающих взаимодействие с шиной AXI и выполняющих функции контроллера прямого доступа к памяти
GP LOCAL TIME STAMPER	Блок устанавливает временные метки для времени начала приёма и времени начала передачи дескрипторов при работе в связке с MDMA

					Лист
					296
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Pechal</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

1.4.1.7.1.3 Принципы функционирования MUART

1.4.1.7.1.3.1 Формат передачи данных

Протокол передачи данных по MUART представлен на рисунке 62. Данные передаются в виде посылок (фреймов), включающих в себя стартовый бит, 5, 6, 7 или 8 бит данных, бит чётности (опционально), 1, 1.5 или 2 стоповых бита. Длительность всех битов одинакова, за исключением случая, когда выбрана опция 1.5 стоповых бита. В этом случае длина 1.5 битов составляет 1.5 длительности стандартного бита, передаваемого по MUART.

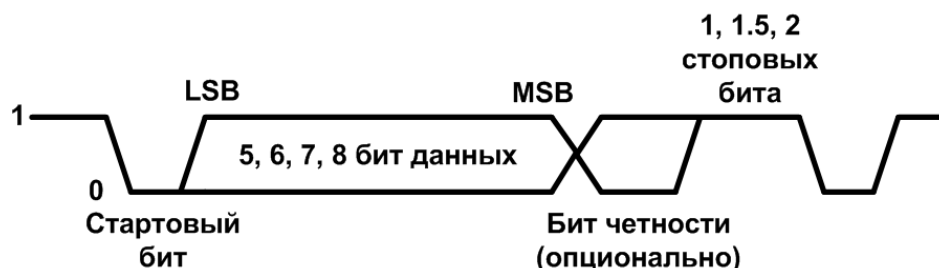


Рисунок 62 – Протокол передачи данных по MUART

1.4.1.7.1.3.2 Интерфейс сброса

MUART сбрасывается глобальными сигналами сброса PRESETn (для блоков, работающих на частоте 100 МГц) и RSTn (для блоков, работающих на частоте 400 МГц). Для осуществления корректного сброса необходимо, чтобы данные сигналы находились в состоянии 0 хотя бы в течение одного периода тактовой частоты PCLK для сигнала PRESETn и одного периода тактовой частоты CLK для сигнала RSTn. Также для сброса MUART предусмотрен Soft Reset. Он применяется путем записи 1 в нулевой бит регистра MUART_SW_RST.

1.4.1.7.1.3.3 Управление MUART

Управляющие данные записываются через интерфейс AMBA APB в следующие регистры:

- 1) MUART_CTRL – определяет следующие параметры: включение MUART, режим работы через APB, задействован ли режим петли, выбор режима функционирования MUART, задействованы ли сигналы RTS/CTS, выбор полярности сигналов RTS/CTS, выбор чётности, количество стоповых бит, длина слова, а также режим выгрузки данных из FIFO приёмника;
- 2) MUART_BDIV – определяет значение делителя скорости передачи данных и значение параметра N;
- 3) MUART_FIFOWM – определяет уровни прерываний при заполнении FIFO приёмника и опустошении FIFO передатчика;
- 4) MUART_RXTIMEOUT – определяет тайм-аут, при превышении которого при приеме данных возникает соответствующее прерывание;
- 5) MUART_TXTIMEOUT – определяет тайм-аут, при превышении которого при передаче данных возникает соответствующее прерывание.

									Лист
									297
Изм	Лист	№ докум.	Подп.	Дата					
	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
	34203-3		<i>Redhall</i> 24.10.2019		34203-2				

1.4.1.7.1.3.4 Генератор частоты работы MUART

Скорость передачи данных (baud rate) описывается следующей формулой:

$$\text{Baud rate} = 400 \text{ МГц} / (N * \text{baud rate divisor}),$$

где Baud rate divisor – программируемый делитель опорной частоты. Его значение устанавливается путем установки бита BAUD_DIV регистра MUART_BDIV в соответствующее значение (значение следует менять, когда MUART неактивен, т. е. бит MEN регистра MUART_CTRL равен 0). N – специальный параметр, принимающий два возможных значения (8 - значение по умолчанию, используется для получения всех стандартных скоростей передачи, 10 – дополнительное значение параметра, необходимое для получения скоростей передачи, которые невозможно получить делением 400 на число кратное 8, например, 20 Мбод/с). Его значение устанавливается путем установки бита N_DIV регистра MUART_BDIV в соответствующее значение (значение следует менять, когда MUART неактивен, т. е. бит MEN регистра MUART_CTRL равен 0). 400 МГц – опорная частота в данной реализации MUART, позволяющая задавать стандартные скорости передачи данных (baud rate) до 12,5 Мбод/с, а также нестандартные скорости передачи данных до 50 Мбод/с в пределах погрешности 1 %. Список поддерживаемых стандартных скоростей представлен в таблице 405.

Таблица 405 – Список поддерживаемых стандартных скоростей передачи данных по MUART (N = 8)

Скорость передачи, бит/с	Погрешность, %	Делитель	
50	0	1000000	0xF4240
75	0	666667	0xA2C2B
110	0	454545	0x6EF91
134,5	0	371747	0x5AC23
150	0	333333	0x51615
300	0	166667	0x28B0B
600	0	83333	0x14585
1200	0,001	41667	0xA2C3
1800	0,001	27778	0x6C82
2000	0	25000	0x61A8
2400	0,002	20833	0x5161
3600	0,001	13889	0x3641
4800	0,003	10417	0x28B1
7200	0,006	6944	0x1B20
9600	0,006	5208	0x1458
19200	0,006	2604	0xA2C
38400	0,006	1302	0x512
56000	0,016	893	0x37D

					ЮФКВ.431268.020РЭ		Лист 298
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Скорость передачи, бит/с	Погрешность, %	Делитель	
115200	0,006	434	0x1B2
921600	0,467	54	0x36
6250000	0	8	0x8
12500000	0	4	0x4

1.4.1.7.1.3.5 Передача данных

Передаваемые данные записываются в FIFO передатчика с помощью контроллера MDMA или, если включен режим работы с APB (данный режим включается путем записи 1 в поле APB_MD регистра MUART_CTRL), через интерфейс APB. Затем посылки поочередно отправляются в передатчик, где дополняются параметрами, указанными в регистре MUART_CTRL (стартовый бит, опционально бит чётности, 1, 1.5 или 2 стоповых бита) и передаются по линии TXD (по линии TXD передаётся только то количество бит данных, которое указано в регистре MUART_CTRL). Во всех режимах функционирования MUART, кроме RS-232, данные продолжают передаваться, пока FIFO передатчика не станет пустым. Про передачу данных в режиме функционирования RS-232 см. п. 1.4.1.7.1.3.9.1.

Формат записи данных для передачи представлен на рисунке 63.

Режим передачи: 5 бит	7	6	5	4:0
	0	0	0	Данные

Режим передачи: 6 бит	7	6	5:0
	0	0	Данные

Режим передачи: 7 бит	7	6:0
	0	Данные

Режим передачи: 8 бит	7:0
	Данные

Рисунок 63 – Формат данных для передачи

В случае передачи без использования MDMA данные для передачи необходимо записывать в регистр MUART_DTRANS. Младший байт регистра MUART_DTRANS записывается в

					ЮФКВ.431268.020РЭ		Лист
							299
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

соответствии с приведённым выше форматом, а в три старших байта должно записываться нулевое значение.

Значение бита чётности зависит от значения битов PEN, EPS и SPS регистра MUART_CTRL согласно таблице 406.

Таблица 406 – Значение бита чётности в зависимости от значений битов регистра MUART_CTRL

PEN	EPS	SPS	Бит чётности
0	x	x	Не передаётся
1	1	0	Проверка на чётность
1	0	0	Проверка на нечётность
1	0	1	0 (space)
1	1	1	1 (mark)

Если в регистре MUART_CTRL отключается область передатчика во время передачи, то данные перестанут передаваться только после завершения передачи текущей посылки, включая все стоповые биты.

1.4.1.7.1.3.6 Приём данных

Если в регистре MUART_CTRL включен MUART (бит MEN), то когда приёмник находится в режиме простоя (сигнал RXD продолжительное время равен 1), и на входе данных обнаруживается 0 (получен стартовый бит), запускается счётчик приёмника и начинается приём данных.

Для определения корректности стартового бита проверяется состояние сигнала RXD на 4, 5 и 6 циклах счётчика. Если RXD находится в состоянии 0 минимум в двух из трех циклов, то стартовый бит считается принятым корректно. В противном случае, стартовый бит расценивается как шум, и приёмник ожидает следующий стартовый бит. Описанным выше способом анализируется каждый бит посылки. Для анализа полутора стоповых бит проверяются 1, 2 и 3 циклы счётчика. Бит чётности проверяется, если данная опция задана в регистре UART_CTRL. В завершение действительный стоповый бит подтверждается, если сигнал RXD находится в состоянии 1, в противном случае имеет место быть ошибка стопового бита. Когда получено полное слово, данные помещаются в FIFO приёмника. Затем данные передаются по шине AMBA APB или с помощью MDMA складываются в память в одном из следующих режимов (режим выгрузки данных задается в регистре MUART_CTRL путем установки бита DUM в соответствующее значение):

1) Режим выгрузки данных – data and flags – режим, где каждый символ в дальнейшем выгружается со своим статусным регистром. Фактически, отводятся четыре бита для указания индикации обрыва линии, ошибки чётности, ошибки стопового бита и ошибки переполнения FIFO приёмника (в этом случае возможна потеря данных). Выгружаемая структура представлена на рисунке 64.

15	14	13	12	11:8	7:0
Ошибка переполнения FIFO приемника	Индикация обрыва линии	Ошибка чётности	Ошибка стопового бита	Резерв	Принимаемые данные

Рисунок 64 – Структура выгружаемых в память данных при режиме выгрузки data and flags

					Лист	
					300	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

2) Режим выгрузки данных – data only – доступен только при работе в связке с MDMA. В данном режиме символы выгружаются без флагов об ошибках (при этом в регистре MUART_STATUS ошибки фиксироваться будут). Выгружаемая структура данных представлена на рисунке 65.

15:8	7:0
Резерв	Принимаемые данные

Рисунок 65 – Структура выгружаемых в память данных при режиме выгрузки data only

В случае приёма без использования MDMA данные, полученные по UART, необходимо считывать из регистра MUART_DREC. Младшие два байта регистра MUART_DREC устанавливаются в соответствии с приведённым выше форматом, а в оставшихся старших байтах устанавливается нулевое значение.

1.4.1.7.1.3.7 Биты ошибок

При приёме данных четыре бита ошибок помещаются в область [15:12] FIFO приёмника.

1.4.1.7.1.3.7.1 Ошибка стопового бита

Данная ошибка возникает, если при приёме данных не был подтвержден хотя бы один стоповый бит (сигнал RXD не находится в состоянии 1).

1.4.1.7.1.3.7.2 Ошибка чётности

Данная ошибка возникает, если чётность полученных данных не совпадает с чётностью, заданной в битах EPS и SPS регистра MUART_CTRL.

1.4.1.7.1.3.7.3 Ошибка обрыва линии

Данная ошибка возникает, когда обнаруживается условие обрыва, что означает, что на вход подается 0 продолжительностью более времени передачи полного слова (стартовый бит, данные, бит чётности, стоповые биты). При работе в режиме с MDMA, при зачитывании дескриптора, в его поле custom будет помещен соответствующий флаг, указывающий на ошибку обрыва линии, однако само данное с этой ошибкой передано не будет (подробнее про работу контроллера MDMA см. в п. 1.4.1.7.1.3.11).

1.4.1.7.1.3.7.4 Ошибка переполнения

В 16 бите FIFO приёмника помещается ошибка, указывающая на ошибку переполнения. Бит переполнения не относится к какому-либо символу в FIFO приёмника, а устанавливается, когда FIFO заполнен и следующий символ полностью пришел в сдвиговый регистр. Данные в сдвиговом регистре перезаписываются, но не записываются в FIFO. Как только в FIFO приёмника появляется свободная область и принимается другой символ, значение бита переполнения копируется в FIFO приёмника вместе с полученным символом. Затем состояние переполнения сбрасывается. Структура элемента очереди FIFO приёмника представлена на рисунке 64.

1.4.1.7.1.3.8 Режим петли (loopback)

Режим петли включается при установке бита LBE регистра MUART_CTRL в 1. В данном режиме данные передаваемые по линии TXD принимаются линией RXD, а выходной сигнал

					ЮФКВ.431268.020РЭ	Лист 301
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

RTS замыкается на входной сигнал CTS. Данный режим позволяет провести петлевое тестирование данных MUART.

1.4.1.7.1.3.9 Управление потоком данных посредством сигналов RTS/CTS

Режим функционирования MUART может быть выбран путем установки бита MDS в соответствующее значение, а также установки битов RTSen и CTSen в 1 в регистре MUART_CTRL. Выбор полярности сигналов RTS и CTS выбирается с помощью бита POL регистра MUART_CTRL. Выбор поддерживаемого стандарта описан в таблице 407.

Таблица 407 – Выбор режима функционирования MUART

Стандарт	MDS	RTSen	CTSen
RS-232	0	1	1
RS-485	1	1	x
RS-422	x	0	0

1.4.1.7.1.3.9.1 Стандарт RS-232

Для поддержки стандарта RS-232 помимо линий RX и TX также используются линии RTS и CTS. С их помощью можно организовать аппаратное управление потоком данных. Данный вид управления может использоваться некоторыми медленными устройствами или устройством с простой схемной реализацией.

Передачик перед отправкой посылки проверяет вход CTS с учетом полярности. При значении бита полярности 0 (по умолчанию), если сигнал CTS находится в состоянии 0, то передача проходит, в противном случае – нет (active low). Если данный сигнал переходит в 1 во время пересылки, то текущая передача будет завершена перед остановкой.

При значении бита полярности 0 (по умолчанию), приёмник устанавливает 0 на выходе RTS, если он готов принимать данные, и устанавливает 1, если от передатчика требуется остановить передачу (active low). В этом случае прерывание по тайм-ауту срабатывать не будет, а при возвращении RTS обратно в 0, отсчёт тайм-аута начнется заново.

1.4.1.7.1.3.9.2 Стандарт RS-485

Для поддержки стандарта RS-485 сигнал RTS используется для управления выдачей данных на линию с возможностью программирования полярности RTS (указывается в поле POL регистра MUART_CTRL, по умолчанию – active low). Сигнал CTS для поддержки RS-485 не используется.

1.4.1.7.1.3.9.3 Стандарт RS-422

Для поддержки стандарта RS-422 сигналы RTS и CTS не используются.

1.4.1.7.1.3.10 Прерывания

В MUART генерируется уровневое прерывание MUART_INTR, представляющее собой объединение по «ИЛИ» событий прерываний, перечисленных в регистре MUART_STATUS и прерываний, получаемых от канала чтения MDMA и от канала записи MDMA. Если на возникшее событие прерывания регистра MUART_STATUS установлена маска в регистре

					ЮФКВ.431268.020РЭ		Лист
							302
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

MUART_MASK (бит маски соответствующего прерывания равен 0), то прерывание MUART_INTR по данному событию генерироваться не будет.

Сброс событий прерываний от MUART производится путем чтения регистра статуса MUART_STATUS.

1.4.1.7.1.3.11 Принцип работы MDMA

MUART предоставляет интерфейс для подключения к контроллеру MDMA. В данном разделе приведены основные принципы работы MDMA, более подробно нюансы работы MDMA описаны в п. 1.4.1.6.6.

MDMA рассчитан на работу с дескрипторами, расположенными во внешней памяти. Используемый в составе MUART блок MDMA содержит один канал чтения из памяти (RMDMA) и один канал записи в память (WMDMA). Каналы чтения из памяти и записи в память независимы. Принципы прямого доступа в память для каждого из каналов идентичны. Для каждого канала MDMA задаётся отдельный набор дескрипторов.

Далее в данном разделе приводится описание принципа работы одного канала MDMA.

В процессе работы MDMA считывает дескриптор из памяти, выполняет операции в соответствии с тем, что содержится в дескрипторе, и после этого модифицирует (перезаписывает) его значение, устанавливая флаги статуса.

MDMA работает с дескрипторами двух типов (тип дескриптора определяется флагом):

- дескриптор данных (data);
- дескриптор-ссылка (link).

Дескрипторы данных описывают область памяти, содержащую данные для передачи или же область памяти, в которую необходимо передать данные.

Дескрипторы-ссылки описывают переход к новому дескриптору (новому блоку дескрипторов).

Каждый дескриптор содержит флаг ownership, который указывает на доступность дескриптора для MDMA. Если данный флаг имеет значение 0, то MDMA может выполнять операции в соответствии с данным дескриптором, если 1 – то данный дескриптор для MDMA не доступен. При модификации дескриптора MDMA устанавливает значение ownership в 1, таким образом указывая, что работа с данным дескриптором завершена, и исключая возможность последующей работы. В случае если MDMA считывает недоступный дескриптор, работа останавливается.

1.4.1.7.1.3.11.1 Формат дескриптора

В составе MUART MDMA поддерживает работу с long-дескрипторами (128 бит). Все данные, необходимые для описания дескриптора, его доступности, адреса, характеристик области памяти и др. содержатся в старших 64 битах дескриптора (основная часть). Расширение дескриптора до 128 бит (дополнительная часть) содержит поле временной метки free_run_value (значение free_run_timer) (см. рисунок бб).

					ЮФКВ.431268.020РЭ			Лист
								303
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2				

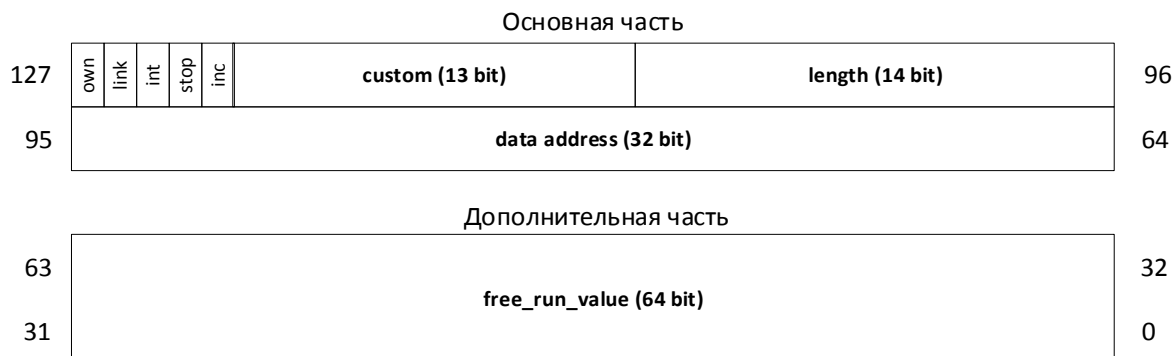


Рисунок 66 – Формат long-дескриптора

Описание полей дескриптора MDMA для MUART представлено в таблице 408.

Таблица 408 – Описание полей дескриптора MDMA для MUART

Поле	Биты	Описание
Основная часть		
ownership	[127]	Флаг доступности дескриптора для MDMA 0 – дескриптор доступен 1 – дескриптор не доступен
link	[126]	Тип дескриптора 0 – дескриптор данных 1 – дескриптор-ссылка
interrupt	[125]	Флаг выработки прерывания после выполнения дескриптора 0 – не вырабатывать прерывание 1 – вырабатывать прерывание
stop	[124]	Флаг остановки после выполнения операций с дескриптором 0 – переход к следующему дескриптору разрешен 1 – канал MDMA-GP остановит свою работу после завершения обработки данного дескриптора
increment	[123]	Флаг запрета инкрементирования адреса 0 – обращение в фиксированный адрес 1 – инкрементация адреса
custom ¹⁾	[122:110]	Поле для специальных флагов ядра
length	[109:96]	Длина области данных для normal-дескриптора
address	[95:64]	Адрес области данных дескриптора (data) или адрес перехода (link)
Дополнительная часть для long-дескрипторов		
free_run_value	[63:0]	Временная метка free_run_value (значение free_run_timer)

Примечание - Описание поля для специальных флагов ядра более подробно представлено в таблице 409 и таблице 410.

Таблица 409 – Описание поля для специальных флагов ядра (custom) при приёме данных по MUART

Поле	Биты	Описание
reserve	122:116	Зарезервировано, читается как 0
RTR	115	Ошибка таймаута
TFL	114	Ошибка потери временной метки
OER	113	Было переполнение FIFO
BER	112	Ошибка обрыва линии
PER	111	Ошибка четности
FER	110	Ошибка стопового бита

					ЮФКВ.431268.020РЭ	Лист 304
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Таблица 410 – Описание поля для специальных флагов ядра (custom) при передаче по MUART

Поле	Биты	Описание
reserve	122:111	Зарезервировано, читается как 0
TTR	110	Ошибка таймаута

1.4.1.7.1.3.11.2 Работа MDMA в составе MUART

При включении MUART и режима работы с APB в регистре MUART_CTRL блок работает в режиме прямого доступа (каналы MDMA не имеют доступа к FIFO). При выключении режима работы с APB блокируется возможность прямого доступа к FIFO через APB интерфейс.

При передаче данных дескриптор считается завершенным, если переданы все данные, соответствующие дескриптору. В случае работы MUART в режиме RS-232, в поле custom дескриптора будет установлен флаг TTR, если интервал простоя передатчика из-за сигнала CTS достиг или превысил установленный интервал в регистре MUART_TXTIMEOUT.

При приёме данных дескриптор считается завершенным, если выполнено одно из следующих условий:

- получены все данные, соответствующие размеру дескриптора;
- возникла ошибка таймаута (новые послыки не поступают в течение времени, заданного в регистре MUART_RXTIMEOUT) или ошибка обрыва линии.

В случае ошибки обрыва линии или ошибки таймаута дескриптор завершается с установкой флага RTR или BER соответственно в поле custom. В этом случае, при модификации дескриптора, в качестве длины дескриптора будет передано количество реально принятых байт.

В случае если при приёме данных для дескриптора была получена посылка с ошибкой бита чётности или стопового бита или возникло переполнение FIFO, приведшее к потере данных, при модификации дескриптора устанавливается соответствующий флаг в поле custom. При выключении RX канала MDMA (сигнал rx_enable переключается из 1 в 0) данные, хранящиеся в FIFO приёмника, будут сброшены.

В случае приёма данных возможно два режима выгрузки данных из FIFO приёмника (настройка осуществляется путем установки бита DUM регистра MUART_CTRL в соответствующее значение):

- Data and flags. В данном режиме данные выгружаются вместе с флагами об ошибках, как представлено в структуре на рисунке 64;
- Data only. В данном режиме данные выгружаются без флагов об ошибках, но при этом, если ошибки имели место быть, в поле custom будут выставлены соответствующие флаги.

1.4.1.7.1.3.11.3 Установка временных меток

Для установок временных меток используется блок GP_LOCAL_TIME_STAMPER. Более подробно нюансы работы данного блока описаны в п. 1.4.1.5.2.2.4.

Временем начала передачи, которое фиксируется в дескрипторе, считается момент выдачи на линию TXD стартового бита первой посылки данных, соответствующих данному дескриптору.

Временем начала приёма, которое фиксируется в дескрипторе, считается момент получения стартового бита первой посылки данных, соответствующих данному дескриптору. Если при приёме данных произошла потеря временной метки, то при модификации дескриптора устанавливается флаг TFL в поле custom.

										Лист
										305
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

1.4.1.7.1.4 Описание регистров MUART

1.4.1.7.1.4.1 Карта регистров MUART

Задание конфигурационных параметров и отображение текущего состояния MUART ведется через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave). Каждое обращение к регистрам имеет выравнивание до 32-х разрядов.

При обращении к регистрам СФ-блока по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают значение 0xe7707ad7. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

- RO – поле доступно только для чтения. Запись данных в поле игнорируется;
- WO – поле доступно только для записи. Чтение возвращает значение 0;
- RW – поле доступно как для записи, так и для чтения.

Символом «*» в таблице 410 отмечены регистры, для которых после таблицы присутствует дополнительное описание.

Карта регистров MUART представлена в таблице 411.

Таблица 411 – Карта регистров MUART

Адрес	Наименование	Доступ	Значение после сброса	Описание
Общие регистры сборки MUART и MDMA				
0x000*	MUART_ID	RO	0x55415254	Идентификатор устройства
0x004*	MUART_VERSION	RO	0x10190	Номер версии устройства и конфигурация
Регистры MUART				
0x008*	MUART_SW_RST	RW	0x0	Soft reset
0x00C	-	-	-	Резерв
0x010*	MUART_GEN_STATUS	RO	0x0	Возвращение текущих необработанных значений состояний трех прерываний: от MUART, от канала чтения MDMA и от канала записи MDMA
0x014*	MUART_FIFO_STATE	RO	0x0	Информация о состоянии FIFO приёмника, FIFO передатчика и разрешения на отправку данных
0x018*	MUART_STATUS	RO	0x0	Возвращение текущего необработанного значения состояния перед маскированием соответствующего прерывания
0x01C	-	-	-	Резерв
0x020*	MUART_DTRANS	RW	0x0	Отправляемые данные
0x024	-	-	-	Резерв
0x028*	MUART_DREC	RO	0x0	Получаемые данные
0x02C	-	-	-	Резерв
0x030*	MUART_BDIV	RW	0x4	Значение делителя скорости
0x034 –0x03C	-	-	-	Резерв
0x040*	MUART_FIFOWM	RW	0x2000200	Информация о выбранной границе уровня заполнения FIFO приёмника или передатчика

					ЮФКВ.431268.020РЭ	Лист 306
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование	Доступ	Значение после сброса	Описание
0x044*	MUART_CTRL	RW	0x0	Управляющие биты и информация о режимах приёма и передачи данных
0x048*	MUART_MASK	RW	0x0	При чтении возвращает значение маски на соответствующем прерывании. При записи от 1 для конкретного бита, он устанавливает соответствующую маску конкретного прерывания. Путём записи 0, он очищает соответствующую маску
0x04C*	MUART_RXTIMEOUT	RW	0x0	Установка тайм-аута, при превышении которого при приёме данных возникает соответствующее прерывание
0x050	-	-	-	Резерв
0x054*	MUART_TXTIMEOUT	RW	0x0	Установка тайм-аута, при превышении которого при передаче данных в режиме RS-232 возникает соответствующее прерывание
0x058 -0x0FF	-	-	-	Резерв
Регистры настройки DMA канала для передачи данных и интерфейса AXI				
0x100*	TX_ENABLE_R	RW	0x0	Включение/выключение канала
0x104	TX_SUSPEND_R	RW	0x0	Приостановка работы канала
0x108*	TX_CANCEL_R	RW	0x0	Остановка работы канала с точностью до дескриптора
0x10C	-	-	-	Резерв
0x110*	TX_SETTINGS_R	RW	0x0	Настройка канала
0x114*	TX_IRQ_MASK_R	RW	0x0	Маска прерываний канала
0x118*	TX_STATUS_R	RO	0x0	Состояние линии прерываний канала
0x11C	-	-	-	Резерв
0x120	TX_DESC_ADDR_R	RW	0x0	Адрес первого дескриптора
0x124	-	-	-	Резерв
0x128	TX_CUR_DESC_ADDR_R	RO	0x0	Адрес текущего дескриптора
0x12C	TX_CUR_ADDR_R	RO	0x0	Адрес текущей транзакции
0x130*	TX_DMA_STATE_R	RO	0x0	Регистр состояния канала
0x134 -0x13C	-	-	-	Резерв
0x140	TX_DESC_AXLEN_R	RW	0x3	Значение ARLEN и AWLEN для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x144	TX_DESC_ACACHE_R	RW	0x3	Значение ARCACHE и AWCACHE для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие четыре бита – [3:0])
0x148	TX_DESC_APROT_R	RW	0x2	Значение ARPROT и AWPROT для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие три бита – [2:0])
0x14C	TX_DESC_ALOCK_R	RW	0x0	Значение ARLOCK и AWLOCK для транзакций по AXI при чтении и модификации дескриптора (значимы только младшие два бита – [1:0])
0x150	TX_DESC_RRESP_R	RO	0x0	Значение RRESP для транзакций по AXI при чтении дескриптора (значимы только младшие два бита – [1:0])

					Лист
					307
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Наименование	Доступ	Значение после сброса	Описание
0x154	TX_DESC_RAXI_ERR_ADDR_R	RO	0x0	Адрес AXI-транзакции чтения дескриптора, вызвавшей ошибку на шине AXI
0x158	TX_DESC_BRESP_R	RO	0x0	Значение BRESP для транзакций по AXI при модификации дескриптора (значимы только младшие два бита – [1:0])
0x15C	TX_DESC_WAXI_ERR_ADDR_R	RO	0x0	Адрес AXI-транзакции записи при модификации дескриптора, вызвавшей ошибку на шине AXI
0x160	TX_DESC_PERMUT_R	RW	0x76543210	Схема перестановки байт при чтении и записи дескриптора по AXI
0x164 – 0x17C	-	-	-	Резерв
0x180	TX_R_MAX_TRANS	RW	MAX_TRANS_NUM	Максимальное число незавершенных транзакций (не более 15)
0x184	TX_ARLEN	RW	0xF	Значение AWLEN для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0x188	TX_ARCACHE	RW	0x3	Значение AWCACHE для транзакций по AXI (значимы только младшие четыре бита – [3:0])
0x18C	TX_ARPROT	RW	0x2	Значение AWPROT для транзакций по AXI (значимы только младшие три бита – [2:0])
0x190	TX_ARLOCK	RW	0x0	Значение AWLOCK для транзакций по AXI (значимы только младшие два бита – [1:0])
0x194	TX_RRESP	RO	0x0	Значение BRESP для транзакций по AXI (значимы только младшие два бита – [1:0])
0x198	TX_RAXI_ERR_ADDR	RO	0x0	Адрес AXI-транзакции чтения, вызвавшей ошибку на шине AXI
0x19C	-	-	-	Резерв
0x1A0	TX_RAXI_STATE	RO	0x0	Состояние канала чтения AXI
0x1A4	TX_R_AVAILABLE_SPACE	RO	0x50	Число доступных байтов в буфере ядра
0x1A8	TX_R_PERMUTATION	RW	0x76543210	Схема перестановки байт при чтении данных по AXI
0x1AC – 0x1BF	-	-	-	Резерв
Регистры настройки DMA канала для приёма данных и интерфейса AXI				
0x200*	RX_ENABLE_W	RW	0x0	Включение/выключение канала
0x204	RX_SUSPEND_W	RW	0x0	Приостановка работы канала
0x208*	RX_CANCEL_W	RW	0x0	Остановка работы канала с точностью до дескриптора
0x20C	-	-	-	Резерв
0x210*	RX_SETTINGS_W	RW	0x0	Настройка канала
0x214*	RX_IRQ_MASK_W	RW	0x0	Маска прерываний канала
0x218*	RX_STATUS_W	RO	0x0	Состояние линии прерываний канала
0x21C	-	-	-	Резерв
0x220	RX_DESC_ADDR_W	RW	0x0	Адрес первого дескриптора
0x224	-	-	-	Резерв

					Лист
					308
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

1.4.1.7.1.4.2 Описание полей регистров MUART

1.4.1.7.1.4.2.1 MUART_ID (0x000)

Описание полей регистра MUART_ID представлено в таблице 412.

Таблица 412 – Поля регистра MUART_ID

Наименование поля	Биты	Описание поля
ID	31:0	Идентификатор устройства

1.4.1.7.1.4.2.2 MUART_VERSION (0x004)

Описание полей регистра MUART_VERSION представлено в таблице 413.

Таблица 413 – Поля регистра MUART_VERSION

Наименование поля	Биты	Описание поля
-	31:17	Резерв
VERSION	16:13	Номер версии устройства
SUBVERSION	12:9	Номер подверсии устройства
REF_FREQ	11:0	Значение опорной частоты

1.4.1.7.1.4.2.3 MUART_SW_RST (0x008)

Описание полей регистра MUART_SW_RST представлено в таблице 414.

Таблица 414 – Поля регистра MUART_SW_RST

Наименование поля	Биты	Описание поля
-	31:1	Резерв
SW_RST	0	1 – установка программного сброса. Сброс программного сброса происходит автоматически

1.4.1.7.1.4.2.4 MUART_DTRANS (0x020)

Описание полей регистра MUART_DTRANS представлено в таблице 415.

Таблица 415 - Поля регистра MUART_DTRANS

Наименование поля	Биты	Описание поля
-	31:8	Резерв
DATA	7:0	Отправляемые данные

1.4.1.7.1.4.2.5 MUART_DREC (0x028)

Описание полей регистра MUART_DREC представлено в таблице 416.

Таблица 416 – Поля регистра MUART_DREC

Наименование поля	Биты	Описание поля
-	31:16	Резерв

										Лист
										309
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата					
34203-3	<i>Редько</i> 24.10.2019		34203-2							

Наименование поля	Биты	Описание поля
OE	15	Overflow error. Ошибка переполнения. Устанавливается в 1, если данные получены, когда FIFO приемника уже заполнено. Как только в FIFO появляется свободное пространство, данный бит сбрасывается в 0
BE	14	Break error. Индикация обрыва линии. Устанавливается в 1, когда обнаруживается условие обрыва, что означает, что на вход подается 0 продолжительностью более времени передачи полного слова (стартовый бит, данные, бит четности, стоповые биты)
PE	13	Parity error. Ошибка четности. Устанавливается в 1, когда четность полученных данных не совпадает с четностью, указанной в битах EPS и SPS регистра MUART_CTRL
FE	12	Frame error. Ошибка стопового бита. Устанавливается в 1, если в полученном символе отсутствует корректный стоповый бит (корректный стоповый бит – 1)
-	11:8	Резерв
DATA	7:0	Принимаемые данные

1.4.1.7.1.4.2.6 MUART_FIFO_STATE (0x014)

Описание полей регистра MUART_FIFO_STATE представлено в таблице 417.

Таблица 417 – Поля регистра MUART_FIFO_STATE

Наименование поля	Биты	Описание поля
-	31:27	Резерв
TXFS	26:16	Transmit FIFO state. Количество слов в FIFO передатчика
-	15:12	Резерв
RXFS	11:0	Receive FIFO state. Количество слов в FIFO приемника

1.4.1.7.1.4.2.7 MUART_BDIV (0x030)

Описание полей регистра MUART_BDIV представлено в таблице 418.

Таблица 418 – Поля регистра MUART_BDIV

Наименование поля	Биты	Описание поля
-	31:25	Резерв
N_DIV	24	0 – параметр N равен 8 1 – параметр N равен 10
BAUD_DIV	23:0	Baud rate divisor. Значение делителя скорости передачи

1.4.1.7.1.4.2.8 MUART_CTRL (0x044)

Описание полей регистра MUART_CTRL представлено в таблице 419.

Таблица 419 – Поля регистра MUART_CTRL

Наименование поля	Биты	Описание поля
-	31:16	Резерв

										Лист
										310
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2						

Наименование поля	Биты	Описание поля
DUM	15	Data unloading mode. Определяет режим выгрузки данных при работе с MDMA: 0 – режим data and flags 1 – режим data only
WLEN	14:12	Word length. Длина слова: b100 – b111 = зарезервировано b011 = 8 бит b010 = 7 бит b001 = 6 бит b000 = 5 бит
STP2	11:10	Выбор количества стоповых бит: b00 = 1 бит b01 = 1,5 бита b10 = 2 бита b11 = зарезервировано
SPS	9	Stick Parity Select. Выбор фиксированной чётности: 0 = фиксированная чётность не доступна 1 = одно из двух: EPS = 1, тогда бит чётности передается и проверяется как 1 EPS = 0, тогда бит чётности передается и проверяется как 0
EPS	8	Выбор чётности: 0 = нечётная чётность 1 = чётная чётность
PEN	7	Доступность чётности: 0 = чётность недоступна 1 = чётность доступна
POL	6	Выбор полярности сигналов RTS/CTS 0 = активный режим равен 0 (active low) 1 = активный режим равен 1 (active high)
CTSen	5	Устанавливается в 1, если включен режим CTS
RTSen	4	Устанавливается в 1, если включен режим RTS
MDS	3	Mode select. Устанавливает режим функционирования сигнала RTS: 0 = режим RS-232 1 = режим RS-485
APB_MD	2	APB mode. Режим работы с APB: 0 = доступ к FIFO через APB интерфейс выключен 1 = доступ к FIFO через APB интерфейс включен
LBE	1	Включение режима петли. Если данный бит равен 1, сигнал TXD передает данные на сигнал RXD, а сигнал RTS замыкается на сигнал CTS
MEN	0	MUART enable. Доступность MUART: 0 = MUART выключен 1 = MUART включен

1.4.1.7.1.4.2.9 MUART_FIFOWM (0x040)

Описание полей регистра MUART_FIFOWM представлено в таблице 420.

Таблица 420 – Поля регистра MUART_FIFOWM

Наименование поля	Биты	Описание поля
-	31:27	Резерв
TXFS	26:16	Выработка прерывания при заполнении FIFO передатчика до количества слов, заданных в данном поле
-	15:11	Резерв
RXFS	10:0	Выработка прерывания при заполнении FIFO приемника до количества слов, заданных в данном поле

					ЮФКВ.431268.020РЭ		Лист
							311
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.1.4.2.10 *MUART_MASK (0x048)*

Описание полей регистра *MUART_MASK* представлено в таблице 421.

Таблица 421 - Поля регистра *MUART_MASK*

Наименование поля	Биты	Описание поля
-	31:9	Резерв
TTIM	8	Маска прерывания ошибки тайм-аута при передаче данных (по умолчанию 0 – маска установлена)
TEIM	7	Маска прерывания ошибки переполнения FIFO передатчика (по умолчанию 0 – маска установлена)
REIM	6	Маска прерывания ошибки переполнения FIFO приёмника (по умолчанию 0 – маска установлена)
BEIM	5	Маска прерывания ошибки обрыва линии (по умолчанию 0 – маска установлена)
PEIM	4	Маска прерывания ошибки бита чётности (по умолчанию 0 – маска установлена)
FEIM	3	Маска прерывания ошибки стопового бита (по умолчанию 0 – маска установлена)
RTIM	2	Маска прерывания ошибки тайм-аута при получении данных (по умолчанию 0 – маска установлена)
TXIM	1	Маска прерывания по заполнению FIFO передатчика до заданного уровня (по умолчанию 0 – маска установлена)
RXIM	0	Маска прерывания по заполнению FIFO приёмника до заданного уровня (по умолчанию 0 – маска установлена)

1.4.1.7.1.4.2.11 *MUART_STATUS (0x018)*

Описание полей регистра *MUART_STATUS* представлено в таблице 422.

Таблица 422 – Поля регистра *MUART_STATUS*

Наименование поля	Биты	Описание поля
-	31:9	Резерв
TTRIS	8	Прерывание по таймауту при передаче данных. Возникает, когда передатчик работает в режиме RS-232 и готов передавать данные, но не может из-за сигнала CTS
TERIS	7	Переполнение FIFO передатчика
RERIS	6	Переполнение FIFO приёмника
BERIS	5	Ошибка обрыва линии
PERIS	4	Ошибка бита чётности
FERIS	3	Ошибка стопового бита
RTRIS	2	Прерывание по тайм-ауту при получении данных. Возникает, когда во время транзакции не поступают никакие новые данные в течение запрограммированного периода
TXRIS	1	FIFO передатчика опустошилось до заданного уровня
RXRIS	0	FIFO приёмника наполнилось до заданного уровня

1.4.1.7.1.4.2.12 *MUART_RXTIMEOUT (0x04C)*

Описание полей регистра *MUART_RXTIMEOUT* представлено в таблице 423.

					ЮФКВ.431268.020РЭ	Лист 312
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 423 – Поля регистра MUART_RXTIMEOUT

Наименование поля	Биты	Описание поля
RTM	31:0	Значение Time-out для приёмника в битовых интервалах. Если в заданный промежуток приёмник не получит стартовый бит, то сработает прерывание по тайм-ауту приёмника и будет выставлена соответствующая ошибка. Если значение данного регистра – 0, то тайм-аут будет игнорироваться. Отключение MUART сбрасывает внутренний счётчик этого регистра. В режиме работы через APB возможность расчёта тайм-аута появляется только после появления стартового бита первой принимаемой посылки. В режиме работы с MDMA возможность расчёта таймаута появляется в случае, когда MDMA включена и пришел стартовый бит первой посылки или FIFO приёмника не является пустым, и заканчивается при отключении MDMA

1.4.1.7.1.4.2.13 MUART_TXTIMEOUT (0x054)

Описание полей регистра MUART_TXTIMEOUT представлено в таблице 424.

Таблица 424 – Поля регистра MUART_TXTIMEOUT

Наименование поля	Биты	Описание поля
TTM	31:0	Значение Time-out для передатчика в битовых интервалах. В случае работы MUART в режиме RS-232, если интервал простоя передатчика из-за сигнала CTS достиг или превысил установленный интервал в данном регистре, то сработает прерывание по тайм-ауту передатчика. Если значение данного регистра – 0, то тайм-аут будет игнорироваться. Отключение MUART сбрасывает внутренний счётчик этого регистра

1.4.1.7.1.4.2.14 MUART_GEN_STATUS (0x010)

Описание полей регистра MUART_GEN_STATUS представлено в таблице 425.

Таблица 425 – Поля регистра MUART_GEN_STATUS

Наименование поля	Биты	Описание поля
-	31:3	Резерв
MDMA_WR_IRQ	2	Прерывание от канала записи MDMA
MDMA_RD_IRQ	1	Прерывание от канала чтения MDMA
MUART_IRQ	0	Прерывание от MUART

1.4.1.7.1.4.2.15 STATUS_R(W) (0x118, 0x218)

Описание полей регистра STATUS_R(W) представлено в таблице 426.

Таблица 426 – Поля регистра STATUS_R(W)

Поле	Биты	Описание
suspend_done	0	Завершено выполнение приостановки MDMA_GP
cancel_done	1	Завершена остановка MDMA_GP (cancel)
int_desc	2	Завершено выполнение дескриптора с флагом Int
bad_desc	3	Считан дескриптор недоступный для MDMA-GP (флаг ownership равен 1)
stop_desc	4	Завершено выполнение дескриптора с флагом Stop
discard_desc	5	Ошибка при обращении по шине AXI при чтении дескриптора
waxi_err	6	Ошибка при обращении по шине AXI при записи дескриптора
axi_err	7	Ошибка при обращении по шине AXI при чтении/записи данных

					ЮФКВ.431268.020РЭ		Лист
							313
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
start_by_event	8	Произошел запуск по внешнему событию
ignore_event	9	Событие, запускающее MDMA-GP, произошло во время активной работы MDMA-GP
-	31:10	Резерв

1.4.1.7.1.4.2.16 *IRQ_MASK_R(W)* (0x114, 0x214)

Описание полей регистра *IRQ_MASK_R(W)* представлено в таблице 427.

Таблица 427 – Поля регистра *IRQ_MASK_R(W)*

Поле	Биты	Описание
suspend_done	0	Завершено выполнение приостановки MDMA_GP
cancel_done	1	Завершена остановка MDMA_GP (cancel)
int_desc	2	Завершено выполнение дескриптора с флагом Int
bad_desc	3	Считан дескриптор недоступный для MDMA-GP (флаг ownershif равен 1)
stop_desc	4	Завершено выполнение дескриптора с флагом Stop
discard_desc	5	Ошибка при обращении по шине AXI при чтении дескриптора
waxi_err	6	Ошибка при обращении по шине AXI при записи дескриптора
axi_err	7	Ошибка при обращении по шине AXI при чтении/записи данных
start_by_event	8	Произошел запуск по внешнему событию
ignore_event	9	Событие, запускающее MDMA-GP, произошло во время активной работы MDMA-GP
-	31:10	Резерв

1.4.1.7.1.4.2.17 *DMA_STATE_R(W)* (0x130, 0x230)

Описание полей регистра *DMA_STATE_R(W)* представлено в таблице 428.

Таблица 428 – Поля регистра *DMA_STATE_R(W)*

Поле	Биты	Описание
wr_fifo_full	0	Буфер FIFO для отработанных дескрипторов полон
wr_fifo_empty	1	Буфер FIFO для отработанных дескрипторов пуст
rd_fifo_empty	2	Буфер FIFO для считывания дескрипторов пуст
-	3	Резерв
ready_for_str	4	Завершены операции со строкой pitch-дескриптора, ожидается подтверждение от ядра
ready_for_mod	5	Завершены операции с дескриптором, ожидается подтверждение от ядра
-	7:6	Резерв
data_desc_cnt	9:8	Число дескрипторов данных, с которыми в данный момент работает MDMA
-	11:10	Резерв
desc_cnt	14:12	Число дескрипторов, с которыми в данный момент работает MDMA
-	15	Резерв
discard_desc	16	При чтении дескриптора возникла ошибка на шине.
bad_flag	17	Считан дескриптор, недоступный для MDMA
stop_flag	18	Считан дескриптор с флагом stop

					ЮФКВ.431268.020РЭ		Лист 314
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание
stop	19	Дальнейшее считывание дескрипторов остановлено
data_send_permit	20	Разрешена генерация адресов для записи данных в память
cancel	21	Выполняется команда cancel
suspend	22	Выполняется команда suspend
en	23	Статус включения MDMA
desc_is_writing	24	Идёт процедура записи дескриптора
desc_is_mod	25	Идёт процедура модификации дескриптора
wr_state	26	Статус записи дескриптора 1 – транзакция записи в процессе
rd_state	27	Статус чтения дескриптора 1 – транзакция чтения в процессе
state	29:28	Состояние MDMA 0 – ожидание дескриптора 1 – анализ дескриптора 2 – генерация адресов 3 – ожидание завершения всех транзакций обращения в память, относящихся к данному дескриптору
-	31:30	Резерв

1.4.1.7.1.4.2.18 SETTINGS_R(W) (0x110, 0x210)

Описание полей регистра SETTINGS_R(W) представлено в таблице 429.

Таблица 429 – Поля регистра SETTINGS_R(W)

Поле	Биты	Описание
desc_type	1:0	Тип дескриптора для канала 10 – long-дескриптор (128 бит)
-	3:2	Резерв
add_info	4	Должен быть 1
-	15:5	Резерв
desc_gap	31:16	Интервал между дескрипторами

1.4.1.7.1.4.2.19 ENABLE_R(W) (0x100, 0x200)

Описание полей регистра ENABLE_R(W) представлено в таблице 430.

Таблица 430 – Поля регистра ENABLE_R(W)

Поле	Биты	Описание
enable	0	Флаг активности канала
-	31:1	Резерв

1.4.1.7.1.4.2.20 CANCEL_R(W) (0x108, 0x208)

Описание полей регистра CANCEL_R(W) представлено в таблице 431.

Таблица 431 – Поля регистра CANCEL_R(W)

Поле	Биты	Описание
cancel	0	Остановка канала
-	31:1	Резерв

					ЮФКВ.431268.020РЭ		Лист 315
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.2 Контроллер совмещенного интерфейса GSPI/SDIO

1.4.1.7.2.1 Общее описание контроллера совмещенного интерфейса GSPI/SDIO

Контроллер совмещенного интерфейса GSPI/SDIO состоит из двух независимых контроллеров:

- контроллер GSPI;
- контроллер SDIO.

Внешние порты данных контроллеров мультиплексируются на общие буфера ввода-вывода, системные интерфейсы контроллеров мультиплексируются частично.

Во время работы только один контроллер может быть активным.

Описание каждого из контроллеров будет приведено отдельно.

1.4.1.7.2.2 Структурная схема контроллера совмещенного интерфейса GSPI/SDIO

На рисунке 67 представлена схема контроллера совмещенного интерфейса GSPI/SDIO и принцип мультиплексирования интерфейсов. В таблице 432 содержится описание блоков, представленных на структурной схеме.

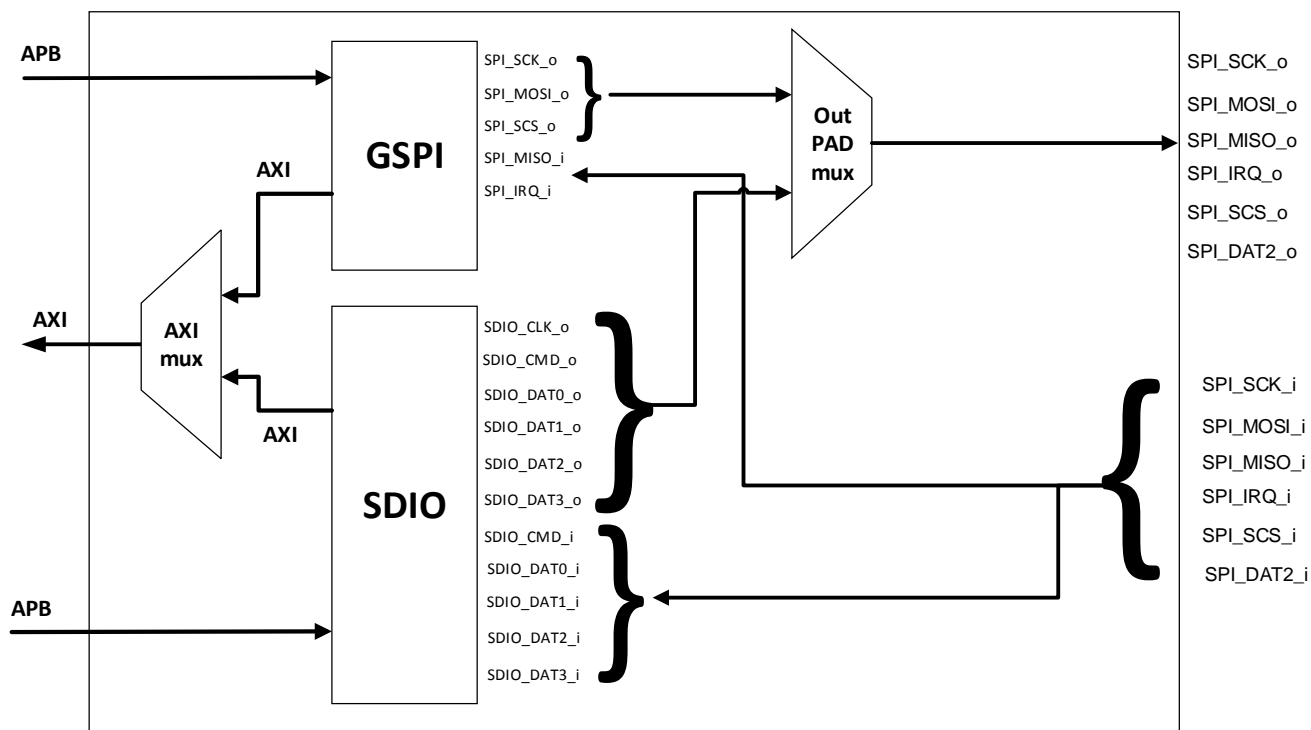


Рисунок 67 – Схема совмещенного контроллера GSPI/SDIO

Таблица 432 – Описание блоков на структурной схеме совмещенного контроллера GSPI/SDIO

Название блока	Назначение и основные функции
GSPI	Контроллер GSPI
SDIO	Контроллера SDIO
AXI mux	Мультиплексор AXI интерфейса
Out PAD mux	Мультиплексор выходных сигналов

					ЮФКВ.431268.020РЭ		Лист 316
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.2.3 Принципы функционирования контроллера совмещенного интерфейса GSPI/SDIO

Совмещённый контроллер GSPI/SDIO представляет собой сборку из двух независимых контроллеров GSPI и SDIO. Во время работы только один контроллер может быть активным. Для выбора активного контроллера используется регистр SDIO_ENABLE. Запись 0 в регистр SDIO_ENABLE указывает, что активным является контроллер GSPI, а запись 1 – контроллер SDIO.

Интерфейс управления (APB slave) не мультиплексируется, поэтому доступ к регистрам как контроллера GSPI, так и контроллера SDIO сохраняется при любом значении в регистре SDIO_ENABLE. Во избежание некорректной работы активного контроллера не рекомендуется обращаться к регистрам неактивного.

Доступ к интерфейсу AXI master предоставляется только активному контроллеру.

Сигналы запроса прерывания контроллера GSPI и контроллера SDIO объединены по «ИЛИ». Во избежание некорректной работы рекомендуется замаскировать все прерывания от неактивного контроллера.

Внешние порты контроллера GSPI и контроллера SDIO мультиплексируются на общие буфера ввода-вывода по схеме, представленной в таблице 433.

Таблица 433 – Мультиплексирование внешних сигналов контроллера GSPI и контроллера SDIO

Вывод СБИС МИ БИУС	Порт GSPI	Порт SDIO
SPIx_SCK	SCK	SCLK
SPIx_MOSI	MOSI	CMD
SPIx_MISO	MISO	DATA0
SPIx_IRQ	IRQ	DATA1
SPIx_DAT2	-	DATA2
SPIx_SCS	SS	DATA3

1.4.1.7.2.4 Контроллер GSPI

1.4.1.7.2.4.1 Общее описание контроллера GSPI

Контроллер GSPI представляет собой SPI ядро, реализующее обмен по интерфейсу SPI master, дополнительный сигнал прерывания от внешнего устройства и набор вспомогательных блоков, реализующий программное управление сигналом SS и прямой доступ к памяти.

1.4.1.7.2.4.2 Структурная схема контроллера GSPI

Структурная схема контроллера GSPI представлена на рисунке 68. Описание блоков структурной схемы контроллера GSPI представлено в таблице 434.

									Лист
									317
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

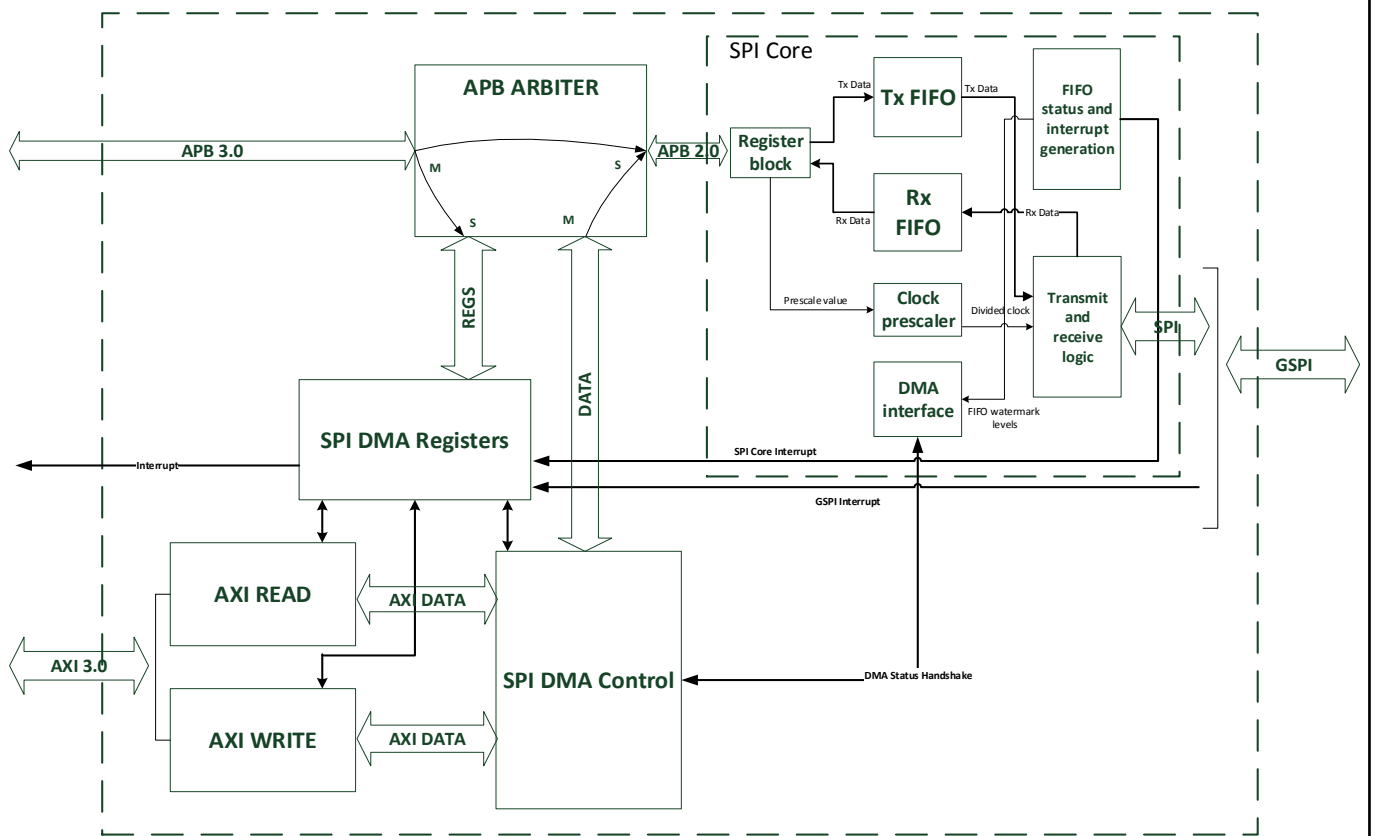


Рисунок 68 – Структурная схема контроллера GSPI

Таблица 434 – Описание блоков на структурной схеме контроллера GSPI

Название блока	Назначение и основные функции
SPI Core	SPI ядро контроллера GSPI
SPI Core. Register block	Блок регистров в составе SPI ядра
SPI Core. TxFIFO	Передающий буфер FIFO
SPI Core. RxFIFO	Принимающий буфер FIFO
SPI Core. Clock prescaler	Генератор синхросигнала SPI
SPI Core. Transmit and receive logic	Блок, реализующий интерфейс SPI
SPI Core. FIFO status and interrupt generation	Блок состояния буферов FIFO и генерации запросов прерывания
SPI Core. DMA interface	Блок, реализующий интерфейс с DMA
APB ARBITER	Арбитр шины APB для доступа к регистрам различных блоков в составе контроллера GSPI
SPI DMA Registers	Регистры управления контроллером DMA в составе контроллера GSPI
SPI DMA Control	Управляющая логика контроллера DMA в составе контроллера GSPI
AXI READ	Канал чтения данных по интерфейсу AXI
AXI WRITE	Канал записи данных по интерфейсу AXI

1.4.1.7.2.4.3 Принципы функционирования контроллера GSPI

Контроллер GSPI реализует два механизма обмена данными между центральным процессором и внешними устройствами на шине SPI:

- непосредственная передача данных на SPI интерфейс;
- работа в режиме прямого доступа к памяти.

					Лист	
					318	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата	
34203-3	<i>Редько</i> 24.10.2019		34203-2			

При непосредственной передаче данных задействованы только блоки SPI ядра и APB ARBIER, который пропускает APB транзакции к регистрам SPI ядра. Подробнее данный режим, а также все особенности обмена по интерфейсу SPI описаны в п. 1.4.1.7.2.4.3.1.

При работе в режиме прямого доступа к памяти, обмен данными реализуется посредством AXI-master интерфейса. Для работы в этом режиме необходимо настроить контроллеры DMA в составе каналов чтения и записи по интерфейсу AXI (AXI READ и AXI WRITE). Режим работы с прямым доступом к памяти рекомендуется для передачи больших объемов информации. Подробнее данный режим описан в п. 1.4.1.7.2.4.3.2.

Сигналы запроса прерывания от SPI ядра и от вспомогательных блоков объединяются по «ИЛИ».

1.4.1.7.2.4.3.1 Независимая работа SPI ядра

SPI ядро представляет собой интерфейс синхронного последовательного обмена данными с периферийными устройствами, способный функционировать в качестве ведущего устройства и поддерживающий протоколы передачи данных SPI фирмы Motorola, Microwire фирмы National Semiconductor, а также SSI фирмы Texas Instruments.

SPI ядро осуществляет преобразование данных, полученных от периферийного устройства, из последовательной в параллельную форму. Центральный процессор считывает и записывает данные, а также управляющую информацию и информацию о состоянии через интерфейс шины APB. Прием и передача данных буферизуются с помощью буферов FIFO, обеспечивающих хранение до восьми машинных слов данных шириной 16 бит независимо для режимов приема и передачи.

SPI ядро содержит программируемые делитель и предделитель частоты, формирующие тактовый сигнал обмена данными. Скорость передачи данных может достигать более 2 МГц, в зависимости от частоты системного тактового сигнала и максимальной скорости передачи данных подключенного периферийного устройства.

Режим обмена данными SPI ядра, формат сообщения и количество бит данных задаются программно с помощью регистров управления SPI_CR0 и SPI_CR1.

SPI ядро формирует четыре маскируемых запроса прерывания:

- SPI_TXINTR – запрос на обслуживание буфера передачи;
- SPI_RXINTR – запрос на обслуживание буфера приема;
- SPI_RORINTR – переполнение буфера приема;
- SPI_RTINTR – истечение периода ожидания при наличии данных в буфере приема.

Данные запросы формируют общий сигнал прерывания, возникающий в случае активности одного из вышеуказанных независимых немаскированных прерываний.

В зависимости от выбранного режима работы SPI ядра сигнал SS используется:

- или для синхронизации сообщений (интерфейс SSI, активное состояние – высокий уровень),
- или для выбора ведомого режима (интерфейсы SPI и Microwire, активное состояние – низкий уровень).

SPI ядро обладает следующими характеристиками:

- Удовлетворяет требованиям спецификации AMBA (Rev 2.0), что обеспечивает простую интеграцию модуля в систему на кристалле;
- Может функционировать в режиме ведущего устройства;
- Программное управление скоростью обмена данными и возможность предварительного деления частоты;
- Содержит независимые буферы приема и передачи (8 ячеек, 16 бит) с организацией доступа типа FIFO (First In First Out – первый вошел, первый вышел);
- Программный выбор одного из интерфейсов обмена: SPI, Microwire, SSI;
- Программируемая длина сообщения от 4 до 16 бит;

					ЮФКВ.431268.020РЭ			Лист
								319
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2				

- Независимое маскирование прерываний от буфера приема и передачи, а также по возникновению события переполнения буфера приемника;
- Наличие идентификационных регистров, однозначно идентифицирующих модуль SPI ядра, что позволяет операционной системе производить автоматическое конфигурирование.

1.4.1.7.2.4.3.1.1 Структурная схема SPI ядра

Структурная схема SPI ядра представлена на рисунке 68. Ниже приведено описание блоков, входящих в SPI ядро.

Блок регистров (Register block)

Блок регистров осуществляет хранение записанных данных, или данных, подлежащих считыванию, через интерфейс AMBA APB.

Предделитель частоты (Clock prescaler)

SPI ядро формирует тактовый сигнал обмена данными SCK с помощью внутреннего делителя частоты, состоящего из двух последовательно соединенных счетчиков без цепи сброса.

Для деления частоты сигнала SPI_CLK можно задать коэффициент предварительного деления частоты в диапазоне от 2 до 254 с шагом 2 путем записи значения в регистр SPI_CPSR. Так как младший значащий разряд регистра SPI_CPSR не используется, исключается возможность деления частоты на нечетный коэффициент, что, в свою очередь, гарантирует формирование тактового сигнала симметричной формы (с одинаковой длительностью полупериодов высокого и низкого уровня).

Полученное значение снова делится на коэффициент, задаваемый программно в диапазоне от 1 до 256 путем записи соответствующего значения в регистр управления SPI_CR0, для получения конечного тактового сигнала обмена данными SCK для ведущего режима.

FIFO буфер передачи (Tx FIFO)

FIFO передачи имеет ширину 16 бит, глубину 8 слов, схему организации доступа типа «первый вошел, первый вышел» (FIFO – First-In, First-Out). Данные от центрального процессора, записанные через шину AMBA APB, сохраняются в буфере до тех пор, пока не будут считаны блоком передачи данных.

Параллельно поступающие данные записываются в буфер передачи перед преобразованием в последовательную форму и передачей подключенному ведомому устройству через выходной контакт MOSI.

FIFO буфер приема (Rx FIFO)

FIFO буфер приема имеет ширину 16 бит, глубину восемь слов, схему организации доступа типа «первый вошел, первый вышел». Данные, принятые от периферийного устройства через последовательный интерфейс, сохраняются блоком приема данных в нем до тех пор, пока не будут считаны центральным процессором через шину AMBA APB.

Блок приема и передачи данных (Transmit and receive logic)

SPI ядро формирует тактовый сигнал обмена данными для подключенных ведомых устройств, формируемый путем деления частоты сигнала SPI_CLK, как уже было описано ранее.

Блок передачи последовательно считывает значения из буфера передачи и производит их преобразование из параллельной в последовательную форму. Далее поток последовательных данных и сигнал SS, тактированные сигналом SCK, передаются по линии MOSI к подключенным ведомым устройствам. Блок приема выполняет преобразование данных, поступающих синхронно с линии MISO, из последовательной в параллельную форму, после чего загружает их в буфер приема, откуда они могут быть считаны через интерфейс шины APB.

									Лист
									320
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

Блок формирования прерываний (FIFO status and interrupt generation)

SPI ядро генерирует комбинированное прерывание как функция «ИЛИ» независимых запросов на прерывание. Активным уровнем сигнала запроса прерывания является высокий.

Комбинированный сигнал прерывания может быть подан на внешний контроллер прерываний системы, что обеспечивает дополнительную возможность маскирования каждого периферийного устройства. Это облегчает использование модульных драйверов устройств, всегда «знающих» местоположение разрядов регистра управления источником прерываний.

1.4.1.7.2.4.3.1.2 Сброс настроек

Сброс настроек SPI ядра производится общим сигналом сброса микросхемы, а также специфическим для модуля сигналом сброса. Сигнал сброса микросхемы должен быть установлен в низкий уровень в течение периода времени, достаточного для сброса самого медленного блока микросхемы, после чего переведен обратно в высокий уровень. В случае SPI ядра необходимо, чтобы сигнал сброса находился в низком уровне в течение, как минимум, одного такта системной тактовой частоты.

1.4.1.7.2.4.3.1.3 Настройка SPI ядра

После сброса работа SPI ядра блокируется до выполнения процедуры задания конфигурации.

Для этого необходимо запрограммировать регистры управления SPI_CR0 и SPI_CR1 для конфигурирования периферийного устройства, работающего по одному из следующих протоколов передачи данных:

- SPI фирмы Motorola;
- SSI фирмы Texas Instruments;
- Microwave фирмы National Semiconductor.

Для установки требуемой скорости передачи данных необходимо запрограммировать регистр предварительного делителя частоты SPI_CPSR.

1.4.1.7.2.4.3.1.4 Разрешение работы SPI ядра

Необходимо либо инициализировать буфер передачи путем записи в него до восьми 16-разрядных слов при неработающем SPI ядре, либо разрешить прерывание центрального процессора запросом на обслуживание буфера FIFO передатчика. После разрешения работы SPI ядра блок приема и передачи данных начинает обмен данными по линиям передачи MOSI и приема MISO.

1.4.1.7.2.4.3.1.5 Соотношения между тактовыми сигналами

Частота входного тактового сигнала SPI ядра должна обеспечивать поддержку требуемого диапазона скоростей обмена данными. Отношение минимальной частоты сигнала SPI ядра к максимальной частоте сигнала SCK составляет два.

Для обеспечения максимальной скорости обмена 1,8432 Мбит/с частота сигнала SPI ядра должна составлять не менее 3,6864 МГц. При частоте тактового сигнала SPI ядра, равной 3,6864 МГц, в регистр SPI_CPSR должно быть записано значение 2, а поле SCR[7:0] регистра SPI_CR0 должно быть установлено в 0.

Минимальная допустимая частота тактового сигнала SPI ядра определяется следующим неравенством:

$$F_{SPI_CLK}(min) \geq 2 \times F_{SCK}(max).$$

Максимальная допустимая частота тактового сигнала SPI ядра определяется следующим неравенством:

$$F_{SPI_CLK}(max) \geq 254 \times 256 \times F_{SCK}(min).$$

									Лист
									321
Изм	Лист	№ докум.	Подп.	Дата					
	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
	34203-3		<i>Redhell</i> 24.10.2019		34203-2				

1.4.1.7.2.4.3.1.6 Программирование регистра управления SPI_CR0

Более подробная информация о присваивании значений битам данного регистра приведена в п. 1.4.1.7.2.4.4.1.1 (описание полей регистра SPI_CR0).

Регистр SPI_CR0 предназначен для:

- задания тактовой частоты, определяющей скорость информационного обмена;
- выбора одного из трех протоколов обмена данными;
- выбора размера слова данных (где применимо).

Значение тактовой частоты, определяющей скорость информационного обмена (Serial Clock Rate (SCR) – тактовая частота, определяющая скорость информационного обмена), наряду со значением коэффициента деления тактового сигнала CPSDVSR регистра SPI_CPSR используется для определения скорости передачи и приема данных в зависимости от частоты тактового сигнала SPI ядра.

Формат сообщения задается путем установки значения поля FRF, а размер слова данных – путем установки значения поля DSS.

Для протокола SPI фирмы Motorola, кроме того, задается полярность и фаза сигнала (биты SPH и SPO).

1.4.1.7.2.4.3.1.7 Программирование регистра управления SPI_CR1

Более подробная информация о присваивании значений битам данного регистра приведена в п.1.4.1.7.2.4.4.1.4 (описание полей регистра SPI_CR1).

Регистр SPI_CR1 предназначен для:

- включения режима проверки канала по шлейфу;
- разрешения или запрещения работы SPI ядра.

Для разрешения функционирования SPI ядра необходимо записать в поле SSE (Synchronous Serial Port Enable – разрешение последовательного синхронного порта) значение «1».

1.4.1.7.2.4.3.1.8 Формирование тактового сигнала обмена данными

Тактовый сигнал обмена данными формируется путем деления частоты тактового сигнала SPI ядра SPI_CLK. На первом этапе формирования частота данного сигнала делится на четный коэффициент CPSDVSR, находящийся в диапазоне от 2 до 254 и доступный для программирования через регистр SPI_CPSR. Сформированный сигнал далее поступает на делитель частоты с коэффициентом (1 + SCR) в диапазоне от 1 до 256, где значение SCR доступно для программирования через SPI_CR0.

Частота выходного тактового сигнала обмена данными SCK определяется следующим равенством

$$F_{SCK} = \frac{F_{SPI_CLK}}{CPSDVSR \times (1 + SCR)}$$


Например, в случае если частота сигнал SPI_CLK составляет 3,6864 МГц, а значение CPSDVSR = 2, частота сигнала SCK находится в интервале от 7,2 кГц до 1,8432 МГц.

1.4.1.7.2.4.3.1.9 Формат сообщений

Каждое сообщение содержит, в зависимости от запрограммированного значения, от 4 до 16 бит данных. Передача данных начинается со старшего значащего разряда. Можно выбрать одну из следующих структур сообщения:

- SSI фирмы Texas Instruments;
- SPI фирмы Motorola;
- Microwire фирмы National Semiconductor.

Во всех режимах построения сообщения тактовый сигнал SCK находится в неактивном состоянии, когда SPI ядро находится в неактивном состоянии, и переход в другой режим с запрограммированной частотой производится только при активной передаче или приеме

					ЮФКВ.431268.020РЭ			Лист
								322
Изм	Лист	№ докум.	Подп.	Дата				
	Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
	34203-3	 24.10.2019		34203-2				

данных. Перевод сигнала SCK в неактивное состояние используется как признак режима ожидания приемника, то есть наличия в буфере приема необработанных данных по истечении заданного интервала времени.

В режимах SPI и Microwire выходной сигнал SS имеет активный низкий уровень и поддерживается в низком уровне в течение всего периода передачи сообщения.

В режиме SSI фирмы Texas Instruments перед началом каждого сообщения на выходе SS формируется импульс длительностью один такт. В данном режиме блок приема и передачи данных SPI ядра, равно как ведомое «внекристальное» устройство, передает данные на линию по переднему фронту сигнала SCK, а считывает данные с другого устройства из линии по заднему фронту этого сигнала.

В отличие от полнодуплексных режимов передачи данных SSI и SPI, режим Microwire фирмы National Semiconductor использует специальный способ обмена данными между ведущим и ведомым устройствами, функционирующий в режиме полудуплекса. В данном режиме на «внекристальное» ведомое устройство перед началом передачи сообщения посылается специальная восьмибитная управляющая последовательность. В течение всего времени передачи данной последовательности приемник не обрабатывает каких-либо входных данных. После того, как сигнал передан и декодирован ведомым устройством, оно выдерживает паузу в один такт после передачи последнего бита восьмибитной управляющей последовательности, после чего передает в адрес ведущего устройства запрошенные данные. Длина сообщения от ведомого устройства может составлять от 4 до 16 бит. Таким образом, общая длина сообщения составляет от 13 до 25 бит.

Формат последовательного синхронного обмена данными SSI фирмы Texas Instruments

На рисунке 69 продемонстрирован формат последовательного синхронного обмена данными протокола SSI фирмы Texas Instruments для одиночного обмена.

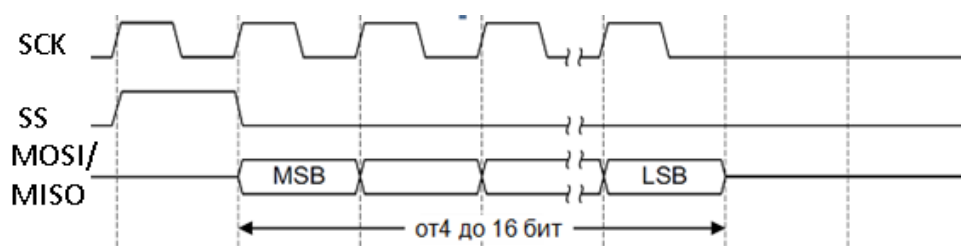


Рисунок 69 – Формат синхронного обмена протокола SSI фирмы Texas Instruments (одиночный обмен)

В данном режиме при неактивном SPI ядре сигналы SCK и SS переводятся в низкий логический уровень, а линия передачи данных MOSI поддерживается в третьем состоянии. После появления хотя бы одного элемента в буфере передачи сигнал SS переводится в высокий логический уровень на время, соответствующее одному периоду сигнала SCK. Значение из буфера при этом переносится в сдвиговый регистр блока передачи. По следующему переднему фронту сигнала SCK старший значащий разряд сообщения (4 – 16 бит данных) выдается на выход линии MOSI. Аналогично, старший значащий разряд сообщения сдвигается на выход линии MISO «внекристальным» ведомым устройством последовательной передачи данных.

Как SPI ядро, так и ведомое «внекристальное» устройство последовательно загружают биты данных в сдвиговый регистр по заднему фронту сигнала SCK. Принятые данные переносятся из сдвигового регистра в буфер приема после загрузки в него младшего значащего бита данных по очередному переднему фронту сигнала PCLK.

Временная диаграмма последовательного синхронного обмена по протоколу SSI фирмы Texas Instruments при неравномерной передаче данных представлена на рисунке 70.

					Лист	
					323	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

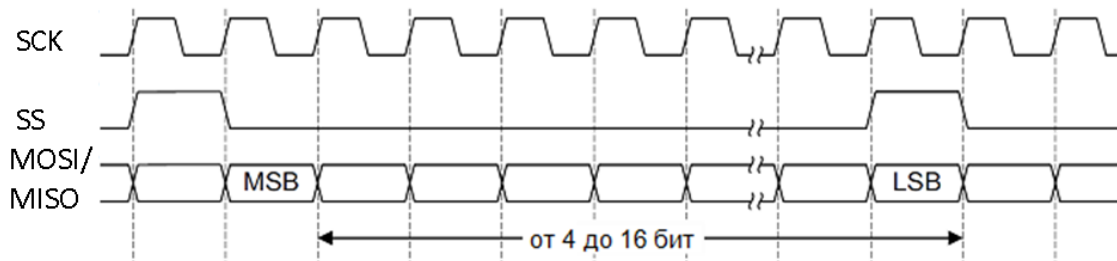


Рисунок 70 – Формат последовательного синхронного обмена по протоколу SSI фирмы Texas Instruments (непрерывный обмен)

Формат обмена данными SPI фирмы Motorola

Интерфейс SPI фирмы Motorola использует четыре сигнальных линии, при этом сигнал SS выполняет функцию выбора ведомого устройства. Основной функцией протокола SPI фирмы Motorola является возможность выбора состояния и фазы сигнала SCK в режиме ожидания (при неактивном блоке приема и передачи данных) путем задания значений битов SPO и SPH регистра управления SPI_CR0.

Выбор полярности тактового сигнала – бит SPO

Если бит SPO равен 0, то в режиме ожидания линия SCK переводится в низкий логический уровень. В противном случае при отсутствии обмена данными линия SCK переводится в высокий логический уровень.

Выбор фазы тактового сигнала – бит SPH

Значение бита SPH определяет фронт тактового сигнала, по которому осуществляется выборка данных и изменение состояния на выходе линии. Оно оказывает значительное влияние на первый бит, передаваемый по разрешению или запрету тактового перехода до первого обнаружения фронта тактового сигнала.

В случае если бит SPH установлен в низкий уровень, регистрация данных приемником осуществляется после первого обнаружения фронта тактового сигнала.

Если бит SPH установлен в высокий уровень, регистрация данных приемником осуществляется после второго обнаружения фронта тактового сигнала.

Формат обмена данными SPI фирмы Motorola, SPO=0, SPH=0

На рисунках 71 и 72 показаны временные диаграммы одиночного и непрерывного обмена в режиме SPI с SPO=0, SPH=0.

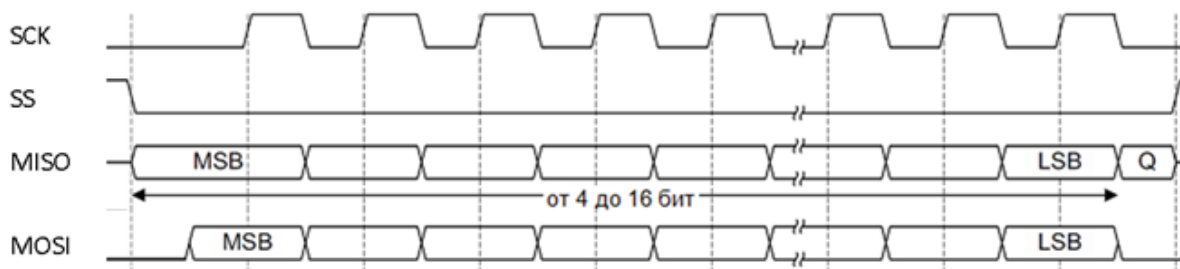


Рисунок 71 – Формат обмена по протоколу SPI фирмы Motorola, SPO=0, SPH=0 (одиночный обмен)

					ЮФКВ.431268.020РЭ	Лист 324
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

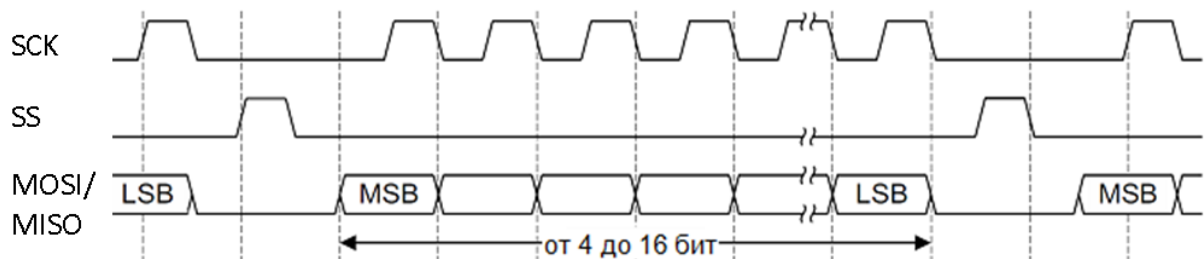


Рисунок 72 - Формат обмена по протоколу SPI фирмы Motorola, SPO=0, SPH=0 (непрерывный обмен)

В данном режиме во время ожидания:

- сигнал SCK переводится в низкий логический уровень;
- сигнал SS переводится в высокий логический уровень;
- линия передачи данных MOSI произвольно переводится в низкий логический уровень.

Если работа SPI ядра разрешена и в буфере передачи содержатся допустимые данные, начало передачи инициализируется переводом сигнала SS в низкий логический уровень. Данное событие запускает передачу данных на линию MOSI.

По истечении полутакта сигнала SCK на линию MOSI передаются допустимые данные. К этому моменту должны быть сформированы данные на линиях обмена как SPI ядра, так и ответного устройства. По истечении следующего полутакта сигнал SCK переводится в высокий логический уровень.

Далее данные регистрируются по переднему фронту и выдаются на линию по заднему фронту сигнала SCK.

В случае передачи одного слова данных после приема его последнего бита линия SS переводится в высокий логический уровень по истечении одного периода тактового сигнала SCK.

Тем не менее, в режиме непрерывной передачи данных на линии SS должны формироваться импульсы высокого логического уровня между передачами каждого слова данных. Это связано с тем, что в режиме SPH=0 линия выбора ведомого устройства в низком уровне блокирует запись в сдвиговый регистр. По завершении приема последнего бита блока данных линия SS переводится в состояние, соответствующее режиму ожидания, по истечении одного такта сигнала SCK.

Формат обмена данными SPI фирмы Motorola, SPO=0, SPH=1

На рисунке 73 продемонстрирована временная диаграмма одиночного и непрерывного обмена данными в режиме SPI с SPO=0, SPH=1.

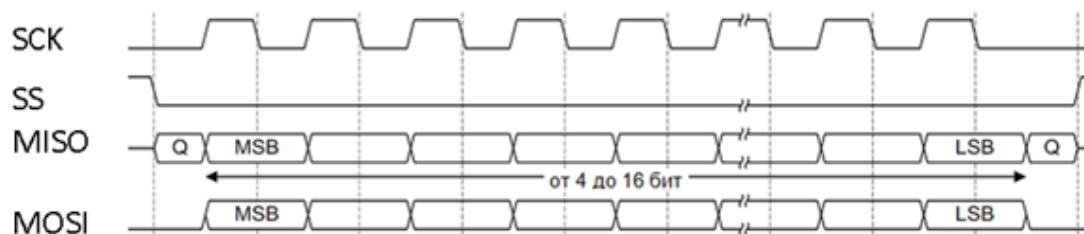


Рисунок 73 – Формат обмена по протоколу SPI фирмы Motorola, SPO=0, SPH=1 (одиночный и непрерывный обмен)

					ЮФКВ.431268.020РЭ	Лист 325
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

В данном режиме во время ожидания:

- сигнал SCK переводится в низкий логический уровень;
- сигнал SS переводится в высокий логический уровень ;
- линия передачи данных MOSI произвольно переводится в низкий логический уровень.

Если работа SPI ядра разрешена и в буфере передачи содержатся допустимые данные, начало передачи инициализируется сигналом SS от SPI ядра, который переводится в низкий логический уровень. По истечении полутакта сигнала SCK на соответствующих линиях обмена как ведущего, так и ведомого устройств разрешена передача данных. В это же время включается линия SCK, на которой формируется передний фронт сигнала.

Далее данные регистрируются по заднему фронту и выдаются на линию по переднему фронту сигнала SCK.

В случае передачи одного слова данных после приема его последнего бита линия SS переводится в высокий логический уровень по истечении одного периода тактового сигнала SCK.

В режиме непрерывной передачи данных линия SS находится в низком логическом уровне между последовательными сообщениями и переводится в высокий уровень по окончании выдачи последнего бита блока данных.

Формат обмена данными SPI фирмы Motorola, SPO=1, SPH=0

Временные диаграммы одиночного и непрерывного обмена в режиме SPI с SPO=1, SPH=0 представлены на рисунках 74 и 75.

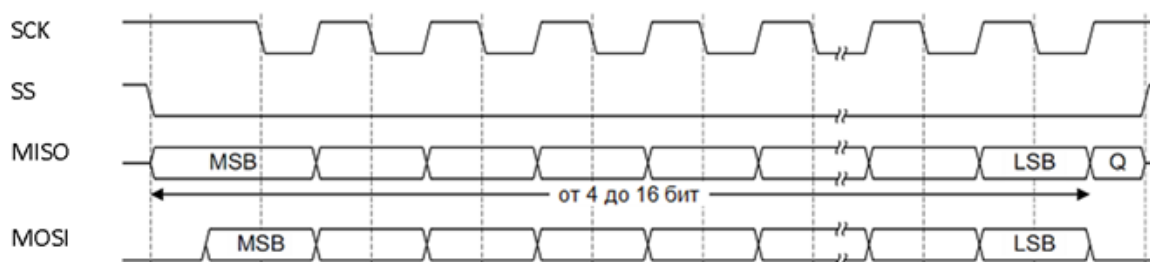


Рисунок 74 – Формат обмена по протоколу SPI фирмы Motorola, SPO=1, SPH=0 (одиночный обмен)

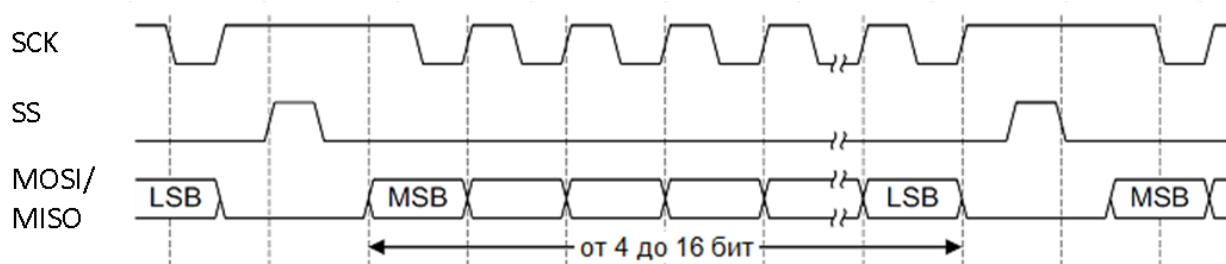


Рисунок 75 – Формат обмена по протоколу SPI фирмы Motorola, SPO=1 SPH=0 (непрерывный обмен)

В данном режиме во время ожидания:

- сигнал SCK переводится в высокий логический уровень;
- сигнал SS переводится в высокий логический уровень;
- линия передачи данных MOSI произвольно переводится в низкий логический уровень.

					ЮФКВ.431268.020РЭ		Лист
							326
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Если работа SPI ядра разрешена и в буфере передачи содержатся корректные данные, сигнал SS переводится в низкий логический уровень, что указывает на начало обмена данными и разрешает передачу данных от ведомого устройства на входную линию MISO ведущего.

По истечении полутакта сигнала на линию MOSI передаются допустимые данные от ведущего устройства. К этому моменту должны быть сформированы данные на линиях обмена как ведущего, так и ведомого устройства. По истечении следующего полутакта сигнал SCK переводится в низкий логический уровень. Это значит, что данные регистрируются по заднему фронту и выдаются на линию по переднему фронту сигнала SCK.

В случае передачи одного слова данных после приема его последнего бита линия SS переводится в высокий логический уровень по истечении одного периода тактового сигнала SCK.

В режиме непрерывной передачи данных линия SS находится в низком логическом уровне между последовательными информационными словами и переводится в высокий уровень по окончании приема последнего бита блока данных, как и в режиме передачи одного слова.

Формат обмена данными SPI фирмы Motorola, SPO=1, SPH=0

Временные диаграммы одиночного и непрерывного обмена в режиме SPI с SPO=1, SPH=0 представлены на рисунках 76 и 77.

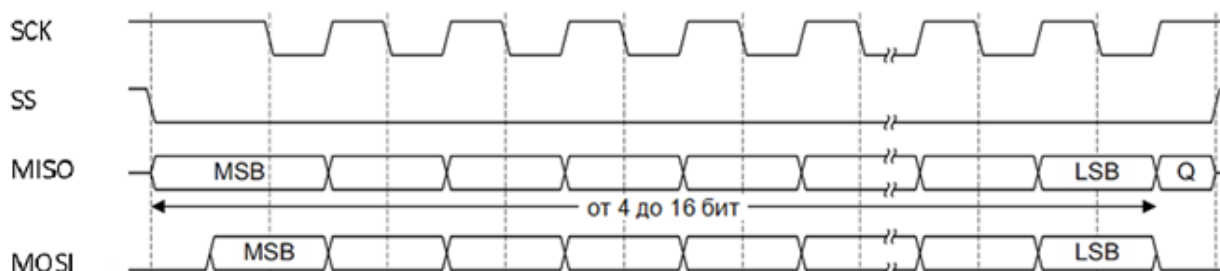


Рисунок 76 – Формат обмена по протоколу SPI фирмы Motorola, SPO=1, SPH=0 (одиночный обмен)

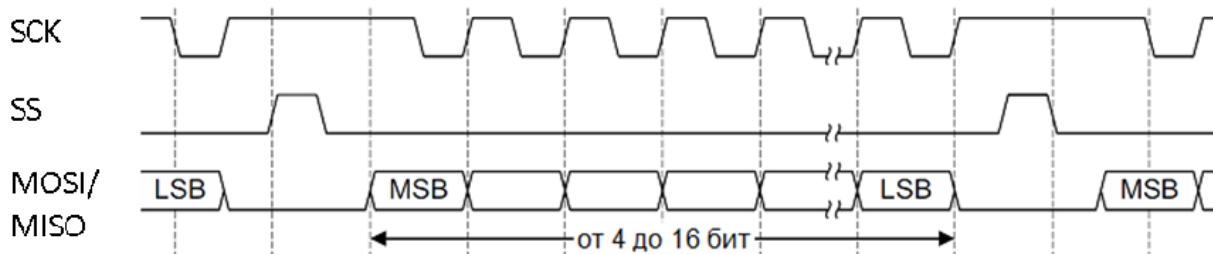


Рисунок 77 – Формат обмена по протоколу SPI фирмы Motorola, SPO=1 SPH=0 (непрерывный обмен)

В данном режиме во время ожидания:

- сигнал SCK переводится в высокий логический уровень;
- сигнал SS переводится в высокий логический уровень;
- линия передачи данных MOSI произвольно переводится в низкий логический уровень.

Если работа SPI ядра разрешена и в буфере передачи содержатся корректные данные, сигнал SS переводится в низкий логический уровень, что указывает на начало обмена данными и разрешает передачу данных от ведомого устройства на входную линию MISO ведущего.

По истечении полутакта сигнала на линию MOSI передаются допустимые данные от ведущего устройства. К этому моменту должны быть сформированы данные на линиях обмена

					ЮФКВ.431268.020РЭ	Лист 327
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

как ведущего, так и ведомого устройства. По истечении следующего полутакта сигнал SCK переводится в низкий логический уровень. Это значит, что данные регистрируются по заднему фронту и выдаются на линию по переднему фронту сигнала SCK.

В случае передачи одного слова данных после приема его последнего бита линия SS переводится в высокий логический уровень по истечении одного периода тактового сигнала SCK.

Тем не менее, в режиме непрерывной передачи данных на линии SS должны формироваться импульсы высокого логического уровня между передачами каждого слова данных. Это связано с тем, что в режиме SPH=0 линия выбора ведомого устройства в низком уровне блокирует запись в сдвиговый регистр. По завершении приема последнего бита блока данных линия SS переводится в состояние, соответствующее режиму ожидания, по истечении одного такта сигнала SCK.

Формат обмена данными SPI фирмы Motorola, SPO=1, SPH=1

На рисунке 78 продемонстрирована временная диаграмма одиночного и непрерывного обмена данными в режиме SPI с SPO=1, SPH=1.

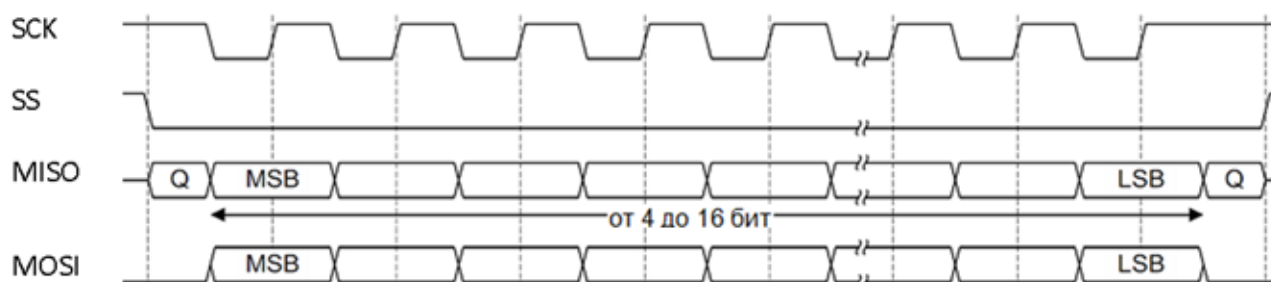


Рисунок 78 – Формат обмена по протоколу SPI фирмы Motorola, SPO=1,SPH=1 (одиночный и непрерывный обмен)

В данном режиме во время ожидания блок приема и передачи данных:

- сигнал SCK переводится в высокий логический уровень;
- сигнал SS переводится в высокий логический уровень;
- линия передачи данных MOSI произвольно переводится в низкий логический уровень.

Если работа SPI ядра разрешена и в буфере передачи содержатся допустимые данные, начало передачи инициализируется сигналом SS от ведущего устройства, который переводится в низкий логический уровень. По истечении полутакта сигнала SCK на соответствующих линиях обмена как ведущего, так и ведомого устройств разрешена передача данных. В это же время включается линия SCK, на которой формируется задний фронт сигнала. Далее данные регистрируются по переднему фронту и выдаются на линию по заднему фронту сигнала SCK.

В случае передачи одного слова данных после приема его последнего бита линия SS переводится в высокий логический уровень по истечении одного периода тактового сигнала SCK.

В режиме непрерывной передачи данных линия SS постоянно находится в низком логическом уровне до окончания приема последнего бита блока данных, после чего возвращается в состояние не занятости, как описано выше.

В режиме непрерывной неравномерной передачи данных линия SS находится в низком логическом уровне между последовательными информационными словами и переводится в высокий уровень по окончании приема последнего бита блока данных, как и в режиме передачи одного слова.

					ЮФКВ.431268.020РЭ	Лист 328
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Формат обмена данными Microwire фирмы National Semiconductor

На рисунке 79 представлена диаграмма одиночного обмена в режиме Microwire, предлагаемом фирмой National Semiconductor.

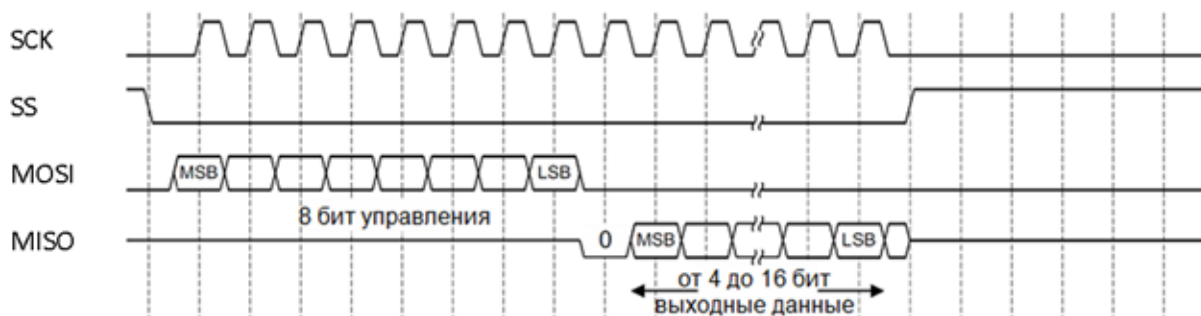


Рисунок 79 – Формат обмена по протоколу Microwire фирмы National Semiconductor (одиночный обмен)

Протокол передачи данных Microwire во многом схож с протоколом SPI, за исключением того, что обмен данными между ведущим и ведомыми устройствами в нем осуществляется в полудуплексном режиме вместо полнодуплексного. Каждый информационный обмен начинается с передачи SPI ядром «внекристальному» ведомому устройству специального восьмибитного управляющего слова. В течение всего времени передачи данной последовательности SPI ядро не обрабатывает каких-либо входных данных. После того, как сигнал передан и декодирован ведомым устройством, оно выдерживает паузу в один тактовый интервал после передачи последнего бита восьмибитной управляющей последовательности, после чего передает в адрес ведущего устройства запрошенные данные. Длина сообщения от ведомого устройства может составлять от 4 до 16 бит. Таким образом, общая длина сообщения составляет от 13 до 25 бит.

В данном режиме во время ожидания:

- сигнал SCK переводится в низкий логический уровень;
- сигнал SS переводится в высокий логический уровень;
- линия передачи данных MOSI произвольно переводится в низкий логический уровень.

Переход в режим информационного обмена происходит после записи управляющего байта в буфер передачи. По заднему фронту сигнала SS данные из буфера передачи переносятся в сдвиговый регистр блока передачи, откуда, начиная со старшего значащего разряда, восьмибитное слово данных сдвигается без сохранения выдвигаемых разрядов в линию MOSI. Линия SS остается в низком логическом уровне в течение всей передачи сообщения. Линия MISO в ходе данной передачи имеет три состояния.

Внешнее ведомое устройство осуществляет прием каждого управляющего бита данных в сдвиговый регистр по переднему фронту каждого сигнала SCK.

По окончании приема последнего бита ведомым устройством управляющий байт декодируется в течение одного тактового интервала, после чего ведомое устройство передает запрошенные данные в адрес SPI ядра. Биты данных передаются на линию MISO по заднему фронту сигнала SCK. SPI ядро, в свою очередь, регистрирует каждый бит по переднему фронту тактового сигнала SCK. В случае одиночного информационного обмена по окончании приема последнего бита слова данных сдвиговым регистром приемника сигнал SS переводится в высокий уровень на время, соответствующее одному тактовому интервалу, что служит командой для переноса принятого слова данных из сдвигового регистра в буфер приема.

					Лист
					329
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

В режиме непрерывной передачи данных передача начинается и завершается таким же образом, что и при одиночной передаче. Тем не менее, линия SS постоянно находится в низком уровне, и передача данных осуществляется непрерывно. Управляющий байт следующего сообщения следует непосредственно после младшего значащего бита полученных данных из текущего сообщения. Каждое из полученных значений передается из сдвигового регистра на задний фронт сигнала SCK после поступления младшего значащего бита сообщения в SPI ядро.

На рисунке 80 представлена временная диаграмма непрерывного обмена в режиме Microwire, предлагаемом фирмой National Semiconductor.

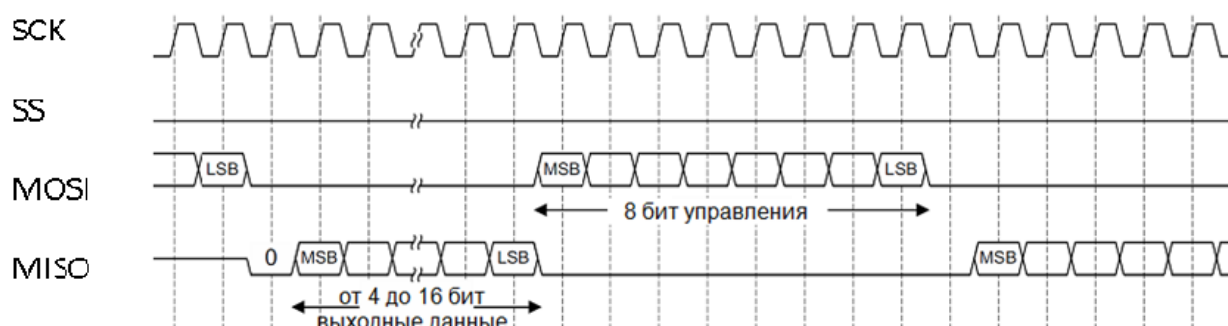


Рисунок 80 – Формат обмена по протоколу Microwire фирмы National Semiconductor (непрерывный обмен)

1.4.1.7.2.4.3.1.10 Прерывания

SPI ядро генерирует четыре запроса на прерывание:

- SPI_RXINTR запрос на обслуживание буфера приема;
- SPI_TXINTR запрос на обслуживание буфера передачи;
- SPI_RORINTR переполнение буфера приема;
- SPI_RTINTR превышение времени ожидания.

Каждый из четырех сигналов запроса на прерывание может быть маскирован путем установки соответствующего бита в регистре маски SPI_IMSC. Установка соответствующего бита маски в высокий уровень разрешает прерывание.

Признаки возникновения каждого из условий прерывания можно считать из регистров SPI_RIS и SPI_MIS.

SPI_RXINTR

Прерывание по заполнению буфера приема формируется в случае, если буфер приемника содержит четыре или более слов данных.

SPI_TXINTR

Прерывание по заполнению буфера передачи формируется в случае, если буфер передатчика содержит четыре или менее слов данных. Состояние прерывания SPI_TXINTR не зависит от значения сигнала разрешения работы SPI ядра, что позволяет организовать взаимодействие программного обеспечения с передатчиком одним из двух способов:

- запись данных в буфер передачи до включения SPI ядра и разрешения прерываний;
- предварительное разрешение работы SPI ядра и прерываний и заполнение буфера передатчика FIFO в ходе проведения процедуры обслуживания прерываний.

SPI_RORINTR

Прерывание по переполнению буфера приема SPI_RORINTR формируется в случае, если буфер уже заполнен и осуществлена попытка записать в него дополнительные данные. При этом данные перезаписываются в регистре сдвига приемника, но в буфер приема не заносятся.

					ЮФКВ.431268.020РЭ		Лист
							330
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

SPI_RTINTR

Прерывание по времени ожидания буфера приема возникает в случае, если буфер приема не пуст и SPI ядро находится в неактивном состоянии в течение 32 периодов. Данный механизм обеспечивает осведомленность пользователя о наличии в буфере приема необработанных данных. Прерывание по времени ожидания снимается либо после считывания данных из буфера приема до его опустошения, либо после приема новых данных по входной линии MISO. Кроме того, данное прерывание может быть снято путем внесения значения в бит RTIC регистра SPI_ICR.

1.4.1.7.2.4.3.2 Работа контроллера GSPI с использованием прямого доступа к памяти

В режиме DMA работа возможна при длине SPI пересылки от двухслов и выше. Длина слова может составлять 8 либо 16 бит, при других длинах (от 4 до 16 бит по спецификации) необходима специальная обработка входных и выходных DMA буферов.

1.4.1.7.2.4.3.2.1 Порядок работы с контроллером GSPI в режиме прямого доступа к памяти

Для работы контроллера GSPI в режиме прямого доступа к памяти необходимо выполнить следующие действия:

- 1) Настроить маски прерываний. Основным рабочим прерыванием в данном режиме является прерывание по концу DMA буфера канала записи AXI (бит двух регистров SPI_IRQMASKS и SPI_STATUS).
- 2) Настроить параметры SPI пересылки контроллера ARM SSP в соответствии с документацией (частоту работы SPI, захват/передачу данных по фронту/спаду синхросигнала, длину слова SPI и другие), а также включить контроллер ARM SSP.
- 3) Включить поддержку DMA в SPI ядре (как RX, так и TX, регистр SPI_DMACR).
- 4) Выбрать длину слова данных SPI – 8 либо 16 бит.
- 5) Настроить параметры DMA каналов чтения и записи (начальные и конечные адреса буферов). При этом размеры буферов на чтение и запись должны совпадать.
- 6) Настроить параметры шины AXI.
- 7) Разрешить работу DMA канала чтения (регистр SPI_AXIR_BUFENA).
- 8) Дождаться поступления прерывания по концу DMA буфера канала записи AXI. Недопустимо обращаться к регистрам SPI ядра во время выполнения DMA операции (после разрешения работы DMA канала чтения и до поступления прерывания по концу DMA буфера канала записи AXI).
- 9) Операция завершена.

1.4.1.7.2.4.3.2.2 Особенности настройки каналов DMA


Для корректной работы контроллера GSPI в режиме прямого доступа к памяти необходимо произвести настройку DMA как для канала чтения по AXI, так и для канала записи по AXI.

Размер дескриптора для передачи или приёма данных задаётся путём установки начального и конечного адресов области памяти.

Для передачи параметров дескриптора непосредственно в DMA необходимо записать 1 в 31 бит регистра SPI_DMAR(W)CNTRL.

Для чтения параметров дескриптора необходимо записать 1 в 30 бит регистра SPI_DMAR(W)CNTRL.

DMA как для канала чтения по AXI, так и для канала записи по AXI может работать

					ЮФКВ.431268.020РЭ			Лист
								331
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		 24.10.2019		34203-2				

в двух режимах:

- Режим кольцевого буфера (после чтения данных из последнего адреса дескриптора DMA автоматически переходит к первому адресу этого же дескриптора);
- Режим конечного буфера (после чтения данных из последнего адреса дескриптора DMA останавливает работу).

1.4.1.7.2.4.3.2.3 Особенности работы с прерываниями

При обработке прерываний (всех, кроме внешнего прерывания GSPI и прерывания от SPI ядра) для сброса сигнала прерывания достаточно прочитать регистр статуса SPI_STATUS.

Для сброса сигнала прерывания от SPI ядра необходимо записать нужное значение в регистр SPI_ICR. При этом после сброса прерывания бит 0 регистра SPI_STATUS останется в «1», для сброса данного бита необходимо считать регистр SPI_STATUS.

Внешнее прерывание GSPI транслируются напрямую от внешнего источника, сбрасывается оно также на стороне внешнего источника.

1.4.1.7.2.4.3.2.4 Программный сброс

Для выполнения программного сброса контроллера GSPI необходимо записать «1» в регистр SPI_SOFTST.

Программный сброс считается завершенным, если из данного регистра считывается нулевое значение.

1.4.1.7.2.4.3.2.5 Программное управление сигналом Slave Select

С помощью регистра SPI_SOFTSS можно программно управлять сигналом Slave Select интерфейса SPI. Значение, установленное в регистре SPI_SOFTSS, будет выставлено на шину SS.

1.4.1.7.2.4.4 Карта регистров контроллера GSPI

Карта регистров контроллера GSPI представлена в таблице 435. Доступ к резервным или неиспользуемым адресам не допускается. Попытка доступа к данным адресам может привести к непредсказуемому поведению системы.

Если не указано особо в сопровождающем тексте:

- не допускается модификация неопределенных разрядов регистра;
- при чтении зарезервированные разряды регистра необходимо игнорировать.

Условные обозначения типов доступа:

- RW Чтение и запись;
- R Только чтение;
- W Только запись.

Таблица 435 – Карта регистров контроллера GSPI

Адрес	Название	Доступ	Значение после сброса	Описание
0x00	SPI_CR0	RW	0x0	Регистр управления 0
0x04	SPI_CR1	RW	0x0	Регистр управления 1
0x08	SPI_DR	RW	0xX	Регистр данных
0x0C	SPI_SR	R	0x3	Регистр состояния
0x10	SPI_CPSR	RW	0x0	Регистр предварительного делителя частоты
0x14	SPI_IMSC	RW	0x0	Регистр установки и сброса маски прерывания

					ЮФКВ.431268.020РЭ			Лист
								332
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2				

Адрес	Название	Доступ	Значение после сброса	Описание
0x18	SPI_RIS	R	0x8	Регистр состояния прерываний без учета маскирования
0x1C	SPI_MIS	R	0x0	Регистр состояния маскированных прерываний
0x20	SPI_ICR	W	0x0	Регистр сброса прерываний
0x24	SPI_DMACR	RW	0x0	Регистр управления прямым доступом к памяти
0x28 - 0x8C	-	-	-	Резерв
0x90	SPI_DMAWSTART	RW	0x0	Регистр параметров DMA канала записи
0x94	SPI_DMAWEND	RW	0x0	Регистр параметров DMA канала записи
0x98	SPI_DMAWCNTRL	RW	0x0	Регистр параметров DMA канала записи
0x9C	SPI_DMAWCUR	R	0x0	Регистр параметров DMA канала записи
0xA0	SPI_AXIW_BRESP	R	0x0	Регистр значения BRESP канала записи AXI
0xA4	SPI_DMARSTART	RW	0x0	Регистр параметров DMA канала чтения
0xA8	SPI_DMAREND	RW	0x0	Регистр параметров DMA канала чтения
0xAC	SPI_DMARCNTL	RW	0x0	Регистр параметров DMA канала чтения
0xB0	SPI_DMARCU	R	0x0	Регистр параметров DMA канала чтения
0xB4	SPI_AXIR_BUFTYPE	RW	0x0	Регистр типа DMA-буферов, канал чтения AXI
0xB8	SPI_AXIR_BUFENA	RW	0x0	Регистр разрешения работы, канал чтения AXI
0xC0	SPI_AXIR_ERRADDR	R	0x0	Регистр адреса SLVERR
0xC4	SPI_AXI_PARAMS	RW	0x0	Регистр параметров шины AXI
0xC8	SPI_WORDOP	RW	0x0	Регистр длины слова данных SPI – 16 бит
0xCC	SPI_SOFTSS	RW	0x0	Регистр программного управления сигналом Slave Select
0xD0	SPI_SOFTRST	RW	0x0	Регистр программного сброса SPI ядра
0xD4	SPI_STATUS	R	0x0	Регистр статуса прерываний
0xD8	SPI_IRQMASKS	RW	0x0	Регистр масок прерываний
0xDC - 0xFDC	-	-	-	Резерв
0xFE0	SPI_PeriphID0	R	0x22	Регистры идентификации периферийных устройств SPI_PeriphID0-3
0xFE4	SPI_PeriphID1	R	0x10	
0xFE8	SPI_PeriphID2	R	0x24	
0xFEC	SPI_PeriphID3	R	0x00	
0xFF0	SPI_CellID0	R	0x0D	Регистры идентификации SPI ядра
0xFF4	SPI_CellID1	R	0xF0	
0xFF8	SPI_CellID2	R	0x05	
0xFFC	SPI_CellID3	R	0xB1	

					ЮФКВ.431268.020РЭ	Лист 333
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

1.4.1.7.2.4.4.1 Описание регистров контролера GSPI

1.4.1.7.2.4.4.1.1 SPI_CR0 (0x00)

Регистр управления SPI_CR0 содержит пять битовых полей, предназначенных для управления SPI ядром. Поля регистра SPI_CR0 представлены в таблице 436.

Таблица 436 – Поля регистра SPI_CR0

Поле	Биты	Описание поля
DSS	3:0	Выбор размера слова данных: 0000 Резерв, неопределенный режим функционирования 0001 Резерв, неопределенный режим функционирования 0010 Резерв, неопределенный режим функционирования 0011 4 бита 0100 5 бит 0101 6 бит 0110 7 бит 0111 8 бит 1000 9 бит 1001 10 бит 1010 11 бит 1011 12 бит 1100 13 бит 1101 14 бит 1110 15 бит 1111 16 бит
FRF	5:4	Формат сообщения: 00 Формат обмена данными SPI фирмы Motorola 01 Формат обмена данными SSI фирмы Texas Instruments 10 Формат обмена данными Microwire фирмы National Semiconductor 11 Резерв, неопределенный режим функционирования
SPO	6	Полярность сигнала SCK (используется только в режиме обмена SPI фирмы Motorola)
SPH	7	Фаза сигнала SCK (используется только в режиме обмена SPI фирмы Motorola)
SCR	15:8	Скорость последовательного обмена. Значение поля SCR используется при задании скорости передачи и приема модуля PrimeCell SSP. Скорость передачи данных удовлетворяет соотношению: $\frac{F_{SPI_CLK}}{CPSDVR \times (1 + SCR)}$ где CPSDVR – четное число в диапазоне от 2 до 254, запрограммированное через регистр SPI_CPSR, и SCR – число от 0 до 255
-	31:16	Резерв

1.4.1.7.2.4.4.1.2 SPI_CR1 (0x04)

Регистр управления SPI_CR1 содержит два битовых поля, предназначенных для управления SPI ядром. Описание полей регистра SPI_CR1 представлено в таблице 437.

Таблица 437 – Поля регистра SPI_CR1

Поле	Биты	Описание поля
LBM	0	Тестирование по шлейфу: 0 Нормальный режим работы 1 Выход регистра сдвига передатчика соединен с входом сдвигового регистра приемника

					Лист	
					334	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Поле	Биты	Описание поля
SSE	1	Активация порта синхронной последовательной связи: 0 Работа SPI ядра запрещена 1 Работа SPI ядра разрешена
-	31:2	Резерв

1.4.1.7.2.4.4.1.3 SPI_DR (0x08)

При чтении регистра SPI_DR обеспечивается доступ к данным буфера FIFO приемника.

При осуществлении записи в регистр SPI_DR производится запись данных в буфер передачи. Значения данных вычитываются из буфера передачи блоком передатчика по одному. Они загружаются в сдвиговый регистр передатчика, откуда последовательно выдаются на линию MOSI с заданной скоростью информационного обмена.

В случае если выбран размер информационного слова менее 16 бит, перед записью в буфер приема необходимо обеспечить выравнивание данных по границе поля DATA. Блок передачи игнорирует неиспользуемые биты. Принятые информационные слова размером менее 16 бит автоматически выравниваются по правой границе в буфере приемника. Описание полей регистра SPI_DR представлено в таблице 438.

Таблица 438 – Поля регистра SPI_DR

Поле	Биты	Описание поля
DATA	15:0	Доступ к данным: При чтении - буфер приема При записи - буфер передачи В случае если SPI ядро запрограммировано на размер информационного слова менее 16 бит, перед записью необходимо обеспечить выравнивание данных по правой границе. Блок передачи игнорирует неиспользуемые биты. Принятые информационные слова автоматически выравниваются по правой границе в блоке приемника
-	31:16	Резерв

1.4.1.7.2.4.4.1.4 SPI_SR (0x0C)

Регистр состояния SPI_SR доступен только для чтения и содержит информацию о состоянии буферов приема и передачи и занятости SPI ядра. Описание полей регистра SPI_SR представлено в таблице 439.

Таблица 439 – Поля регистра SPI_SR

Поле	Биты	Описание поля
TFE	0	Буфер передачи пуст, только для чтения: 0 Буфер передачи не пуст 1 Буфер передачи пуст
TNF	1	Буфер передачи не заполнен, только для чтения: 0 Буфер передачи заполнен 1 Буфер передачи не заполнен
RNE	2	Буфер приема не пуст, только для чтения: 0 Буфер приема пуст 1 Буфер приема не пуст
RFF	3	Буфер приема заполнен, только для чтения: 0 Буфер приема не заполнен 1 Буфер приема заполнен
BSY	4	Флаг занятости SPI ядра, только для чтения: 0 Модуль SSP неактивен 1 Модуль SSP в настоящее время передает и/или принимает данные, либо в буфере передачи находятся данные
-	31:5	Резерв

					ЮФКВ.431268.020РЭ		Лист 335
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.2.4.4.1.5 SPI_CPSR (0x10)

Регистр SPI_CPSR является регистром предделителя тактовой частоты и используется для задания коэффициента деления, на который должен делиться входной сигнал SPI_CLK перед дальнейшим использованием.

Программируемое в данном регистре значение должно быть целым числом в диапазоне от 2 до 254. Младший значащий разряд регистра принудительно устанавливается в ноль. Если записать в регистр SPI_CPSR нечетное число, его последующее чтение даст результатом это число, но с установленным в ноль младшим битом. Описание полей регистра SPI_CPSR представлено в таблице 440

Таблица 440 – Поля регистра SPI_CPSR

Поле	Биты	Описание поля
CPSDVSR	7:0	Коэффициент деления тактовой частоты. Записываемое значение должно быть целым числом в диапазоне от 2 до 254, в зависимости от частоты сигнала SPI_CLK. Младший значащий разряд регистра принудительно устанавливается в ноль
-	31:8	Резерв

1.4.1.7.2.4.4.1.6 SPI_IMSC (0x14)

Регистр SPI_IMSC является регистром установки и сброса маски прерывания. Данный регистр доступен для чтения и записи.

При чтении выдается текущее значение маски. При этом запись «1» в разряд разрешает соответствующее прерывание. Запись «0» производит сброс соответствующей маски.

После сброса все биты регистра маски устанавливаются в нулевое состояние. Поля регистра SPI_IMSC представлены в таблице 441.

Таблица 441 – Поля регистра SPI_IMSC

Поле	Биты	Описание поля
RORIM	0	Маска прерывания по переполнению буфера приемника: 0 – Маскирование при переполнении буфера FIFO приемника. 1 – При переполнении буфера приема маскирование не производится
RTIM	1	Маска прерывания по времени ожидания буфера FIFO приемника: 0 – Буфер приема не пуст, и не было попыток его чтения в течение времени ожидания с маскированием 1 – Буфер приема не пуст, и не было попыток его чтения в течение времени ожидания без маскирования
RXIM	2	Маска прерывания по заполнению буфера FIFO приемника: 0 – При заполнении на 50 % и менее буфера приема производится маскирование. 1 – При заполнении на 50 % и менее буфера приема маскирование не производится
TXIM	3	Маска прерывания по заполнению буфера FIFO передатчика: 0 – При заполнении на 50 % и менее буфера передачи производится маскирование. 1 – При заполнении на 50 % и менее буфера передачи маскирование отсутствует.
-	31:4	Резерв

1.4.1.7.2.4.4.1.7 SPI_RIS (0x18)

Регистр SPI_RIS содержит текущее состояние прерываний без учета маскирования. Данный регистр доступен только для чтения.

При чтении данного регистра выдается текущее исходное значение состояния соответствующего прерывания до события маскирования. Данные, записываемые в регистр, игнорируются. Поля регистра SPI_RIS представлены в таблице 442.

					Лист	
					336	
					ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Таблица 442 – Поля регистра SPI_RIS

Поле	Биты	Описание поля
RORRIS	0	Состояние до маскирования прерывания SPI_RORINTR
RTRIS	1	Состояние до маскирования прерывания SPI_RTINTR
RXRIS	2	Состояние до маскирования прерывания SPI_RXINTR
TXRIS	3	Состояние до маскирования прерывания SPI_TXINTR
-	31:4	Резерв

1.4.1.7.2.4.4.1.8 SPI_MIS (0x1C)

Регистр SPI_MIS содержит текущее состояние прерываний с учетом маскирования. Данный регистр доступен только для чтения. При чтении данного регистра выдается текущее значение маскированного состояния соответствующего прерывания. Данные, записываемые в регистр, игнорируются. Поля регистра SPI_MIS представлены в таблице 443.

Таблица 443 – Поля регистра SPI_MIS

Поле	Биты	Описание поля
RORMIS	0	Состояние после маскирования прерывания SPI_RORINTR
RTMIS	1	Состояние после маскирования прерывания SPI_RTINTR
RXMIS	2	Состояние после маскирования прерывания SPI_RXINTR
TXMIS	3	Состояние после маскирования прерывания SPI_TXINTR
-	31:4	Резерв

1.4.1.7.2.4.4.1.9 SPI_ICR (0x20)

Регистр SPI_ICR является регистром сброса прерываний и доступен только для записи. Сброс признака прерывания по заданному событию производится путем записи «1» в соответствующий бит. Запись в любой из разрядов регистра «0» игнорируется. Поля регистра SPI_ICR представлены в таблице 444.

Таблица 444 – Поля регистра SPI_ICR

Поле	Биты	Описание поля
RORIC	0	Сброс прерывания SPI_RORINTR
RTIC	1	Сброс прерывания SPI_RTINTR
-	31:2	Резерв

1.4.1.7.2.4.4.1.10 SPI_DMACR (0x24)

Регистр SPI_DMACR является регистром управления прямым доступом к памяти. Данный регистр доступен для чтения и записи.

После сброса все биты регистра обнуляются. Поля регистра SPI_DMACR представлены в таблице 445.

Таблица 445 – Поля регистра SPI_DMACR

Поле	Биты	Описание поля
RXDMAE	0	Использование ПДП при приеме. Если бит установлен в «1», разрешено формирование запросов ПДП для обслуживания буфера FIFO приемника
TXDMAE	1	Использование ПДП при передаче. Если бит установлен в «1», разрешено формирование запросов ПДП для обслуживания буфера FIFO передатчика
-	31:2	Резерв

					ЮФКВ.431268.020РЭ		Лист
							337
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.2.4.4.1.11 SPI_DMAWSTART (0x90)

Регистр начального адреса буфера DMA. Поля регистра SPI_DMAWSTART представлены в таблице 446.

Таблица 446 – Поля регистра SPI_DMAWSTART

Поле	Биты	Описание поля
DMAWSTART	31:0	Начальный адрес буфера DMA

1.4.1.7.2.4.4.1.12 SPI_DMAWEND (0x94)

Регистр конечного адреса буфера DMA. Поля регистра SPI_DMAWEND представлены в таблице 447.

Таблица 447 – Поля регистра SPI_DMAWEND

Поле	Биты	Описание поля
DMAWEND	31:0	Конечный адрес буфера DMA

1.4.1.7.2.4.4.1.13 SPI_DMAWCNTRL (0x98)

Регистр параметров DMA канала записи. Поля регистра SPI_DMAWCNTRL представлены в таблице 448.

Таблица 448 – Поля регистра SPI_DMAWCNTRL

Поле	Биты	Описание поля
ALW0	4:0	Всегда устанавливать в «0»
ALW1	28:5	Всегда устанавливать в «FFFFFF»
-	29	Резерв
READ_DESC	30	Чтение дескриптора DMA буфера
WRITE_DESC	31	Запись дескриптора DMA буфера

1.4.1.7.2.4.4.1.14 SPI_DMAWCUR (0x9C)

Регистр текущего адреса буфера DMA. Поля регистра SPI_DMAWCUR представлены в таблице 449.

Таблица 449 – Поля регистра SPI_DMAWCUR

Поле	Биты	Описание поля
DMACUR	31:0	Текущий адрес буфера DMA

1.4.1.7.2.4.4.1.15 SPI_AXIW_BRESP (0xA0)

Регистр ответа канала записи AXI. Поля регистра SPI_AXIW_BRESP представлены в таблице 450.

Таблица 450 – Поля регистра SPI_AXIW_BRESP

Поле	Биты	Описание поля
AXIW_BRESP	1:0	Значение BRESP при ошибке на шине AXI - канал записи
-	31:2	Резерв

1.4.1.7.2.4.4.1.16 SPI_DMARSTART (0xA4)

Регистр начального адреса буфера DMA. Поля регистра SPI_DMARSTART представлены в таблице 451.

Таблица 451 – Поля регистра SPI_DMARSTART

Поле	Биты	Описание поля
DMARSTART	31:0	Начальный адрес буфера DMA

					ЮФКВ.431268.020РЭ		Лист 338
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redchell</i> 24.10.2019		34203-2			

1.4.1.7.2.4.4.1.17 SPI_DMAREND (0xA8)

Регистр конечного адреса буфера DMA. Поля регистра SPI_DMAREND представлены в таблице 452.

Таблица 452 – Поля регистра SPI_DMAREND

Поле	Биты	Описание поля
DMAREND	31:0	Конечный адрес буфера DMA

1.4.1.7.2.4.4.1.18 SPI_DMARCNTL (0xAC)

Регистр параметров DMA канала чтения. Поля регистра SPI_DMARCNTL представлены в таблице 453.

Таблица 453 – Поля регистра SPI_DMARCNTL

Поле	Биты	Описание поля
ALW0	4:0	Всегда устанавливать в «0»
ALW1	28:5	Всегда устанавливать в «FFFFFF»
-	29	Резерв
READ_DESC	30	Чтение дескриптора DMA буфера
WRITE_DESC	31	Запись дескриптора DMA буфера

1.4.1.7.2.4.4.1.19 SPI_DMARCUR (0xB0)

Регистр текущего адреса буфера DMA. Поля регистра SPI_DMARCUR представлены в таблице 454.

Таблица 454 – Поля регистра SPI_DMARCUR

Поле	Биты	Описание поля
DMACUR	31:0	Текущий адрес буфера DMA

1.4.1.7.2.4.4.1.20 SPI_AXIR_BUFTYPE (0xB4)

Регистр типа DMA-буферов канала чтения AXI. Поля регистра SPI_AXIR_BUFTYPE представлены в таблице 455.

Таблица 455 – Поля регистра SPI_AXIR_BUFTYPE

Поле	Биты	Описание поля
BUFTYPE	0	Бит установки типа DMA-буфера, канал 0 0 - кольцевой буфер 1 - конечный буфер (основной режим)
-	31:1	Резерв

1.4.1.7.2.4.4.1.21 SPI_AXIR_BUFENA (0xB8)

Регистр разрешения работы канала чтения AXI. Поля регистра SPI_AXIR_BUFENA представлены в таблице 456.

Таблица 456 – Поля регистра SPI_AXIR_BUFENA

Поле	Биты	Описание поля
BUFENA		Бит разрешения работы – начало чтения данных по AXI. Если данный бит установлен в состояние 1, то канал становится активным и инициирует считывание данных из системной памяти. Если данный бит установлен в состояние 0, то канал неактивен и считывание данных из системной памяти не выполняется. Данный бит автоматически переходит из состояния 1 в состояние 0 в том случае, если DMA-буфер является конечным и достигнут его конец
-	31:1	Резерв

					ЮФКВ.431268.020РЭ		Лист 339
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.2.4.4.1.22 SPI_AXIR_ERRADDR (0xC0)

Регистр адреса ошибки AXI. Поля регистра SPI_AXIR_ERRADDR представлены в таблице 457.

Таблица 457 – Поля регистра SPI_AXIR_ERRADDR

Поле	Биты	Описание поля
ERRADDR	31:0	Адрес в памяти, при выполнении по которому AXI-транзакции чтения возникла ошибка – был получен ответ SLVERR согласно спецификации AXI

1.4.1.7.2.4.4.1.23 SPI_AXI_PARAMS (0xC4)

Поля регистра SPI_AXI_PARAMS представлены в таблице 458.

Таблица 458 – Поля регистра SPI_AXI_PARAMS

Поле	Биты	Описание поля
AWLEN	3:0	AWLEN – количество слов данных в посылке AXI, канал записи AXI
ENDIANW	4	Порядок байт в 32-разрядном слове данных, канал записи AXI: 0 – LSB, 1 – MSB
ARLEN	8:5	ARLEN – количество слов данных в посылке AXI, канал чтения AXI
ENDIANR	9	Порядок байт в 32-разрядном слове данных, канал чтения AXI: 0 – LSB, 1 – MSB
-	31:10	Резерв

1.4.1.7.2.4.4.1.24 SPI_WORDOP (0xC8)

Регистр длины слова данных SPI. Поля регистра SPI_WORDOP представлены в таблице 459.

Таблица 459 – Поля регистра SPI_WORDOP

Поле	Биты	Описание поля
LENGTH	0	Длина слова данных SPI: 0 – 8 бит, 1 – 16 бит
-	31:1	Резерв

1.4.1.7.2.4.4.1.25 SPI_SOFTSS (0xCC)

Регистр программного управления сигналом SS SPI. Поля регистра SPI_SOFTSS представлены в таблице 460.

Таблица 460 – Поля регистра SPI_SOFTSS

Поле	Биты	Описание поля
SOFTSS	0	Программное управление сигналом SS: 0 – сигналом активен (в «0»), 1 – сигналом неактивен (в «1»)
SOFTSS_EN	1	Программное управление сигналом SS: 0 – сигналом управляет SPI ядро, 1 – сигналом управляет бит [0] данного регистра
-	31:2	Резерв

1.4.1.7.2.4.4.1.26 SPI_SOFTRST (0xD0)

Программный сброс SPI ядра. Поля регистра SPI_SOFTRST представлены в таблице 461.

Таблица 461 – Поля регистра SPI_SOFTRST

Поле	Биты	Описание поля
SOFTRST	0	Программный сброс блока: 1 – сброс активен
-	31:1	Резерв

					ЮФКВ.431268.020РЭ		Лист
							340
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.2.4.4.1.27 SPI_STATUS (0xD4)

Поля регистра SPI_STATUS представлены в таблице 462.

Таблица 462 – Поля регистра SPI_STATUS

Поле	Биты	Описание поля
SPI_IRQ	0	Прерывание от SPI ядра
GSPI_IRQ	1	Внешнее прерывание GSPI
BUFFENDW	2	Прерывание по концу DMA буфера канала записи AXI
BUFFENDR	3	Прерывание по концу DMA буфера канала чтения AXI
AXI_ERR_R	4	Прерывание по ошибке на шине AXI, канал чтения
AXI_ERR_W	5	Прерывание по ошибке на шине AXI, канал записи
BUFFFULL	6	Прерывание по переполнению буфера канала записи AXI
BUFEMPTY	7	Индикация пустоты буфера канала записи AXI
-	31:8	Резерв

1.4.1.7.2.4.4.1.28 SPI_IRQMASKS (0xD8)

Регистр масок прерываний (0 – прерывание замаскировано). Поля регистра SPI_IRQMASKS представлены в таблице 463.

Таблица 463 – Поля регистра SPI_IRQMASKS

Поле	Биты	Описание поля
SPI_IRQ_MASK	0	Маска прерывания от контроллера ARM SSP
GSPI_IRQ_MASK	1	Маска внешнего прерывания GSPI
BUFFENDW_MASK	2	Маска прерывания по концу DMA буфера канала записи AXI
BUFFENDR_MASK	3	Маска прерывания по концу DMA буфера канала чтения AXI
AXI_ERR_R_MASK	4	Маска прерывания по ошибке на шине AXI, канал чтения
AXI_ERR_W_MASK	5	Маска прерывания по ошибке на шине AXI, канал записи
BUFFFULL_MASK	6	Маска прерывания по переполнению буфера канала записи AXI
-	31:7	Резерв

1.4.1.7.2.4.4.1.29 SPI_PeriphID0-3 (0xFE0, 0xFE4, 0xFE8, 0xFEC)

Регистры SPI_PeriphID0-3 – это четыре восьмибитовых регистра, охватывающие адреса от 0xFE0 до 0xFEC. Регистры, в принципе, могут рассматриваться как один 32-битный регистр. Регистры, доступные только для чтения, предоставляют следующие опции для периферийного устройства:

PartNumber[11:0] (Серийный номер устройства)

Используется для идентификации периферийного устройства. Используется трехразрядный код устройства 0x022.

Designer ID[19:12] (Идентификатор разработчика)

Идентификатор разработчика. Идентификатором компании является «0x41, ASCII A».

Revision[23:20] (Версия)

Номер версии периферийного устройства. Номер начинается с «0» и зависит от версии.

Configuration[31:24] (Конфигурация)

Конфигурация периферийного устройства. Значением конфигурации является «0».

Поля регистра идентификации периферийных устройств представлены на Рисунок 81.

					ЮФКВ.431268.020РЭ		Лист
							341
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

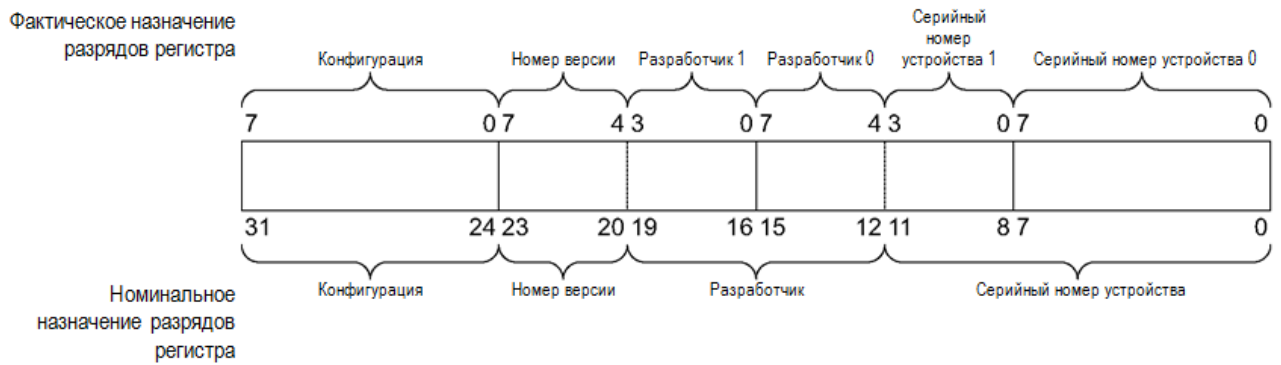


Рисунок 81 – Поля регистра идентификации периферийных устройств

Регистр SPI_PeriphID0 (0xFE0)

В регистр SPI_PeriphID0 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_PeriphID0 представлены в таблице 464.

Таблица 464 – Поля регистра SPI_PeriphID0

Поле	Биты	Описание поля
PartNumber0	7:0	Результатом повторного считывания данных битов будет «0x22»
-	31:8	Резерв

Регистр SPI_PeriphID1 (0xFE4)

В регистр SPI_PeriphID1 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_PeriphID1 представлены в таблице 465.

Таблица 465 – Поля регистра SPI_PeriphID1

Поле	Биты	Описание поля
PartNumber1	3:0	Результатом повторного считывания данных битов будет «0x0»
Designer0	7:4	Результатом повторного считывания данных битов будет «0x1»
-	31:8	Резерв

Регистр SPI_PeriphID2 (0xFE8)

В регистр SPI_PeriphID2 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_PeriphID2 представлены в таблице 466.

Таблица 466 – Поля регистра SPI_PeriphID2

Поле	Биты	Описание поля
Designer1	3:0	Результатом повторного считывания данных битов будет «0x4»
Revision	7:4	Данные биты возвращают номер версии периферийного устройства [3:0]
-	31:8	Резерв

Регистр SPI_PeriphID3 (0xFEC)

В регистр SPI_PeriphID3 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_PeriphID3 представлены в таблице 467.

Таблица 467 – Поля регистра SPI_PeriphID3

Поле	Биты	Описание поля
Configuration	7:0	Результатом повторного считывания данных битов будет «0x00»

					Лист
					342
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redchell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Поле	Биты	Описание поля
-	31:8	Резерв

1.4.1.7.2.4.4.1.30 SPI_CellID0-3 (0xFF0, 0xFF4, 0xFF8, 0xFFC)

Регистры SPI_CellID0-3 – это четыре восьмибитовых регистра, охватывающие адреса от 0xFF0 до 0xFFC. Регистры, в принципе, могут рассматриваться как один 32-битный регистр. Данный регистр используется в качестве стандартной системы идентификации периферийных устройств. Установленным значением регистра SPI_CellID является «0xB105F00D». Поля регистра идентификации представлены на рисунке 82.

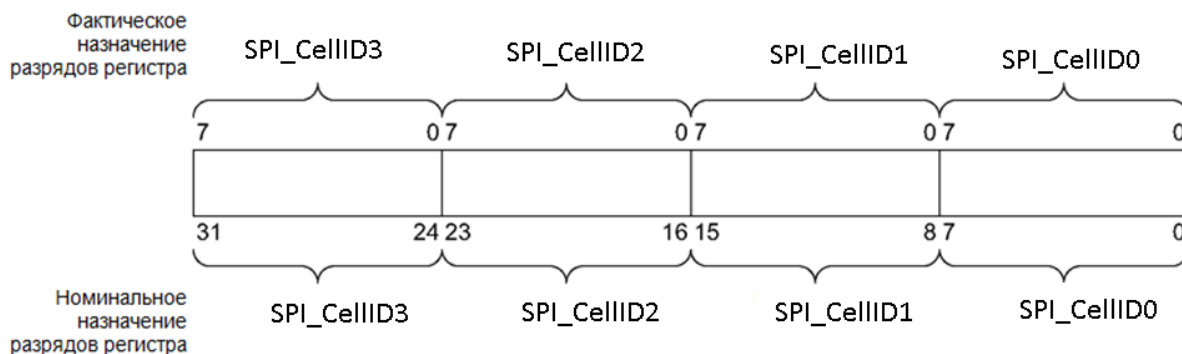


Рисунок 82 – Поля регистра идентификации

Регистр SPI_CellID0 (0xFF0)

В регистр SPI_CellID0 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_CellID0 представлены в таблице 468.

Таблица 468 – Поля регистра SPI_CellID0

Поле	Биты	Описание поля
SPI_CellID0	7:0	Результатом повторного считывания данных битов будет «0x0D»
-	31:8	Резерв

Регистр SPI_CellID1 (0xFF4)

В регистр SPI_CellID1 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_CellID1 представлены в таблице 469.

Таблица 469 – Поля регистра SPI_CellID1

Поле	Биты	Описание поля
SPI_CellID1	7:0	Результатом повторного считывания данных битов будет «0xF0»
-	31:8	Резерв

Регистр SPI_CellID2 (0xFF8)

В регистр SPI_CellID2 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_CellID2 представлены в таблице 470.

Таблица 470 – Поля регистра SPI_CellID2

Поле	Биты	Описание поля
SPI_CellID2	7:0	Результатом повторного считывания данных битов будет «0x05»
-	31:8	Резерв

					ЮФКВ.431268.020РЭ		Лист
							343
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Регистр SPI_CellID3 (0xFFC)

В регистр SPI_CellID3 записано фиксированное значение, и значения полей регистра определяют параметр сброса. Поля регистра SPI_CellID3 представлены в таблице 471.

Таблица 471 – Поля регистра SPI_CellID3

Поле	Биты	Описание поля
SPI_CellID3	7:0	Результатом повторного считывания данных битов будет «0xB1»
-	31:8	Резерв

1.4.1.7.2.5 Контроллер SDIO

1.4.1.7.2.5.1 Общее описание контроллера SDIO

Контроллер интерфейса SDIO реализует хост-интерфейс стандарта SD/SDHC/SDIO 2.0 и позволяет взаимодействовать с запоминающими устройствами, поддерживающими интерфейс стандарта SD/SDHC 2.0 и устройствами ввода-вывода, поддерживающими интерфейс стандарта SDIO 2.0.

Ниже перечислены основные функции и особенности контроллера SDIO:

- Полная поддержка спецификации SDIO 2.0 и спецификации SDHC2.0 (без CPRM);
- Встроенный контроллер ПДП;
- Поддержка шины данных шириной 4 бита с возможностью работать в режиме 1-битной шины;
- Поддержка блоков данных размером до 512 байт;
- Поддержка команд чтения и записи нескольких блоков данных;
- Полный список поддерживаемых команд: CMD0, CMD2, CMD3, CMD4, CMD5, CMD6, CMD7, CMD8, CMD9, CMD10, CMD12, CMD13, CMD15, CMD16, CMD17, CMD18, CMD24, CMD25, CMD27, CMD28, CMD29, CMD30, CMD32, CMD33, CMD38, CMD42, CMD52, CMD53, CMD55, CMD56, ACMD6, ACMD13, ACMD22, ACMD23, ACMD41, ACMD42, ACMD51.

1.4.1.7.2.5.2 Структурная схема контроллера SDIO

Структура контроллера SDIO показана на рисунке 83.

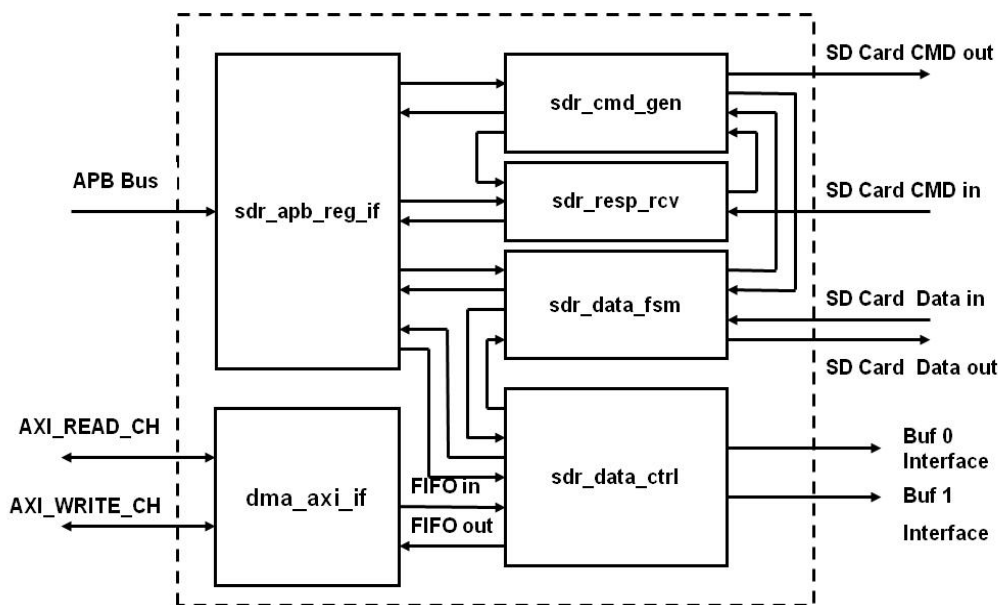


Рисунок 83 – Структура контроллера SDIO

					ЮФКВ.431268.020РЭ	Лист 344
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

1.4.1.7.2.5.3 Принципы функционирования контроллера SDIO

В данном разделе описаны алгоритмы работы с регистрами контроллера SDIO как в режиме взаимодействия с SD картой памяти, так и в режиме взаимодействия с устройством ввода-вывода SDIO

1.4.1.7.2.5.3.1 Алгоритм инициализации карты SD

SD хост-контроллер в начале работы должен проинициализировать SD карту в соответствии со спецификацией SD Card. Для этого необходимо настроить регистры блока контроллера SDIO так, как это показано на рисунке 84. Перед началом инициализации карты в контроллере SDIO необходимо включить обработку ошибок, установив в 1 биты EN_CMD_TO, EN_CMD_CRC, EN_CMD_EB, EN_CMD_IDX, EN_DAT_CRC, и EN_DAT_EB регистра SDR_Error_Enable_REG (смещение адреса = 0x14).

Для того, чтобы послать команду SD карте, необходимо записать аргумент команды в регистр SDR_COMD_ARGUMENT_REG (смещение адреса 0x08), а затем другие атрибуты команды в регистр SDR_CTRL_REG (смещение адреса 0x04).

Например, для того, чтобы послать команду CMD8, необходимо сначала записать в регистр аргумента SDR_COMD_ARGUMENT_REG (смещение адреса 0x08) значение 0x000001aa (биты [7:0]=10101010b – это стандартная проверочная последовательность, а биты [11:8]=0001b сигнализируют о том, что карта способна работать при поданном на нее напряжении от 2,7 до 3,6 В). Затем необходимо записать в регистр SDR_CTRL_REG (смещение адреса 0x04) значение 0x00083811 (где биты [21:16]=001000b - это индекс команды 8), и данная запись в регистр инициирует посылку команды карте SD.

									Лист
									345
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redhall</i> 24.10.2019			34203-2					

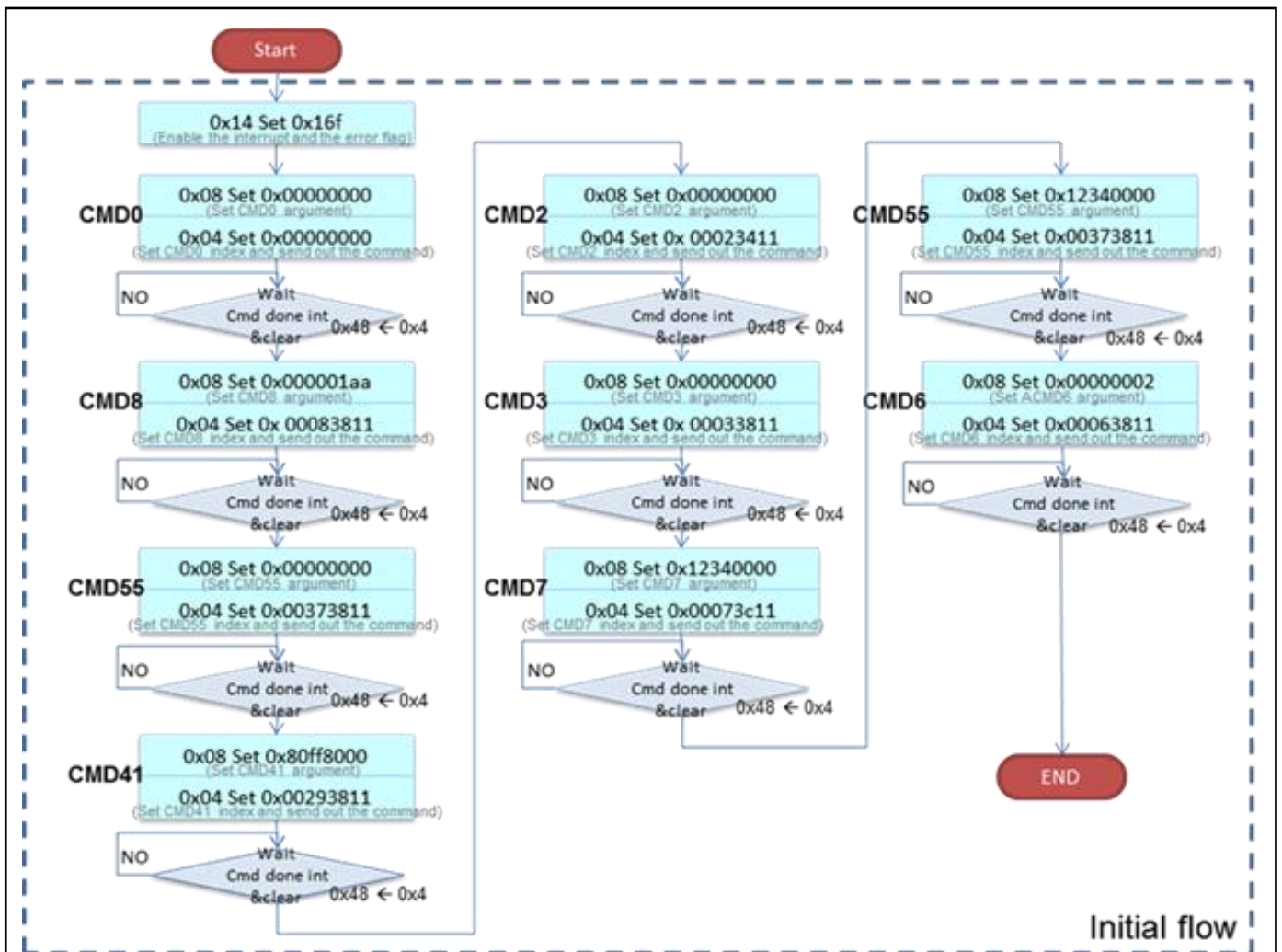


Рисунок 84 – Настройка регистров контроллера SDIO

1.4.1.7.2.5.3.2 Алгоритм чтения из карты SD одного блока данных

На рисунке 85 показана схема поочередной работы буферов данных. На данном рисунке в состоянии 1 оба буфера пусты и в буфер 0 начинают поступать считанные данные из SD карты. В состоянии 2 буфер 0 полон и считанные данные из SD карты начинают поступать в буфер 1, одновременно с этим данные из буфера 0 пересылаются через интерфейс AXI в системную память. После опустошения буфера 0 и заполнения буфера 1 буфера меняются местами – в буфер 0 снова записываются считанные данные из SD карты, а данные из буфера 1 пересылаются через интерфейс AXI в системную память. Так происходит до получения последней порции данных, которая записывается из буфера 1 через интерфейс AXI в системную память (состояние 3).

									Лист
									346
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

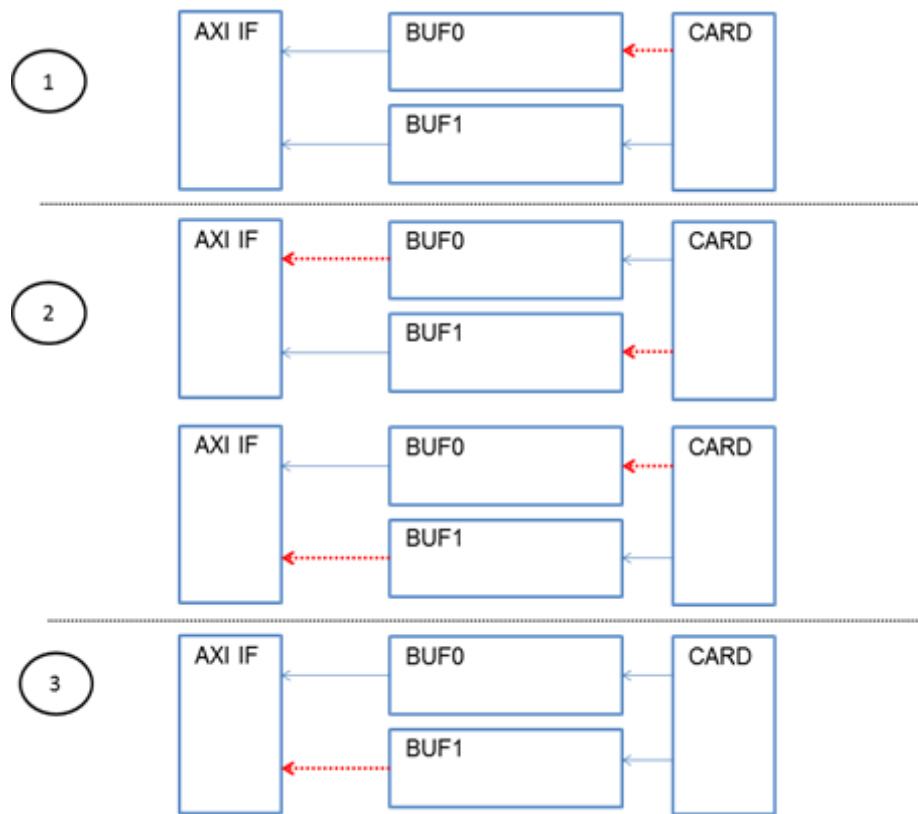


Рисунок 85 – Схема поочередной работы буферов данных

На рисунке 86 представлена последовательность программирования регистров блока контроллера SDIO для чтения одного или нескольких одиночных блоков данных из карты SD. При послыке первой команды чтения одного блока данных CMD17 буфера данных пусты и в буфер 0 будут считаны данные из карты SD. При послыке последующих команд CMD17 необходимо чередовать работы буферов 0 и 1 так, как это было показано на рисунке 86 (данные из SD карты считываются в один из буферов одновременно с отправкой данных по интерфейсу AXI в системную память из другого). Регистры, которые в соответствии с алгоритмом на рисунке 86 необходимо программировать одновременно, можно программировать последовательно (например, в таком порядке: 0x0C, 0x00, 0x08, 0x04, 0x50, 0x44, 0x40 и последним 0x38).

									Лист
									347
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
34203-3	<i>Redhall</i> 24.10.2019			34203-2					

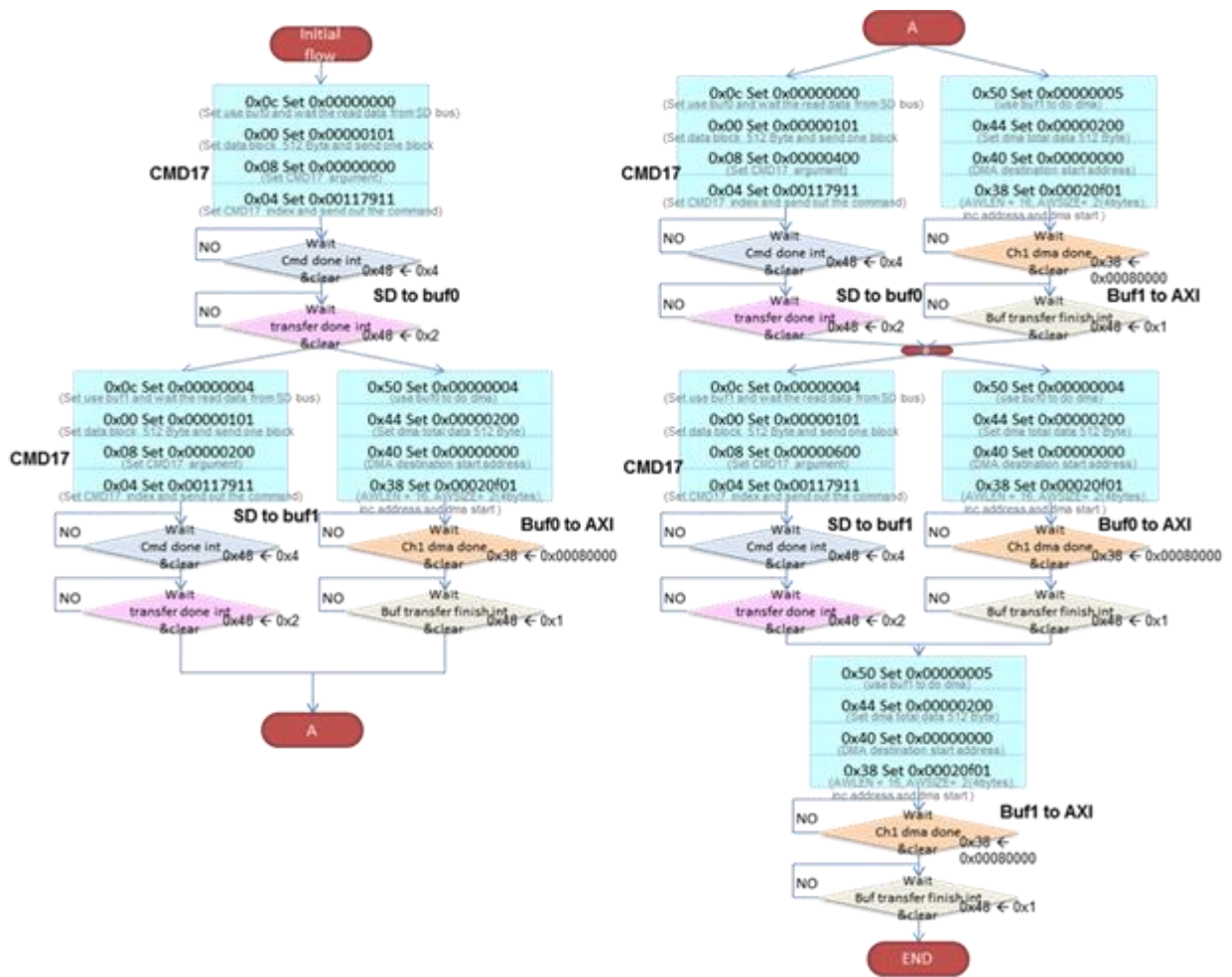


Рисунок 86 – Последовательность программирования регистров блока контроллера SDIO для чтения одного или нескольких одиночных блоков данных их карты SD

1.4.1.7.2.5.3.3 Алгоритм записи в SD карту одного блока данных

На рисунке 87 показана схема поочередной работы буферов данных. На данном рисунке в состоянии 1 оба буфера пусты и в буфер 0 начинают поступать считанные данные из системной памяти через интерфейс AXI. В состоянии 2 буфер 0 полон и считанные из системной памяти данные начинают передаваться в SD карту, одновременно с этим данные из системной памяти через интерфейс AXI записываются в буфера 1. После опустошения буфера 0 и заполнения буфера 1 буфера меняются местами – в буфер 0 снова записываются считанные данные из системной памяти, а данные из буфера 1 передаются в SD карту. Так происходит до отправки последней порции данных, которая записывается из буфера 1 в SD карту (состояние 3).

					Лист
					348
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	

ЮФКВ.431268.020РЭ

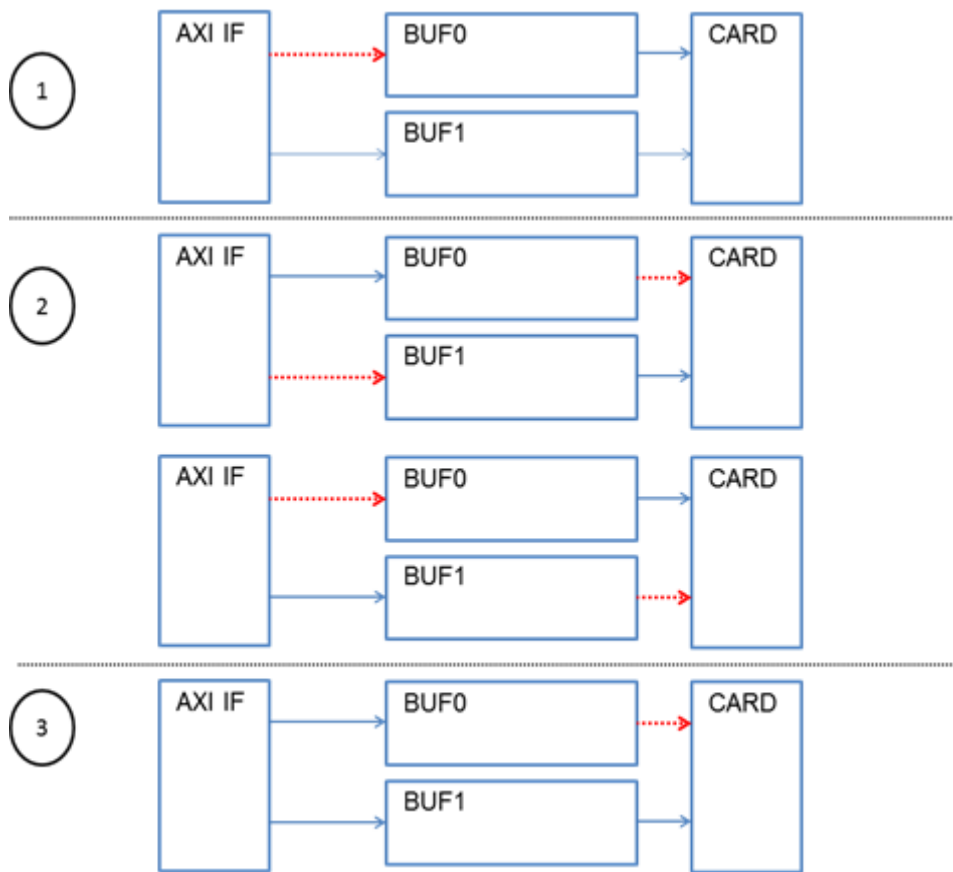


Рисунок 87 – Схема поочередной работы буферов данных

На рисунке 88 представлена последовательность программирования регистров блока контроллера SDIO для записи одного или нескольких одиночных блоков данных в карту SD с использованием буферов данных 0 и 1.

									Лист
									349
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

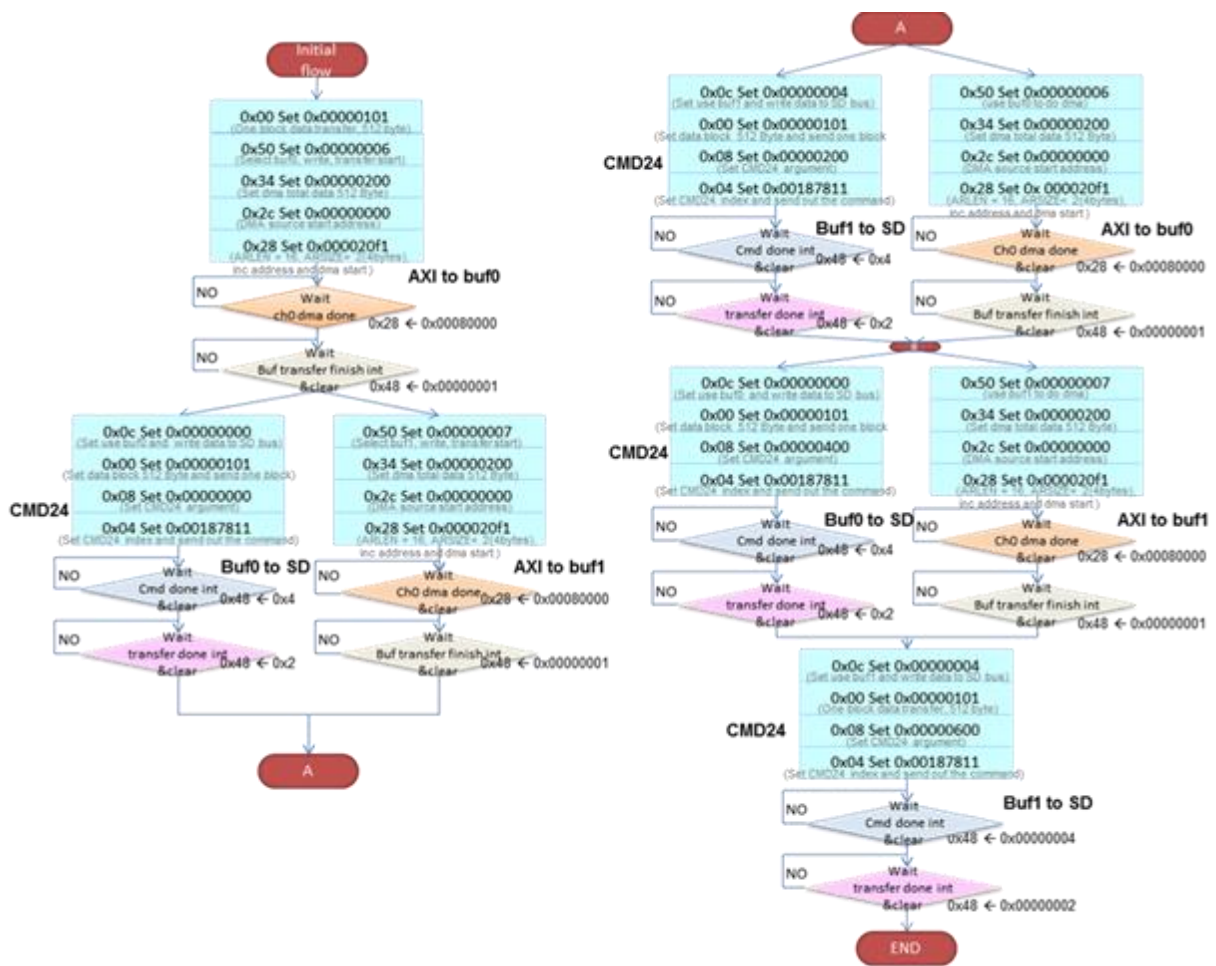


Рисунок 88 – Последовательность программирования регистров блока контроллера SDIO для записи одного или нескольких одиночных блоков данных в карту SD

1.4.1.7.2.5.3.4 Алгоритм чтения из SD карты нескольких блоков данных одной командой

Чтение нескольких блоков данных из SD карты может быть реализовано одной командой CMD18. Блоки данных будут последовательно считываться из карты до поступления команды STOP_TRANSMISSION (CMD12). Передача данных прекратится сразу после передачи последнего бита команды CMD12. Контроллер автоматически пошлет команду CMD12 после считывания требуемого количества данных. Например, для считывания восьми блоков данных драйверу необходимо дождаться поступления семи прерываний о завершении копирования данных в буфер (data_bound_int) и одного прерывания о завершении передачи (tran_done) после копирования последнего блока данных. Для установки прерывания о завершении копирования данных в буфер необходимо записать 0x8 в регистр SDR_BUF_TRAN_RESP_REG (смещение адреса 0x48). Для установки прерывания о завершении передачи необходимо записать 0x2 в регистр SDR_BUF_TRAN_RESP_REG (смещение адреса 0x48). На рисунке 89 представлена последовательность программирования регистров блока контроллера SDIO для чтения из SD карты нескольких блоков данных одной командой.

					ЮФКВ.431268.020PЭ	Лист 350
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

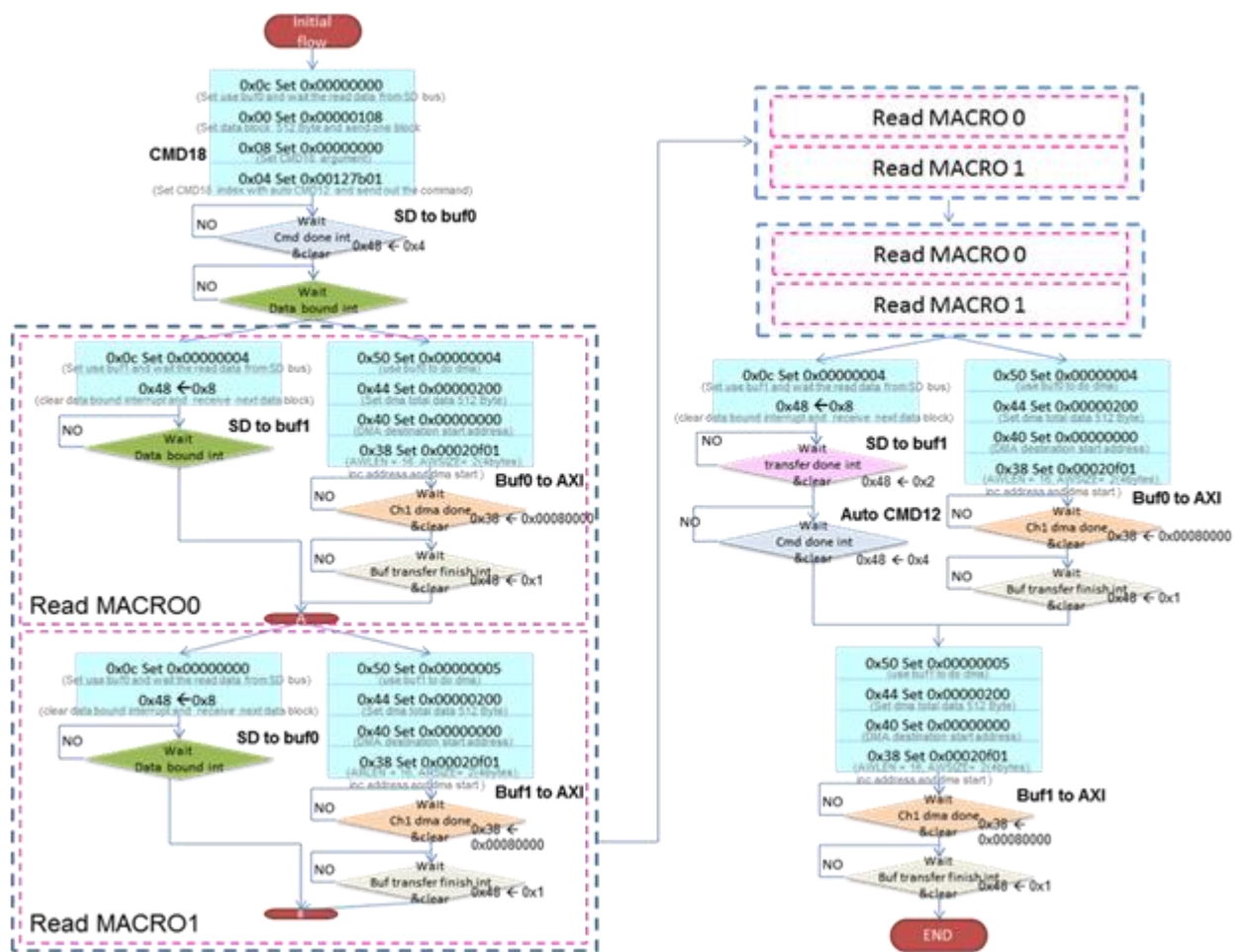


Рисунок 89 – Последовательность программирования регистров блока контроллера SDIO для чтения из SD карты нескольких блоков данных одной командой

1.4.1.7.2.5.3.5 Алгоритм записи в SD карту нескольких блоков данных одной командой

Запись нескольких блоков данных в SD карту может быть реализовано одной командой CMD25. Передача данных прекратится сразу после передачи последнего бита команды CMD12. Контроллер автоматически пошлет команду CMD12 после записи требуемого количества данных. Программному обеспечению драйвера также необходимо следить за количеством переданных данных, чтобы корректно обрабатывать прерывания о завершении копирования данных в буфер и о завершении передачи данных. На рисунке 90 представлена последовательность программирования регистров блока контроллера SDIO для записи в SD карту нескольких блоков данных одной командой.

					Лист
					351
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

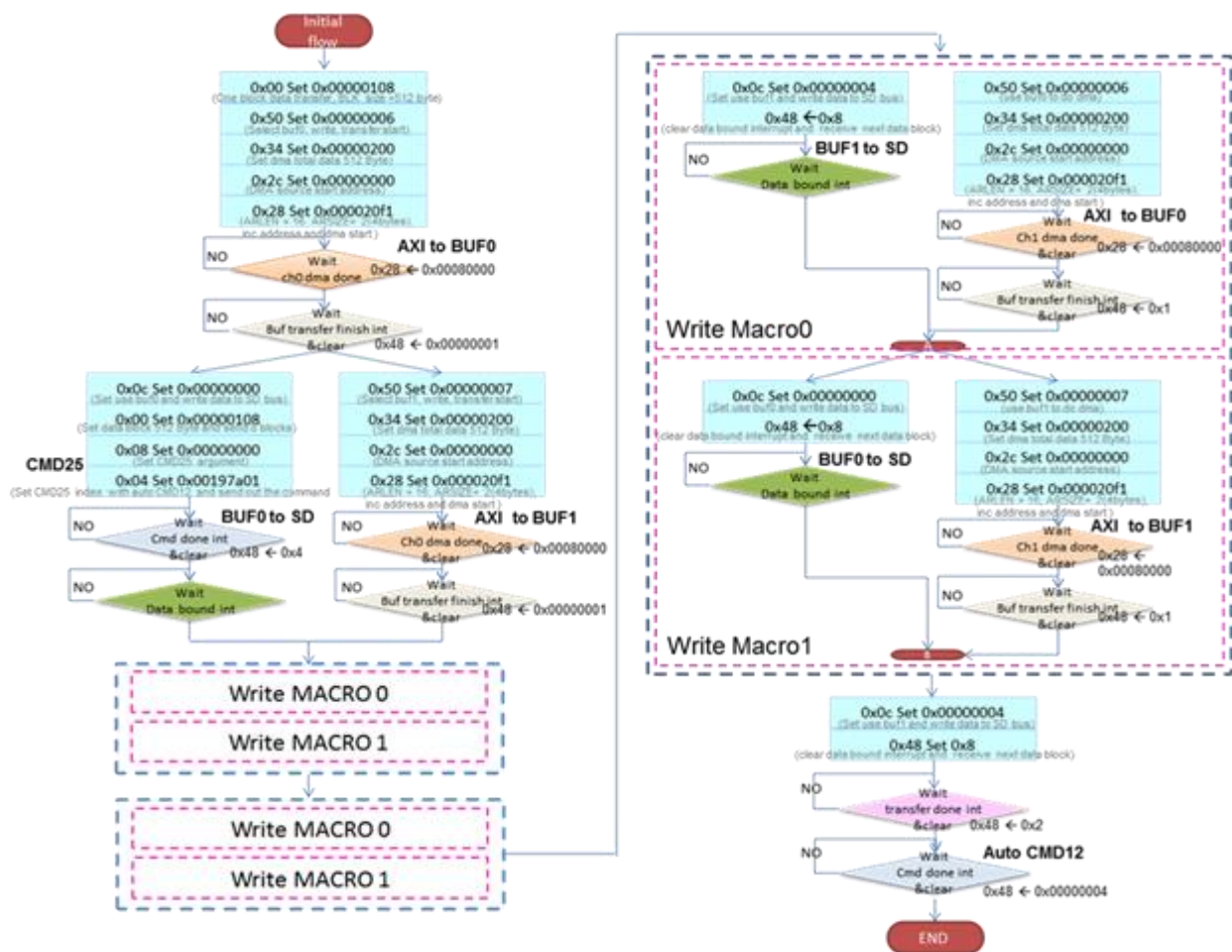


Рисунок 90 – Последовательность программирования регистров блока контроллера SDIO для записи в SD карту нескольких блоков данных одной командой

1.4.1.7.2.5.3.6 Алгоритм инициализации устройства SDIO

Алгоритм инициализации устройства SDIO отличается от алгоритма инициализации SD карты. В соответствии с требованиями стандарта SDIO подключение устройства SDIO к контроллеру, который не может работать с SDIO устройствами (только с SD картами), не должно приводить к отказу контроллера. Для этого были внесены изменения в процесс идентификации карты. Вместо команды ACMD41 для SDIO устройств была введена новая команда (IO_SEND_OP_COND, CMD5). После подачи питания или сброса все функции ввода-вывода у SDIO устройства должны быть отключены, и часть устройства, которая отвечает за операции ввода-вывода, должна бездействовать, за исключением ответа на команды CMD5 и CMD0 (бит CS должен быть в состоянии 0). На рисунке 91 представлена последовательность программирования регистров блока контроллера SDIO для инициализации устройства SDIO.

					ЮФКВ.431268.020РЭ	Лист 352
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

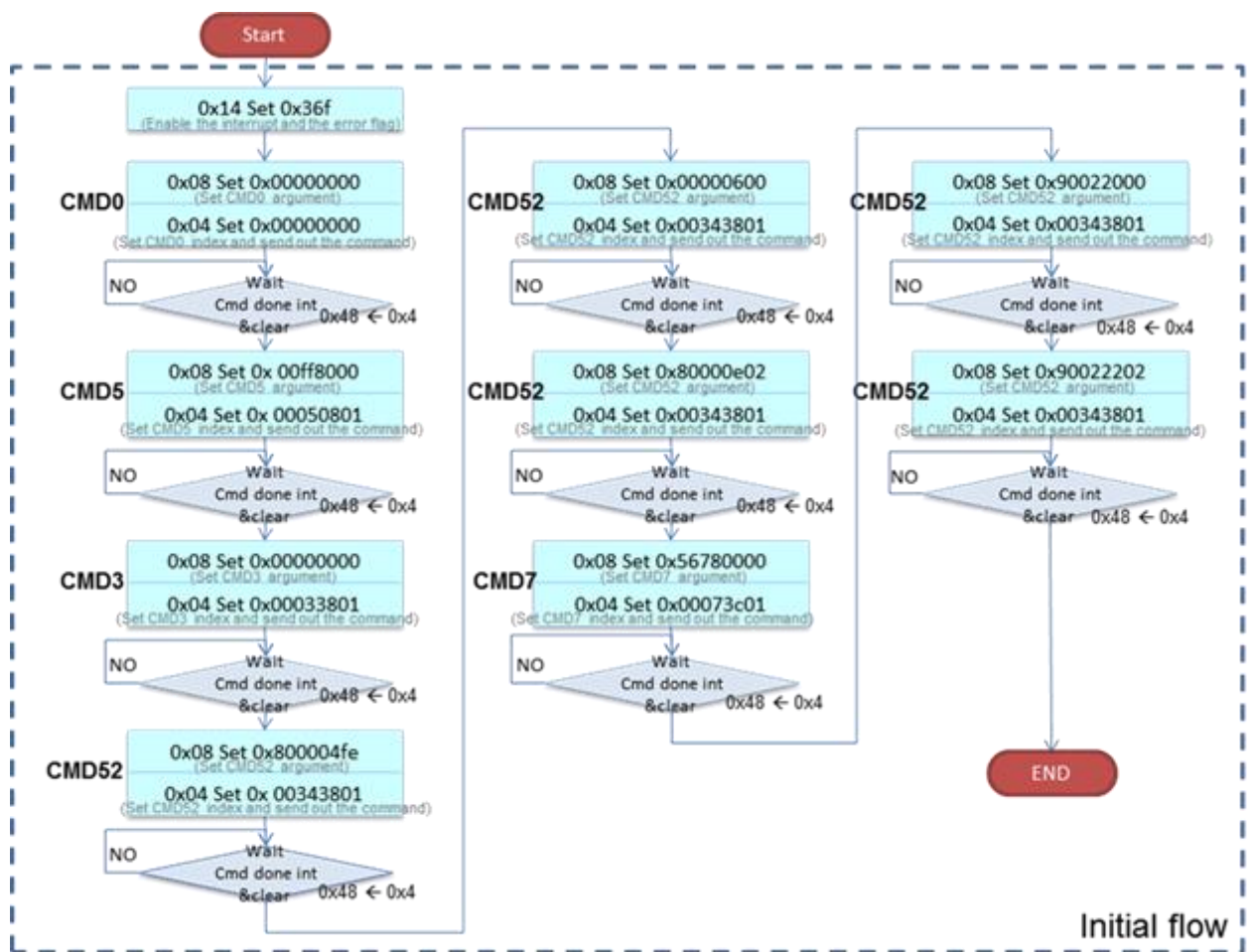


Рисунок 91 – Последовательность программирования регистров блока контроллера SDIO для инициализации устройства SDIO

1.4.1.7.2.5.3.7 Обмен одиночными блоками данных с SDIO устройством (IO_RW_EXTENDED)

С помощью команды CMD53 можно обмениваться одиночными блоками данных с SDIO устройством. На рисунке 92 и рисунке 93 представлена последовательность программирования регистров блока контроллера SDIO соответственно для чтения и записи одиночных блоков данных.

									Лист
									353
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

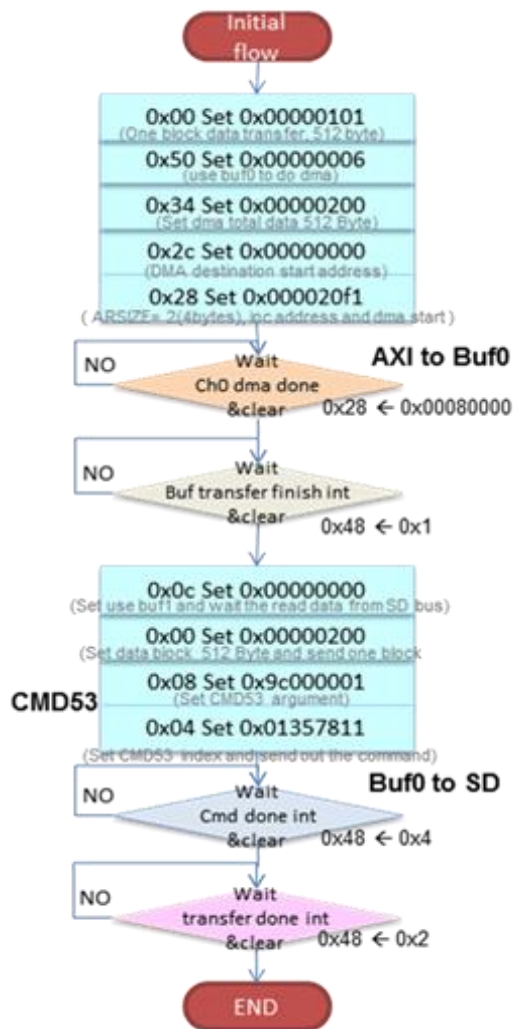


Рисунок 92 – Последовательность программирования регистров блока контроллера SDIO для чтения одиночных блоков данных

									Лист
									354
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

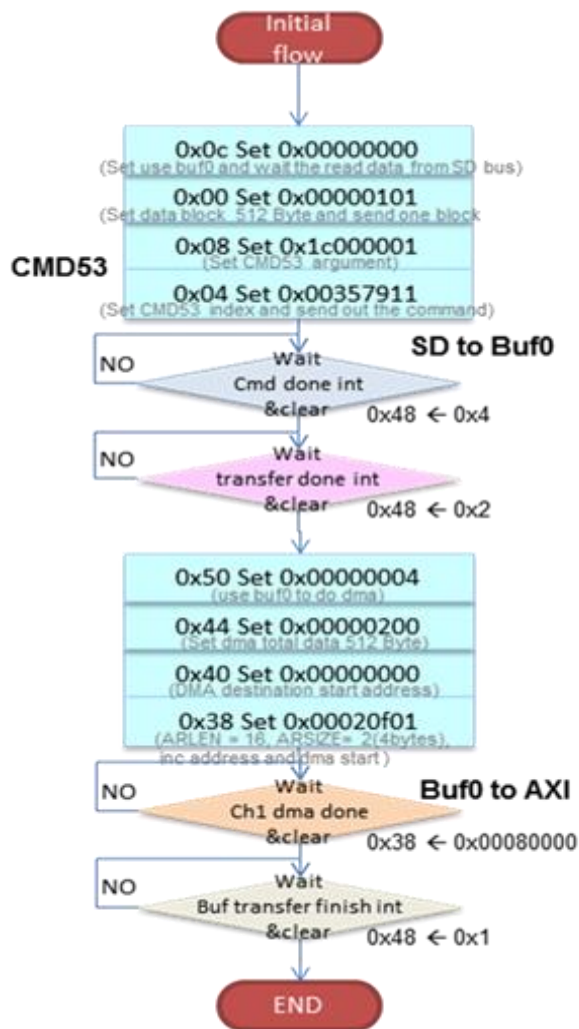


Рисунок 93 – Последовательность программирования регистров блока контроллера SDIO для записи одиночных блоков данных

На рисунках 94 и 95 представлена последовательность программирования регистров BUF_TRAN_CTRL_REG, DCDTR, DCSSAR, DCCR блока контроллера SDIO соответственно для чтения и записи нескольких одиночных блоков данных подряд. При этом поочередно, по мере заполнения, используются буфера данных 0 и 1. Данные будут выписаны на устройства SD всякий раз, когда буфер становится полным.

					ЮФКВ.431268.020РЭ			Лист
								355
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redchell</i> 24.10.2019		34203-2				

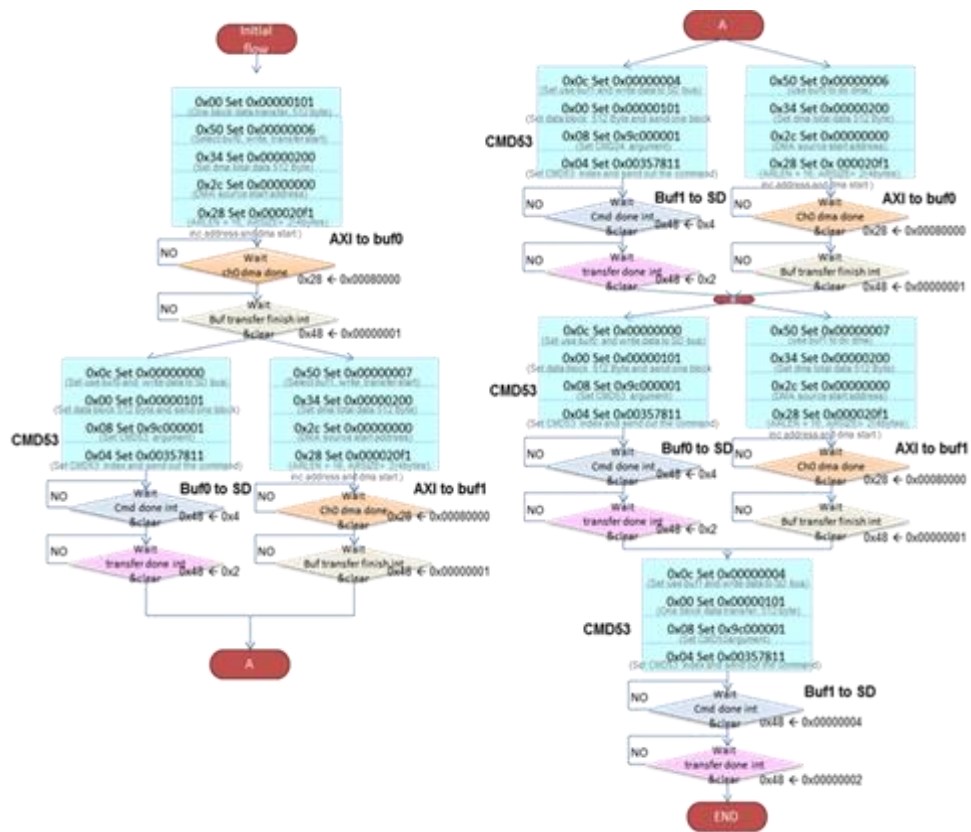


Рисунок 94 – Последовательность программирования регистров блока контроллера SDIO для чтения нескольких одиночных блоков данных подряд

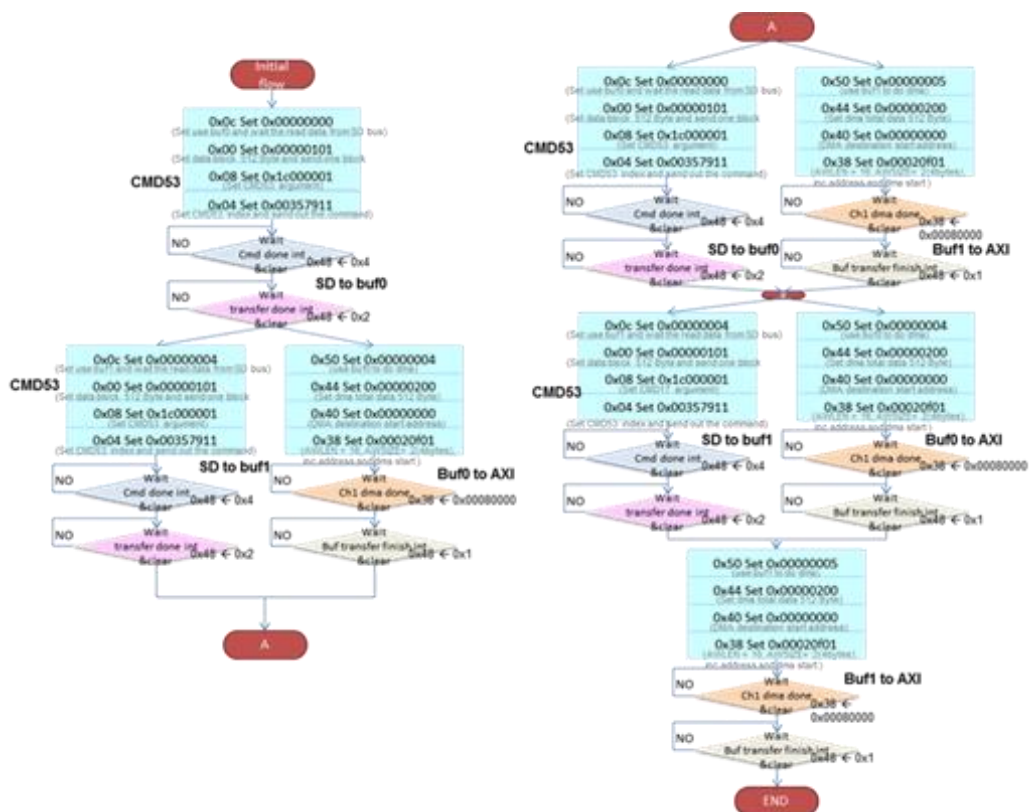


Рисунок 95 – Последовательность программирования регистров блока контроллера SDIO для записи нескольких одиночных блоков данных подряд

					Лист
					356
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
34203-3	<i>Redell</i> 24.10.2019		34203-2		

1.4.1.7.2.5.3.8 Обмен несколькими блоками данных с использованием одной команды (SDIO IO_RW_EXTENDED)

Запись нескольких блоков данных в SD карту может быть реализовано одной командой CMD53. Программному обеспечению драйвера также необходимо следить за количеством переданных данных, чтобы корректно обрабатывать прерывания о завершении копирования данных в буфер и о завершении передачи данных. На рисунке 96 и рисунке 97 представлена последовательность программирования регистров блока контроллера SDIO соответственно для чтения и записи в SDIO устройство нескольких блоков данных одной командой.

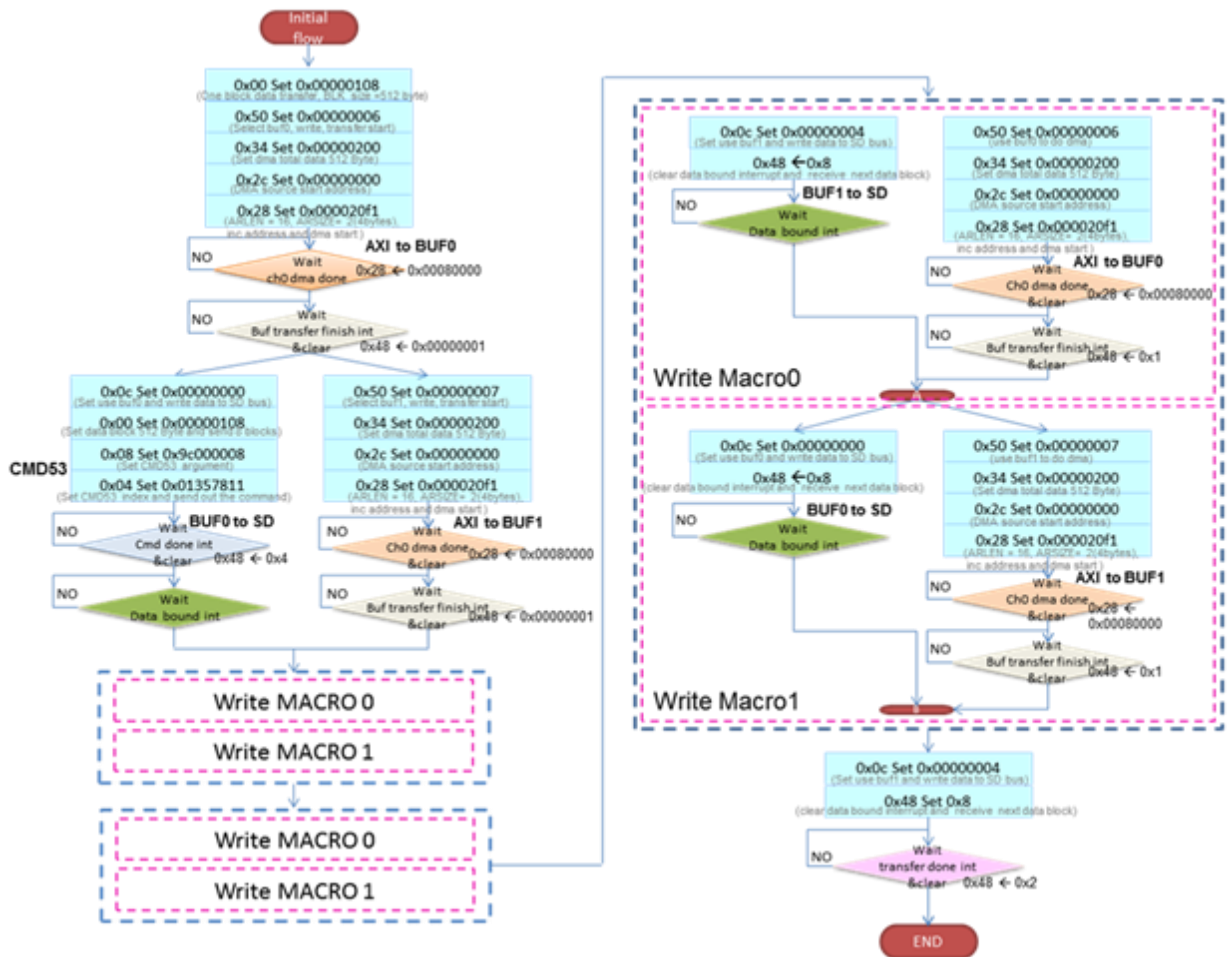


Рисунок 96 – Последовательность программирования регистров контроллера SDIO для чтения в SDIO устройство нескольких блоков данных одной командой

									Лист
									357
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

ЮФКВ.431268.020РЭ

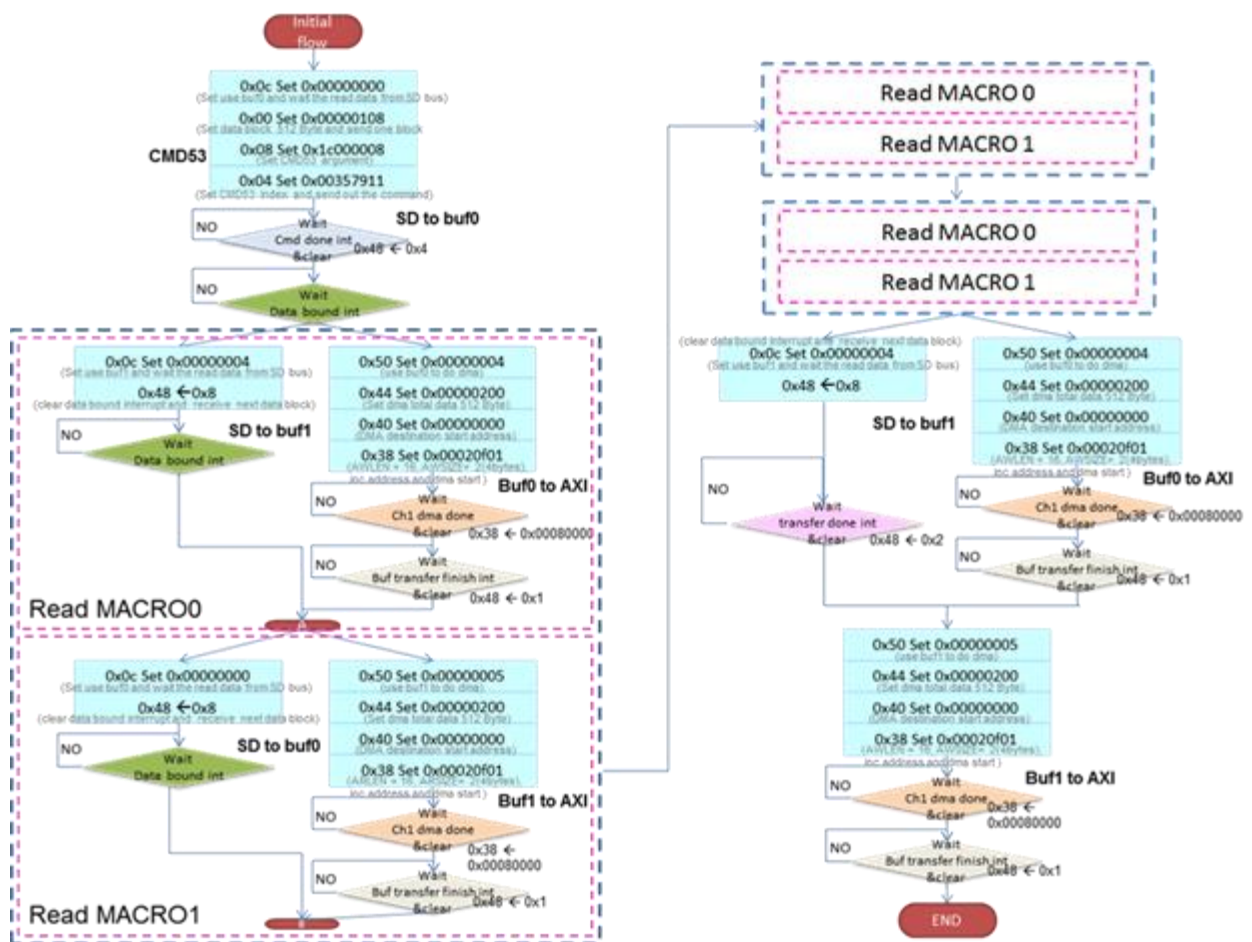


Рисунок 97 - Последовательность программирования регистров контроллера SDIO для записи в SDIO устройство нескольких блоков данных одной командой

1.4.1.7.2.5.3.9 Обмен с SDIO устройством несколькими блоками данных одной командой – остановка обмена данными

Для остановки обмена несколькими блоками данных с SD картой используется команда CMD12, которая может быть послана контроллером в любой момент. Для остановки обмена с SDIO устройством вместо команды CMD12 необходимо использовать запись в биты ASx регистра CCCR. Обычно такой способ используют для остановки «бесконечного» обмена данными (с числом блоков block count=0 в теле команды). Если заранее известно, сколько блоков данных нужно передать, рекомендуется указывать требуемое количество блоков в теле команды вместо «бесконечного» обмена данными с остановкой в нужный момент времени. Передача данных начинается во время исполнения команды CMD53, внутренний автомат состояний находится в состоянии пересылки данных, и для выхода из этого состояния необходимо послать команду CMD52. Таким образом, хост-контроллер должен послать команду CMD52 для остановки обмена данными.

На рисунке 98 и рисунке 99 представлена последовательность программирования регистров блока контроллера SDIO соответственно для остановки записи и чтения из SDIO устройства нескольких блоков данных.

Для остановки записи данных в SDIO устройство хост-контроллер может послать команду на запись в регистр CCCR в произвольный момент времени в промежутках между операциями с блоками данных. При этом передача последнего блока данных (включая получение контрольной суммы от устройства SDIO) должна быть уже завершена. Для выполнения этого требования

					ЮФКВ.431268.020РЭ	Лист 358
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

необходимо, чтобы последний бит команды отмены обмена данными был передан как минимум за два такта до получения контроллером последнего бита ответной контрольной суммы последнего блока данных. Контроллер не должен посылать команду отмены в середине передачи блока данных. После того, как команда отмены передана SDIO устройству, SDIO устройство активирует сигнал занятости (линия DAT[0] переходит в состояние логического 0) и удерживает его до тех пор, пока не закончит обработку последнего блока принятых данных. Во время активности сигнала занятости хост-контроллер может освободить шину, запрограммировав бит BR регистра CCCR.

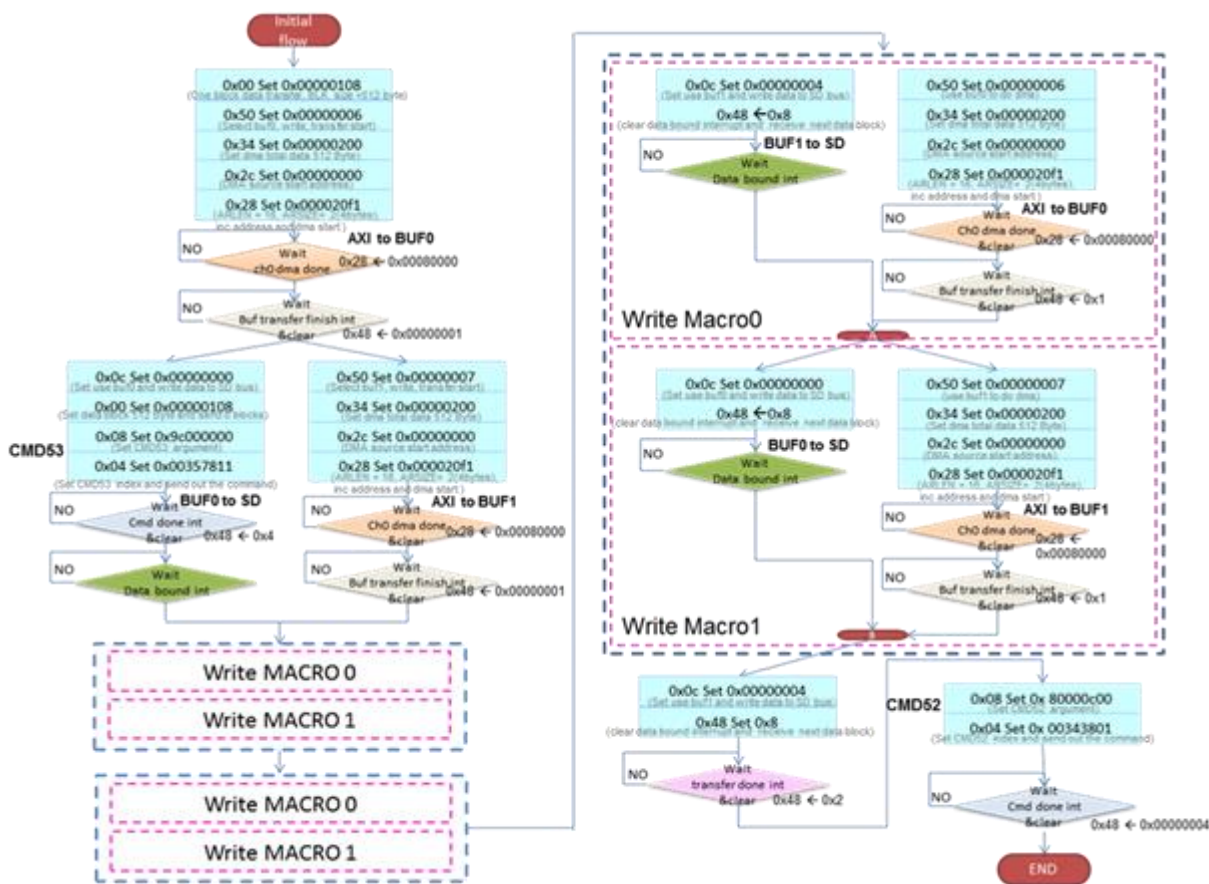


Рисунок 98 – Последовательность программирования регистров блока контроллера SDIO для остановки записи из SDIO устройства нескольких блоков данных

Для остановки чтения данных из SDIO устройства хост-контроллер может послать команду на запись в регистр CCCR в произвольный момент времени. Передача данных остановится через два такта после передачи последнего бита команды отмены даже в том случае, если SDIO устройство уже начало передачу блока данных. При этом данные из прерванного блока данных будут утеряны.

					Лист
					359
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

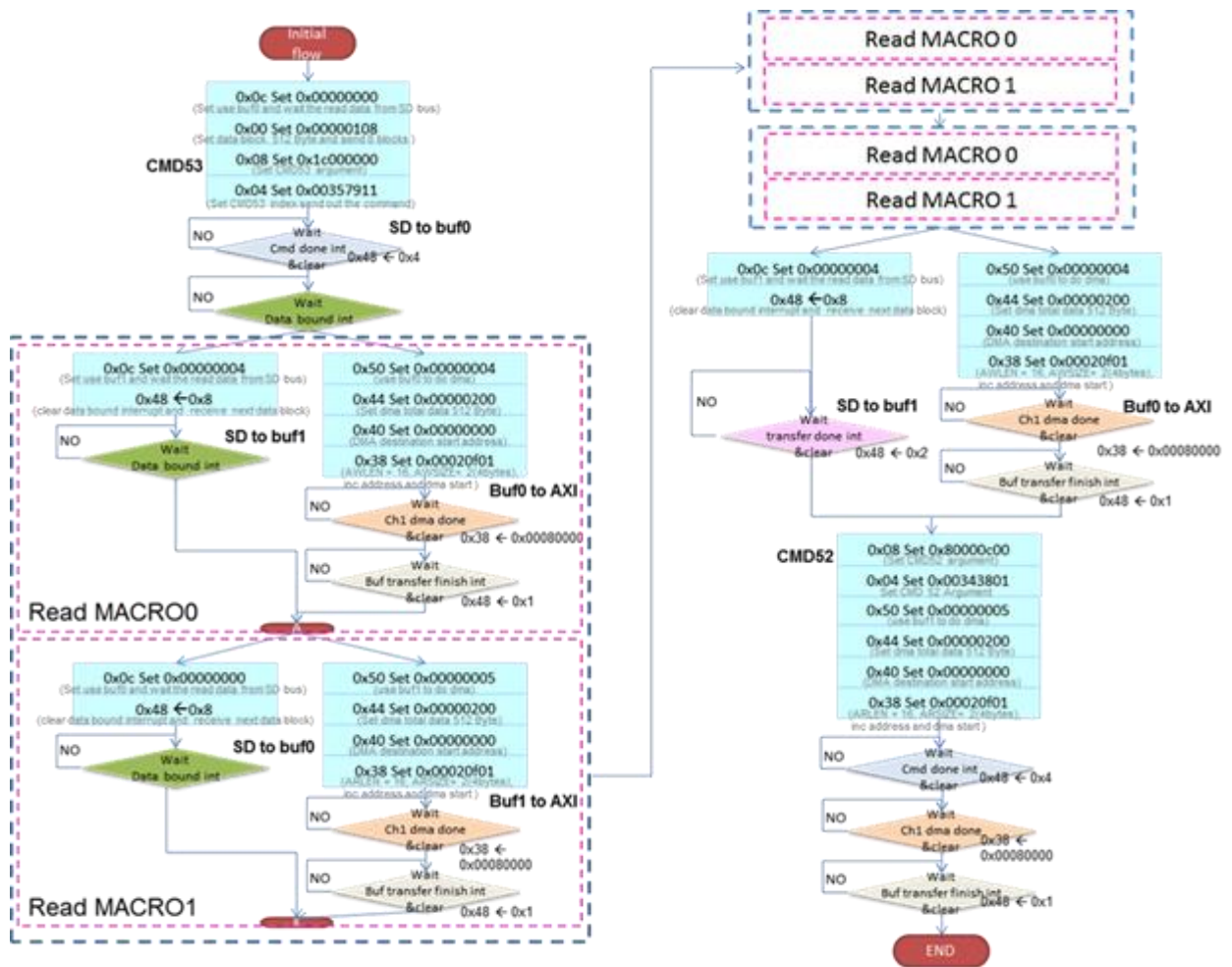


Рисунок 99 – Последовательность программирования регистров блока контроллера SDIO остановки чтения из SDIO устройства нескольких блоков данных

1.4.1.7.2.5.4 Карта регистров контроллера SDIO

Карта регистров контроллера SDIO представлена в таблице 472.

Таблица 472 – Карта регистров SDIO

Адрес	Название	Доступ	Описание
0x000	SDR_CARD_BLOCK_SET_REG	RW	Установка блоков данных SD карты
0x004	SDR_CTRL_REG	RW	Управляющий регистр SDR
0x008	SDR_CMD_ARGUMENT_REG	RW	Регистр аргумента
0x00C	SDR_ADDRESS_REG	RW	Выбор буфера, используемого SD картой
0x010	SDR_STATUS_REG	RW	Регистр статуса кард-ридера
0x014	SDR_Error_Enable_REG	RW	Регистр ошибок кард-ридера
0x018	SDR_RESPONSE1_REG	RO	См. Регистр SDR_RESPONSE4_REG
0x01C	SDR_RESPONSE2_REG	RO	См. Регистр SDR_RESPONSE4_REG
0x020	SDR_RESPONSE3_REG	RO	См. Регистр SDR_RESPONSE4_REG
0x024	SDR_RESPONSE4_REG	RO	Регистр ответов SD карты
0x028	DCCR_0	RW	Управляющий регистр канала ПДП_0
0x02C	DCSSAR_0	RW	Начальный адрес канала передачи ПДП_0
0x030	DCDSAR_0	RW	Начальный адрес канала приема ПДП_0
0x034	DCDTR_0	RW	Количество передач канала ПДП_0
0x038	DCCR_1	RW	Управляющий регистр канала ПДП_1
0x03C	DCSSAR_1	RW	Начальный адрес канала передачи ПДП_1
0x040	DCDSAR_1	RW	Начальный адрес канала приема ПДП_1

Адрес	Название	Доступ	Описание
0x044	DCDTR_1	RW	Количество передач канала ПДП_1
0x048	SDR_BUF_TRAN_RESP_REG	RW	Регистр ответа передачи
0x04C	-	-	Резерв
0x050	BUF_TRAN_CTRL_REG	RW	Регистр настройки передачи
0x054	MULTI_BLK_CTRL_REG	RW	Регистр управления множеством блоков данных
0x058	-	-	Резерв
0x05C	-	-	Резерв
0x060	DMA_CHANEL_FINISH_REG	RO	Регистр завершения передач по ПДП каналу
0x064 – 0x2FF	-	-	Резерв
0x300	SDIO_ENABLE	RW	Переключение контроллеров: 0 – контроллер GSPI 1 – контроллер SDIO
0x304	SDIO_CLK_DIVIDE	RW	Коэффициент деления системной частоты, для выработки опорной частоты синхросигнала SDIO Значимы только младшие 8 бит
0x308	SDIO_INT_STATUS	RW	Регистр статуса
0x30C	SDIO_INT_MASKS	RW	Регистр маски прерываний
0x310	SDIO_CLK_POLARITY	RW	Управление полярностью опорного синхросигнала SDIO

1.4.1.7.2.5.5 Описание полей регистров контроллера SDIO

1.4.1.7.2.5.5.1 SDR_CARD_BLOCK_SET_REG (0x000)

Поля регистра SDR_CARD_BLOCK_SET_REG представлены в таблице 473.

Таблица 473 – Регистр SDR_CARD_BLOCK_REG

Поле	Биты	Описание поля
CBCNTR	7:0	Счетчик передаваемых блоков данных: 0x00: данные не передаются 0x01: передача одного блока данных 0x02: передача двух блоков данных ... 0xFF: передача 255 блоков данных
CBZSR	9:8	Установка размера блока данных: 00: любой размер, указанный в поле CBLR 01: 512 байт 10: 1024 байт 11: 2048 байт
-	15:10	Резерв
CBLR	25:16	Установка размера блока данных: любой размер в пределах 512 байт, если поле CBZSR установлено в 00
-	31:26	Резерв

1.4.1.7.2.5.5.2 SDR_CTRL_REG (0x004)

Поля регистра представлены в таблице 474.

Таблица 474 – Регистр SDR_CTRL_REG

Поле	Биты	Описание поля
CRSR (Установка параметров кард-ридера)	1:0	Размер шины карты 00: 1 бит 01: 4 бита 10: 8 бит
	3:2	Резерв
	4	Управление синхросигналом для карты 0: Синхросигнал задействован всегда

					ЮФКВ.431268.020РЭ		Лист 361
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
		1: Синхросигнал задействуется только при команде или передаче данных
	5	Резерв
	6	Программный сброс кард-ридера 1: Сбрасывает машину состояний и статусный регистр в значение по умолчанию. Данный бит возвращается в 0 в течение одного такта частоты. 0: Нет эффекта
	7	Аппаратный сброс кард-ридера 1: Сбрасывает машину состояний и статусный регистр в значение по умолчанию. Данный бит возвращается в 0 в течение одного такта частоты. 0: Нет эффекта
CRTMR (Режим передачи кард-ридера)	8	Направление передачи 1: Данные считываются с карты 0: Данные записываются на карту
	9	Автокоманда 12 1: CMD12 уведомляет о завершении передачи множества блоков данных 0: Передача не завершена
	11:10	Тип ответа команды 00: Нет ответа 01: R2 ответ 10: R1, R3, R6, R7 ответ 11: R1b ответ
	12	Команда проверки индекса 1: Проверка индекса команды ответа, ошибка отобразится CMD_IDXE поля CRERSR 0: Ошибки нет
	13	Команда проверки CRC7 1: Проверка CRC7 команды ответа, ошибка отобразится CMD_IDXE поля CRERSR 0: Ошибки нет
	14	Использование данных 1: Разрешить передачу данных после команды. 0: Нет передачи данных
	15	Резерв
CMDOR	21:16	Исполнение команд
-	31:22	Резерв

1.4.1.7.2.5.5.3 SDR_CMD_ARGUMENT_REG (0x008)

Поля регистра представлены в таблице 475.

Таблица 475 – Регистр SDR_CMD_ARGUMENT_REG

Поле	Биты	Описание поля
CMDAR0	7:0	Аргумент 1 команды карты
CMDAR1	15:8	Аргумент 2 команды карты
CMDAR2	23:16	Аргумент 3 команды карты
CMDAR3	31:23	Аргумент 4 команды карты

1.4.1.7.2.5.5.4 SDR_ADDRESS_REG (0x00C)

Поля регистра представлены в таблице 476.

Таблица 476 – Регистр SDR_ADDRESS_REG

Поле	Биты	Описание поля
CRAPOR	1:0	Резерв
CRAPR	2	Выбор буфера, используемого шиной SD 0: Буфер 0 1: Буфер 1
CRAPOR	31:3	Резерв

					ЮФКВ.431268.020РЭ		Лист
							362
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.2.5.5.5 SDR_STATUS_REG (0x010)

Поля регистра представлены в таблице 477.

Таблица 477 – Регистр SDR_STATUS_REG

Поле	Биты	Описание поля
-	7:0	Резерв
CRBSR (Статус шины кард-ридера)	9:8	Резерв
	10	Состояние DAT0 1: DAT0 в высоком состоянии 0: DAT0 в низком состоянии
	11	Обнаружение SD карты в DAT3 1: SD карта присутствует 0: SD карта отсутствует
	14:12	Резерв
	15	Синхросигнал карты 1: Синхросигнал задействован 0: Синхросигнал в простое
CRESR (Статус ошибок кард-ридера)	16	Ошибка команды тайм-аута (тайм-аут наступает при превышении 64 тактов частоты кард-ридера)
	17	Ошибка команды CRC7
	18	Ошибка команды конечного бита
	19	Ошибка команды индекса
	20	Резерв
	21	Ошибка проверки данных CRC16 / ошибка статуса CRC
	22	Ошибка конечного бита данных при чтении
23	Резерв	
-	31:24	Резерв

1.4.1.7.2.5.5.6 SDR_Error_Enable_REG (0x014)

Поля регистра представлены в таблице 478.

Таблица 478 – Регистр SDR_Error_Enable

Поле	Биты	Описание поля
CRERESR ¹⁾ (Включение ошибок кард- ридера)	0	EN_CMD_TO
	1	EN_CMD_CRC
	2	EN_CMD_EB
	3	EN_CMD_IDX
	4	Резерв
	5	EN_DAT_CRC
	6	EN_DAT_EB
7	Резерв	
int_en	8	Включение прерываний контроллера
card_int_en	9	Включение прерываний SDIO карты
-	31:10	Резерв

Примечание - EN_XXX (Включение соответствующих битов прерываний кард-ридера), соответствующие биты также записываются и бит CR_ERR в регистре MINT0 перестает быть активным, когда биты ошибок не включены.

1.4.1.7.2.5.5.7 SDR_RESPONSE_REG (0x018, 0x01C, 0x020, 0x024)

Поля регистра представлены в таблице 479.

Таблица 479 – Регистр SDR_RESPONSE_REG

Поле	Биты	Описание поля
CRSPR (SDR_RESPONSE1 _REG)	31:0	Смотри SDR_RESPONSE4_REG
CRSPR	63:32	Смотри SDR_RESPONSE4_REG

					ЮФКВ.431268.020РЭ		Лист 363
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
(SDR_RESPONSE2_REG)		
CRSPR (SDR_RESPONSE3_REG)	95:64	Смотри SDR_RESPONSE4_REG
CRSPR (SDR_RESPONSE4_REG)	127:96	Ответ карты. CRSPR[127:120] находится по смещению 0x1F, CRSPR[31:24] находится по смещению 0x13, CRSPR[7:0] находится по смещению 0x10 Ответ R1: CRSPR[31:0] хранит биты ответа [39:8], другие биты не используются. Ответ R2: CRSPR[127:0] хранят биты ответа карта [127:0]

1.4.1.7.2.5.5.8 DCCR_0 (0x028)

Поля регистра представлены в таблице 480.

Таблица 480 – Регистр DCCR_0

Поле	Биты	Описание поля
ch0_dma_str	0	Начало передачи 0: Передача по каналу 0 ПДП выключена 1: Передача по каналу 0 ПДП начата
ch0_succ	1	Аппаратное начало передачи 0: Передача по каналу 0 ПДП выключена 1: Передача по каналу 0 ПДП начата
ch0_s_adr_fix	2	Исправление адреса передатчика 0: Адрес не исправлен 1: Адрес исправлен
-	3	Резерв
ch0_s_burst	7:4	Длина очереди передатчика 0000: Передача одного данного 0001: Передача двух данных ... 1111: Передача 16 данных
-	11:8	Резерв
ch0_s_size	14:12	Размер очереди передатчика 000: 1 байт 001: 2 байта 010: 4 байта 011: 8 байт 100: 16 байт 101: 32 байта 110: 64 байта 111: 128 байт
-	18:15	Резерв
-	19	Бит сброса прерывания завершения передачи канала 0
-	31:20	Резерв

1.4.1.7.2.5.5.9 DCSSAR_0 (0x02C)

Поля регистра представлены в таблице 481.

Таблица 481 – Регистр DCSSAR_0

Поле	Биты	Описание поля
ch0_s_str_addr	31:0	Исходный адрес нулевого канала передачи ПДП

1.4.1.7.2.5.5.10 DCDSAR_0 (0x030)

Поля регистра представлены в таблице 482.

					ЮФКВ.431268.020РЭ		Лист
							364
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

Таблица 482 – Регистр DCDSAR_0

Поле	Биты	Описание поля
ch0_d_str_addr	31:0	Исходный адрес нулевого канала приемника ПДП

1.4.1.7.2.5.5.11 DCSDTR_0 (0x034)

Поля регистра представлены в таблице 483.

Таблица 483 – Регистр DCSDTR_0

Поле	Биты	Описание поля
ch0_d_total	31:0	Общее количество передач

1.4.1.7.2.5.5.12 DCCR_1 (0x038)

Аналогично DCCR_0.

1.4.1.7.2.5.5.13 DCSSAR_1 (0x03C)

Аналогично DCSSAR_0.

1.4.1.7.2.5.5.14 DCDSAR_1 (0x040)

Аналогично DCDSAR_0.

1.4.1.7.2.5.5.15 DCDTR_1 (0x044)

Аналогично DCDTR_0.

1.4.1.7.2.5.5.16 SDR_BUF_TRAN_RESP_REG (0x048)

Поля регистра представлены в таблице 484.

Таблица 484 – Регистр SDR_BUF_TRAN_RESP_REG

Поле	Биты	Описание поля
Data_ok_flag	0	Сдвиг данных FIFO завершен
Tran_don	1	Передача данных SD карты завершена
Cmd_done	2	Передача команды SDC завершена
data_bound	3	Привязка данных 1: Данные привязаны 0: Данные не привязаны
card_error	4	Ошибка SD карты Сообщение об ошибке в CRERSR
-	5	Флаг прерывания карты Запись 1 для сброса
-	31:5	Резерв

1.4.1.7.2.5.5.17 BUF_TRAN_CTRL_REG (0x050)

Поля регистра представлены в таблице 485.

Таблица 485 – Регистр BUF_TRAN_CTRL_REG

Поле	Биты	Описание поля
Buf_sel	0	Выбор буфера 0: Буфер 0 1: Буфер 1
Buf_rw	1	Выбор чтение/запись 0: Чтение 1: Запись

					ЮФКВ.431268.020РЭ		Лист 365
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
Buf_tran_str	2	Передача данных буфером 0: Передача неактивна 1: Передача активна

1.4.1.7.2.5.5.18 MULTI_BLK_CTRL_REG (0x054)

Поля регистра представлены в таблице 486.

Таблица 486 – Регистр MULTI_BLK_CTRL_REG

Поле	Биты	Описание поля
-	11:0	Резерв
multi	12	Управление множеством данных 0: Выключено 1: Включено
dis_autocmd12	13	Отключение autocmd12 0: Не отключена 1: Отключена
reload_ctrl	14	Перезагрузка управления 0: Отключена 1: Включена

1.4.1.7.2.5.5.19 DMA_CHANEL_FINISH_REG (0x060)

Поля регистра представлены в таблице 487.

Таблица 487 – Регистр DMA_CHANEL_FINISH_REG

Поле	Биты	Описание поля
ch0_finish_tran_int	0	Флаг завершения передачи по нулевому каналу ПДП
ch1_finish_tran_int	1	Флаг завершения передачи по первому каналу ПДП

1.4.1.7.3 Контроллер передачи данных в соответствии с ГОСТ Р 52070 (контроллер МКИО)

1.4.1.7.3.1 Общее описание контроллера МКИО

Контроллер мультиплексного канала информационного обмена (МКИО) предназначен для передачи данных согласно ГОСТ Р 52070 с одиночным или двойным резервированием, и может выполнять функции контроллера шины (КШ), удаленного терминала (ОУ) или монитора шины (МШ).

ГОСТ Р 52070 представляет собой стандарт шины для передачи данных между несколькими (до 32) устройствами по совместному (как правило, с двойным резервированием) дифференциальному проводу. Шина разработана с учетом целей предсказуемого поведения в реальном времени и отказоустойчивости. Скорость передачи сырых данных по шине зафиксирована на уровне 1 Мбит/с, что дает скорость передачи полезных данных приблизительно до 770 кбит/с.

Одно из подсоединяемых к шине устройств является КШ. Оно управляет всем трафиком, проходящим по шине. Остальные устройства - это ОУ, управляемые командами с контроллера шины. Каждому ОУ присвоен уникальный адрес в диапазоне 0-30. Кроме того, существует возможность подключения к шине пассивных МШ.

Существует пять возможных типов передачи данных по шине ГОСТ Р 52070:

- 1) КШ-ОУ («прием»);
- 2) ОУ-КШ («передача»);
- 3) ОУ-ОУ;
- 4) Вещание КШ-ОУ;
- 5) Вещание ОУ-ОУ.

					Лист
					366
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Каждый передаваемый блок содержит 1-32 слов данных, по 16 бит в каждом.

Контроллер шины может также отправлять на ОУ «коды режимов», чтобы производить административные действия, такие как синхронизация и считывание состояния терминала.

1.4.1.7.3.2 Принципы функционирования контроллера МКИО

1.4.1.7.3.2.1 Электрический интерфейс

Контроллер МКИО подключается к проводу шины ГОСТ Р 52070 через единичные или двойные приемопередатчики, изолирующие трансформаторы и блоки сопряжения трансформаторов и шлейфов, как показано на рисунке 100. Если используется однократное резервирование, неиспользуемые сигналы приема шины P/N должны быть попарно притянуты к высокому (оба в паре) или низкому (оба в паре) уровню. Сигналы активации передатчиков, как правило, инвертированы, поэтому называются сигналами запрета (txinh) для передатчиков. Более подробную информацию об электрических соединениях смотреть в стандарте и соответствующих паспортах и спецификациях.

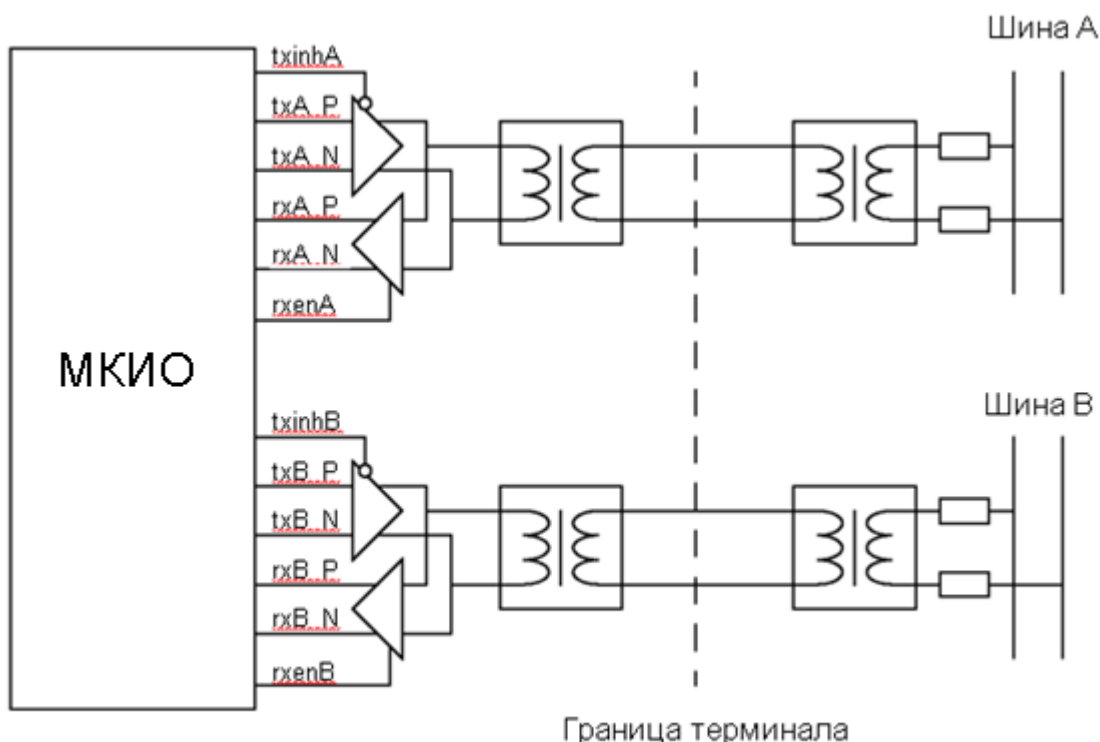


Рисунок 100 – Интерфейс между контроллером МКИО и шиной ГОСТ Р 52070 (двукратное резервирование, трансформаторное сопряжение)

1.4.1.7.3.2.2 Режимы работы контроллера МКИО

Контроллер МКИО содержит три отдельных блока управления для управления контроллером шины (КШ), окончательным устройством(ОУ) и монитором шины (МШ).

Режим работы ядра управляется путем запуска и останова блоков КШ/ОУ/МШ посредством записи в регистр. При пуске ни одна из частей не является активной, и ядро полностью пассивно как по шине ГОСТ Р 52070, так и по шине AMBA.

Части ядра КШ и ОУ не могут быть одновременно активны по шине ГОСТ Р 52070. Если КШ находится в активном состоянии или в режиме ожидания, только КШ (и возможно, МШ)

					ЮФКВ.431268.020РЭ		Лист
							367
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

имеет доступ к шине ГОСТ Р 52070, а ОУ может только работать на прием. Реакция ОУ на команды возможна, когда оба режима КШ полностью остановлены (КШ не в активном режиме и не в режиме ожидания).

В то же время монитор шины работает только на прием через приемники кодека, поэтому он может работать независимо от активированного/деактивированного состояния двух других модулей.

1.4.1.7.3.2.2.1 Работа в режиме контроллера шины

В режиме контроллера шины ядро выполняет функции ведущего устройства (master) на шине ГОСТ Р 52070, инициирует и осуществляет передачу данных.

Этот режим основан на принципе передачи по списку, управляемому планировщиком. Программное обеспечение формирует в памяти последовательность дескрипторов передач и ветвей, буферы для отправляемых и получаемых данных, циклический буфер указателей IRQ. При запуске расписания (при помощи записи в регистр операций КШ) ядро обрабатывает список, осуществляет передачу данных по очереди, записывает результирующее состояние в список передач, записывает принимаемые данные в соответствующие буферы.

1.4.1.7.3.2.2.1.1 Управление временными параметрами

Каждый дескриптор передачи в расписании содержит поле «временного слота». Если запланированная по расписанию передача заканчивается раньше, чем временной слот, ядро делает паузу на оставшееся время перед отправкой следующей по расписанию команды. Это дает пользователю возможность точного управления временем отправки сообщений в процессе связи.

Если передача требует больше времени, чем выделено временным слотом, лишнее время вычитается из временного слота следующей командой. Следующая команда, в свою очередь, может «занять» время у следующей команды, и т. д. Ядро может отслеживать «занятое» таким образом время в размере до одной секунды и не делает пауз, пока баланс положителен. Исключения составляют промежутки между сообщениями и паузы, требуемые по стандарту.

Если необходимо завершить очередь передач как можно скорее, можно установить длительность всех слотов в расписании равной нулю. Если необходимо сгруппировать несколько передач, можно переместить длительность всех слотов на последнюю передачу.

Останов или временная приостановка выполнения расписания управляется записью в регистр операций КШ. При приостановке выполнения время выполнения расписания продолжает учитываться. Таким образом, при продолжении выполнения расписания временные параметры остаются корректными. С другой стороны, при останове таймеры расписания обнуляются.

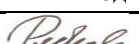
Если бит `extsync` (признак внешней синхронизации) следующего дескриптора очереди установлен, ядро не будет исполнять команду, а будет ожидать переднего фронта внешнего синхроимпульса. После этого таймер расписания и баланс временных слотов сбрасываются и происходит исполнение команды. Если синхроимпульс приходит раньше времени данной передачи в очереди, информация о нем сохраняется и команда исполняется без задержек. Память триггера очищается при останове расписания, но не очищается при его временной приостановке. Кроме того, триггер может быть установлен или сброшен программно, путем записи в регистр операций КШ.

1.4.1.7.3.2.2.1.2 Выбор шины

В каждом дескрипторе передачи есть бит выбора шины, позволяющий выбирать, по какой из двух резервированных шин будет производиться передача (0 для шины А, 1 для шины В).

Еще один способ управления использованием шины - через регистр смены шины ОУ, в котором каждому адресу ОУ соответствует свой бит. Регистр смены шины является дополнительной функцией. Чтобы узнать, активирована ли данная функция, программа может проверить защищенное от записи поле регистра `VSFEAT`.

Запись «1» в регистр смены шины ОУ инвертирует значение бита выбора шины для всех передач в адрес соответствующего ОУ, таким образом теперь «0» обозначает шину В,

					ЮФКВ.431268.020РЭ			Лист
								368
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		 24.10.2019		34203-2				

а «1» - шину А. Это позволяет переключить все передачи в адрес одного или нескольких ОУ на другую шину записью всего одного бита в регистр, без изменения дескрипторов.

Аппаратная часть определяет, какую шину использовать, применением операции «исключающее или» к биту смены шины и биту выбора шины. Как правило, для каждого ОУ имеет смысл использовать только один из этих двух методов - либо бит выбора шины всегда 0 и используется регистр смены шины, либо бит смены шины всегда 0 и используется бит выбора шины.

Если для выбора шины используется регистр смены шины, для автоматического обновления регистра в зависимости от результатов передачи может быть активирован бит сохранения шины в дескрипторе. Если передача прошла успешно по шине А, бит регистра смены шины сбрасывается в 0, если передача прошла успешно по шине В, бит регистра смены шины устанавливается в 1. Если произошел сбой передачи, регистр смены шины инвертируется.

1.4.1.7.3.2.2.1.3 Вторичный список передачи

В ядре может быть установлен вторичный «асинхронный» список передачи в том же формате, что и основной список. Команда на запуск этого списка может быть подана в любой момент в процессе исполнения основного расписания. Пока ядро ожидает окончания слота для команды в расписании, оно проверяет время следующего слота асинхронной передачи, которое может оказаться меньше, чем оставшееся время ожидания. В таком случае запускается асинхронная команда.

Если асинхронная команда не выполняется за отведенное время, время «занимается» у следующей команды основного расписания. Чтобы не создавать помех основному расписанию, необходимо устанавливать допустимое значение времени слотов асинхронных сообщений.

Бит исключения в дескрипторе передачи устанавливается, если пользователь не планирует использование асинхронных команд во время ожидания после передачи.

Асинхронные сообщения не отправляются в промежутки времени, когда расписание ожидает синхроимпульса или когда расписание приостановлено и время текущего слота истекло, так как в такой ситуации неизвестно, когда начнется исполнение следующей команды.

Если начато исполнение синхронного списка и в основном расписании возникает пауза, КШ должен считать следующий дескриптор асинхронной передачи и принять решение о ходе исполнения расписания. Если пауза меньше, чем указано в дескрипторе асинхронной передачи, КШ считывает дескриптор синхронной передачи и продолжает работу по основному расписанию. В этом случае КШ запоминает требования по времени асинхронной передачи и ему не потребуется повторно считывать дескриптор асинхронной передачи, пока асинхронная передача не будет исполнена.

Если пауза в основном расписании менее 24 мкс, КШ предполагает, что времени для асинхронной передачи не хватает, не считывает дескриптор асинхронной передачи и продолжает работу по основному расписанию. Это означает, что, пока в течение 24 мкс могут быть считаны два дескриптора КШ, обработка дескрипторов асинхронных передач не оказывает влияния на основное расписание.

1.4.1.7.3.2.2.1.4 Генерация прерываний

Каждая команда в расписании передач может быть сконфигурирована на генерацию прерывания после выполнения определенных передач с ошибкой или без. Недопустимые дескрипторы команд всегда генерируют прерывания и останавливают расписание. Перед генерацией прерывания, вызванного передачей, адрес соответствующего дескриптора записывается в циклический буфер вызванных передач IRQ в КШ. При этом происходит увеличение счетчика циклического регистра положений IRQ в КШ.

Существует отдельное прерывание, сигнализирующее об ошибках DMA. Если ошибка DMA происходит при чтении/записи дескрипторов, расписание исполнения команд приостанавливается. Ошибки DMA в буферах данных приводят к сбою соответствующих передач с кодом ошибки (см. таблицу 356).

									Лист
									369
Изм	Лист	№ докум.	Подп.	Дата					
	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
	34203-3		<i>Redell</i> 24.10.2019		34203-2				

Иницирует ли фактически каждое из этих событий прерывание на шине АМВА, зависит от установок регистра маски IRQ (IRQ Mask Register).

1.4.1.7.3.2.2.1.5 Формат списка передач

Список передач КШ представляет собой массив дескрипторов передач, смешанных с ветвями, как показано в таблице 488. Каждая запись должна начинаться на границе 128-битного (16-байтного) блока. В случае ветви два неиспользуемых слова могут использоваться программным обеспечением для хранения любых данных.

Таблица 488 – Формат дескриптора передачи МКИО

Смещение	Значение для дескриптора передачи	DMA	Значение для ветви	DMA
0x00	Слово 0 дескриптора передачи	R	Слово условия	R
0x04	Слово 1 дескриптора передачи	R	Адрес перехода, выровненный под 128 бит	R
0x08	Указатель на буфер данных, выровненный под 16 бит. Для буферов записи, при установленном бите 0, принимаемые данные отбрасываются и указатель игнорируется. Это может использоваться при передачах ОУ-ОУ, в которых для КШ передаваемые данные безразличны	R	Не используется	-
0x0C	Результирующее слово, записывается ядром	W	Не используется	-

Структура слов дескриптора передачи приведена на рисунках 101 - 102.

31	30	29	28	27	26	25	24	23	22	20	19	18	17	16	15	0
0	WT RIG	EX CL	IRQ E	IRQ N	SU SE	SU SN	RETMD	NRET	ST BU S	GA P	ЗАРЕЗЕ РВИРО ВАНО	STIME				

Рисунок 101 – Слово 0 дескриптора передачи КШ МКИО (смещение 0x00)

Поля слова 0 дескриптора передачи КШ МКИО имеют следующие значения:

- 1) Бит 31 – должен обязательно содержать значение 0, для идентификации дескриптора;
- 2) WTRIG – признак запуска дескриптора по внешнему событию;
- 3) Временно слот исключения (EXCL) - не планировать передачу асинхронных сообщений;
- 4) IRQ после передачи с ошибкой (IRQE) – генерация прерывания после окончания передачи, в процессе которой возникла ошибка;
- 5) IRQ в нормальном состоянии (IRQN) – генерация прерывания после окончания передачи;
- 6) Приостановка при ошибке (SUSE) - приостановка расписания (или останов списка асинхронных передач) при ошибке;
- 7) Приостановка в нормальном состоянии (SUSN) - всегда приостанавливать расписание после передачи;
- 8) Режим повтора (RETMD):
 - а) 00 - Повторные попытки только по той же шине;
 - б) 01 - Повторные попытки попеременно по обеим шинам;
 - в) 10 - Повторная попытка сначала по той же шине, затем по другой;
 - г) 11 - Зарезервировано, не использовать;

					ЮФКВ.431268.020РЭ		Лист
							370
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

- 9) Количество повторных попыток (NRET) - количество автоматических повторных попыток на каждую шину. Общее количество попыток (включая первую):
- (NRET+1) для RETMD=00;
 - 2 x (NRET+1) для RETMD=01/ 10;
- 10) Шина хранения (STBUS) - если передача была успешной и этот бит установлен, сохранять шину, по которой прошла успешная передача (0 для шины А, 1 для шины В), в регистр смены шины для ОУ. Если произошел сбой передачи и этот бит установлен, сохранить другую шину (только если маски шин для ОУ поддерживаются ядром);
- 11) Расширенный промежуток между сообщениями (GAP) - если этот бит установлен, после передачи к промежутку между сообщениями добавляется время, соответствующее полю RTTO;
- 12) Время слота (STIME) - выделенное время в блоках по 4 мкс. Время, оставшееся после передачи, вносит дополнительную задержку.

31	30	29	26	25	21	20	16	15	11	10	9	5	4	0
DU M	BU S	RTTO	RTAD2	RTSA2	RTAD1	TR	RTSA1	WCMC						

Рисунок 102 – Слово 1 дескриптора передачи КШ МКИО (смещение 0x04)

Поля слова 1 дескриптора передачи КШ МКИО имеют следующие значения:

- Ложная передача (DUM) - Если этот бит установлен в 1, трафик по шине не генерируется и передача считается «успешной» немедленно. Для ложных передач установки EXCL, IRQN, SUSN, STBUS, GAP, STIME остаются в силе, остальные биты и указатель на буфер данных игнорируются;
- Выбор шины (BUS) - шина, используемая для передачи, 0 - шина А, 1 - шина В;
- Тайм-аут ОУ (RTTO) - дополнительный тайм-аут для слова состояния ОУ сверх номинального, в блоках по 4 мкс (0000 -14 мкс, 1111 -74 мкс).
Примечание - Это дополнительное время также используется в качестве дополнительного времени между сообщениями, если установлен бит GAP;
- Адрес второго ОУ при передаче ОУ-ОУ (RTAD2);
- Субадрес второго ОУ при передаче ОУ-ОУ (RTSA2);
- Адрес ОУ (RTAD1);
- Передача/прием (TR);
- Субадрес ОУ (RTSA1);
- Счетчик слов/код режима (WCMC);

Подробная информация по установке полей RTAD1, RTSA1, RTAD2, RTSA2, WCMC, TR для различных типов передачи представлена в таблице 489.

Таблица 489 – Биты конфигурации передачи КШ МКИО для различных типов передачи

Тип передачи	RTAD1 (15:11)	RTSA1 (9:5)	RTAD2 (25:21)	RTSA2 (20:16)	WCMC (4:0)	TR (10)	Направление буфера данных
Данные, КШ-ОУ	Адрес ОУ (0-30)	Субадрес ОУ (1-30)	Неважно	0	Счетчик слов (0 для 32)	0	Чтение (2-64 байт)
Данные, ОУ-КШ	Адрес ОУ (0-30)	Субадрес ОУ (1-30)	Неважно	0	Счетчик слов (0 для 32)	1	Запись (2-64 байт)

					ЮФКВ.431268.020РЭ		Лист
							371
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Тип передачи	RTAD1 (15:11)	RTSA1 (9:5)	RTAD2 (25:21)	RTSA2 (20:16)	WCMC (4:0)	TR (10)	Направление буфера данных
Данные, ОУ-ОУ	Адрес принимающего ОУ (0-30)	Субадрес принимающего ОУ (1-30)	Адрес передающего ОУ (0-30)	Субадрес передающего ОУ (1-30)	Счетчик слов (0 для 32)	0	Запись (2-64 байт)
Режим, без данных	Адрес ОУ (0-30)	0 или 31 ¹⁾	Неважно	Неважно	Код режима (0-8)	1	Не используется
Режим, ОУ-КШ	Адрес ОУ (0-30)	0 или 31 ¹⁾	Неважно	Неважно	Код режима (16/18/19)	1	Запись (2 байта)
Режим, КШ-ОУ	Адрес ОУ (0-30)	0 или 31 ¹⁾	Неважно	Неважно	Код режима (17/20/21)	0	Чтение (2 байта)
Данные вещания, КШ-ОУ	31	Субадреса ОУ (1-30)	Неважно	0	Счетчик слов (0 для 32)	0	Чтение (2-64 байт)
Данные вещания, ОУ-ОУ	31	Субадреса принимающих ОУ (1-30)	Адрес передающего ОУ (0-30)	Субадрес передающего ОУ (1-30)	Счетчик слов (0 для 32)	0	Запись (2-64 байт)
Режим вещания, без данных	31	0 или 31 ¹⁾	Неважно	Неважно	Код режима (1, 3-8)	1	Не используется
Режим вещания, КШ-ОУ	31	0 или 31 ¹⁾	Неважно	Неважно	Код режима (17/20/21)	0	Чтение (2 байта)

¹⁾ Стандарт позволяет использовать для команд режима субадрес 0 или 31.

Результирующее слово дескриптора передачи МКИО представлено на рисунке 103.

31	30	24	23	16	15	8	7	4	3	2	0
0	Зарезервировано	RT2ST			RTST		RETCNT		RE S	TFRST	

Рисунок 103 – Результирующее слово дескриптора передачи МКИО (смещение 0x0C)

Поля результирующего слова дескриптора передачи КШ МКИО имеют следующие значения:

- 1) Бит 31 - Всегда записывается как 0;
- 2) Биты состояния ОУ 2 (RT2ST) - биты состояния принимающего ОУ при передаче ОУ-ОУ, иначе 0. Битовая маска такая же, как у RTST далее;
- 3) Биты состояния ОУ (RTST) - биты состояния ОУ (передающего ОУ при передаче ОУ-ОУ):
 - а) 15 - Ошибка сообщения;
 - б) 14 - Контрольный бит или резервный бит;
 - в) 13 - Запрос обслуживания;
 - г) 12 - Получена вещательная команда;
 - д) 11 - Бит занятости;
 - е) 10 - Флаг подсистемы;
 - ж) 9 - Принято динамическое управление шиной;
 - з) 8 - Флаг терминала;

					ЮФКВ.431268.020РЭ		Лист
							372
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

- 4) Счетчик повторных попыток (RETCNT) - количество произведенных повторных попыток;
- 5) Зарезервировано - маскировать при чтении для совместимости с последующими версиями;
- 6) Состояние передачи (TFRST) - результат последней попытки:
 - а) 000 - успешно (или установлен бит ложной передачи);
 - б) 001 - нет ответа от ОУ (передающий ОУ при передаче ОУ-ОУ);
 - в) 010 - нет ответа от принимающего ОУ при передаче ОУ-ОУ;
 - г) 011 - слово состояния отвечающего ОУ содержит ошибку сообщения, установлен бит занятости, контрольный или зарезервированный бит. Код ошибки 011 присваивается только если количество слов данных соответствует случаю успешной передачи, иначе используется код 100. Код ошибки 011 может использоваться при корректно выполненном коде режима "передача последней команды" или "передача последнего слова состояния", так как эти команды не сбрасывают слово состояния;
 - д) 100 - ошибка протокола (некорректное время приема слов данных, ошибка декодера, неверное количество слов данных);
 - е) 101 - недопустимый дескриптор передачи;
 - ж) 110 - тайм-аут DMA буфера данных или ответ с сообщением об ошибке;
 - з) 111 - передача прервана из-за сбоя проверки методом обратной передачи.

Слово состояния ветви формируется, как показано на рисунке 104.

31	30	27	26	25	24	23	16	15	8	7	0
1	Зарезервировано (0)	IRQ C	AC T	MO DE	RT2CC		RTCC		STCC		

Рисунок 104 – Слово состояния ветви МКИО (смещение 0x00)

Поля Слово состояния ветви МКИО имеют следующие значения:

- 1) Бит 31 – всегда должен быть равен 1;
- 2) Прерывание при выполнении условия (IRQC);
- 3) Операция (ACT) - что делать, если условие выполняется, 0 - приостановить выполнение расписания, 1 – перейти;
- 4) Логический режим (MODE):
 - а) 0 – Режим «ИЛИ» (любой бит, установленный в RT2CC, RTCC, установлен в RT2ST, RTST, или результат в маске STCC);
 - б) 1 – Режим «И» (все биты, установленные в RT2CC, RTCC, установлены в RT2ST, RTST и результат в маске STCC);
- 5) Код условия ОУ 2 (RT2CC) - битовая маска, соответствующая RT2ST в результирующем слове последней передачи;
- 6) Код условия ОУ (RTCC) - битовая маска, соответствующая RTST в результирующем слове последней передачи;
- 7) Код условия состояния (STCC) - битовая маска, соответствующая значению состояния передачи.

Можно получить условие «true» на постоянной основе, установив MODE=0 и STCC=0xFF, и условие «false» на постоянной основе, установив STCC=0x00. Таким образом, можно использовать 0x800000FF в качестве маркера конца списка.

1.4.1.7.3.2.2.1.6 Расчет временных параметров передач КШ

Для выработки расписания передач для контроллера шины необходимо учитывать наилучшие возможные временные параметры для каждой передачи. За исключением случая

					ЮФКВ.431268.020РЭ		Лист
							373
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

автоматических повторных попыток, самое длительное время при передаче занимает случай успешной передачи, в которой задействованы все допустимые тайм-ауты и паузы.

Следует отметить несколько моментов, важных для расчета:

- 1) Тайм-ауты и перерывы определены в стандарте как промежутки времени между серединой бита четности и серединой такта. Чтобы получить время простоя шины, необходимо вычитать 2 мкс из этих значений.
- 2) Временные параметры определены для стороны шины, таким образом необходимо учитывать задержки в приемопередатчике.

Задержка в приемопередатчике

Временные параметры в стандарте ГОСТ Р 52070 определены на границе терминала, находящегося на стороне шины от приемопередатчика. Однако, ядро работает на другой стороне приемопередатчика. Таким образом, необходимо учитывать задержки в приемопередатчике.

Для компенсации задержки в приемопередатчике в режиме КШ используется механизм проверки методом обратной передачи. После отправки командных слов происходит ожидание возврата отправленных слов через приемник, после чего стартует таймер ОУ.

Этапы передачи КШ: Составные части

Передачу в КШ можно разделить на следующие шаги:

- 1) Передача контрольных слов и принимаемых данных

Это непрерывная передача, занимающая 20 мкс на каждое передаваемое слово. Включает также 0,2 мкс задержки при запуске.

- 2) Цикл приемопередатчика

Ядро ожидает возврата переданной команды через приемник. Включение таймера ОУ после этого периода ожидания приводит к точному значению тайм-аута ОУ, не зависящему от задержек в приемопередатчике.

Время ожидания представляет собой сумму задержек в передатчике и в приемнике, плюс задержка на внутреннее декодирование 0,15-0,40 мкс.

- 3) Тайм-аут отклика ОУ

Ядро предоставляет максимум 12,0-12,5 мкс простоя шины перед началом отклика ОУ. Следует отметить, что это время может быть увеличено установкой соответствующего параметра дескриптора.

- 4) Данные отклика и передачи ОУ

КШ принимает слово состояния ОУ и определенное количество слов данных.

Контроллер шины проверяет непрерывность потока сообщений и предоставляет максимум 1 мкс на дрейф синхронизации для всего сообщения. Таким образом, максимальное время на эту часть составляет 20 мкс/слово + 1 мкс.

- 5) Тайм-аут отклика второго ОУ

Для передач ОУ-ОУ. См. шаг 3.

- 6) Отклик второго ОУ

Для передач ОУ-ОУ. См. шаг 4.

- 7) Проверка количества слов

Для сообщений, передаваемых не в вещательном режиме и не в режиме ОУ-ОУ, КШ ожидает дополнительно 5 мкс, чтобы убедиться, что последний передающий ОУ не отправляет дополнительных слов.

- 8) Сохранение результатов, получение следующего дескриптора

Время, занимаемое этим шагом, полностью зависит от системы AMBA, к которой подключено ядро.

- 9) Перерывы между вещательными сообщениями и обработка дескрипторов

Для вещательной передачи одного ОУ вместо шагов 7-8 ядро вставляет 3 мкс перерыва между сообщениями и параллельно начинает прием следующего дескриптора. Таким образом, этот шаг занимает максимум 3 мкс и время, необходимое для шага 8.

					ЮФКВ.431268.020РЭ			Лист
								374
Изм	Лист	№ докум.	Подп.	Дата				
	Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
	34203-3	<i>Redhall</i> 24.10.2019		34203-2				

Этапы передачи КШ: Состав

Различные типы сообщений стандарта ГОСТ Р 52070 связаны с изложенными выше шагами следующим образом:

- 1) КШ-ОУ, ОУ-КШ – шаги 1-4, 7-8.
- 2) ОУ-ОУ – шаги 1-8.
- 3) Широковещательные КШ-ОУ, вещательные режимные – шаги 1, 2, 9.
- 4) Широковещательные ОУ-ОУ – шаги 1-4, 7-8.

Если в регистре состояния КШ активирована проверка отклика на вещание, ядро ожидает и проверяет, что ни один из ОУ не отправляет на шину свой отклик после каждого вещательного сообщения. Таким образом, случай с вещанием будет представлять собой шаги 1-4, 7-8 с добавлением 30-35 мкс к максимальному времени передачи.

Расчет временных параметров

На основе перечисленных выше шагов, принимая также во внимание автоматические ответы, можно произвести следующие расчеты:

- 1) КШ-ОУ, ОУ-КШ или слова режима, N слов данных: $T = C_{try} \times (20,2 + N \times 20 + T_{loop} + 12,5 + T_{extra} + 21 + 5) + T_{dpr} = C_{try} \times (58,7 + N \times 20 + T_{extra} + T_{loop}) + T_{dpr}$
- 2) ОУ-ОУ, N слов данных: $T = C_{try} \times (40,2 + T_{loop} + 12,5 + T_{extra} + 21 + N \times 20 + 12,5 + T_{extra} + 21 + 5) + T_{dpr} = C_{try} \times (112,2 + N \times 20 + 2T_{extra} + T_{loop}) + T_{dpr}$
- 3) Вещание КШ-ОУ или вещание слов режима, N слов данных: $T = C_{try} \times (20,2 + N \times 20 + T_{loop} + 3) - 3 + \max(T_{dpr}, 3)$
- 4) Вещание ОУ-ОУ: $T = C_{try} \times (40,2 + T_{loop} + 12,5 + T_{extra} + 21 + N \times 20 + 5) + T_{dpr}$

где

T – время, занимаемое передачей в наихудшем случае (т. е. на сколько задержится следующая передача при максимальной загрузке);

C_{try} – максимальное количество попыток, управляемое дескриптором, считается равным 1, если не используются автоматические повторные попытки;

T_{loop} – время от окончания передачи слова до декодирования приемником слова в обратной передаче. Сумма задержек в передатчике и приемнике плюс внутренняя задержка 400 нс;

T_{dpr} – время, требуемое для обработки данных между текущей и следующей передачей. Включает в себя сохранение результата, обработку ветвей, получение следующего дескриптора;

T_{extra} – дополнительное время отклика ОУ, равняется значению поля RTTO дескриптора передачи, умноженному на 4 мкс.

Пример выполнения расчета

Для данного примера предположим $T_{loop} = 1,4$ мкс (задержка в приемопередатчике 500 нс + 500 нс) и $T_{dpr} = 3$ мкс (90 циклов при частоте 30 МГц).

Тогда передача пяти слов данных в режиме ОУ-ОУ потребует до $1 \times (112,2 + 5 \times 20 + 2 \times 0 + 1,4) + 3 = 216,6$ мкс.

1.4.1.7.3.2.2.2 Работа в режиме оконечного устройства (ОУ)

1.4.1.7.3.2.2.2.1 Обзор

В режиме удаленного терминала ядро выполняет функции ведомого устройства (slave) по шине ГОСТ Р 52070. Оно принимает запросы с собственного адреса ОУ (или вещательные передачи), проверяет их конфигурацию на предмет корректности, и, если конфигурация допустима, осуществляет соответствующую передачу, а, если недопустима, устанавливает флаг ошибки сообщения в слове состояния. Допустимость для передачи данных управляется словом управления субадресом, а для кодов режима регистром управления кодами режима.

Для запуска ОУ необходимо настроить таблицу субадресов и циклический буфер регистрации, после чего записать адрес и бит активации ОУ в регистр конфигурации ОУ.

					ЮФКВ.431268.020РЭ			Лист
								375
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

1.4.1.7.3.2.2.2.2 Передача данных

В режиме удаленного терминала используется трехуровневая структура для управления DMA передачи данных (см. рисунок 105). Верхний уровень - таблица субадресов, в которой каждому субадресу соответствует контрольное слово субадреса и указатели на дескриптор передачи и дескриптор приема. В свою очередь, каждый дескриптор содержит слово контроля/состояния дескриптора, указатель на буфер данных и указатель на следующий дескриптор, в результате чего формируется связанный список или цикл дескрипторов. Буферы данных могут находиться в любом месте в памяти и выравниваются под 16 бит.

При получении запроса на передачу данных ОУ проверяет по таблице субадресов, является ли запрос допустимым. Если запрос допустим, осуществляется передача данных с DMA в соответствующий буфер данных или из соответствующего буфера данных. По окончании передачи слово контроля/состояния дескриптора обновляется состоянием успешной передачи или сбоя, а указатель в таблице субадресов изменяется и указывает на следующий дескриптор.

Если активирована регистрация событий, запись помещается в циклический буфер журнала регистрации. Может также быть активировано прерывание IRQ, вызываемое передачей. Чтобы определить, какая передача вызвала прерывание, положение прерывания в журнале событий ОУ (ОУ Event Log IRQ Position) указывает на соответствующую запись в логе. Поэтому для активации прерываний необходимо также активировать логирование.

Если запрос допустим, но не может быть исполнен либо из-за отсутствия готового корректного дескриптора, либо из-за отсутствия возможности доступа к данным в пределах требуемого времени отклика, ядро генерирует сигнал о прерывании по причине ошибки доступа к таблице ОУ и не отвечает на запрос. Дополнительно может быть автоматически установлен бит флага состояния терминала по данным условиям ошибки.

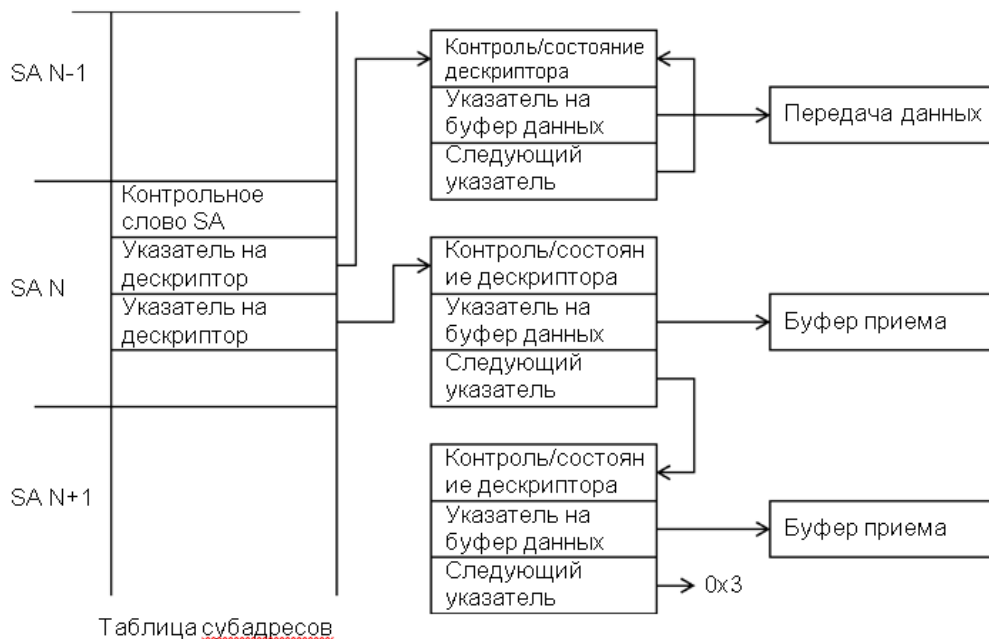


Рисунок 105 – Диаграмма - пример структуры данных субадреса ОУ

1.4.1.7.3.2.2.2.3 Коды режимов

Допустимость кодов режимов ГОСТ Р 52070, необходимость их логирования и прерывания управляется регистром управления кодами режима ОУ (ОУ Mode Code Control register). Касательно передачи данных, для активации прерываний необходимо активировать логирование. Коды режимов запрета управляются теми же полями, что их незапрещающие пары.

									Лист
									376
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redhell</i> 24.10.2019			34203-2					

Коды режимов, которые могут быть переданы в вещательном режиме, имеют два отдельных поля для контроля вариантов с вещанием и без вещания.

Различные коды режимов и соответствующие им операции, производимые ОУ, указаны в таблице 490. Некоторые коды режимов не имеют жесткой связи с встроенными операциями. Такие коды должны быть реализованы программно при необходимости. Также показано соотношение между каждым кодом режима и полями в регистре управления кодами режима ОУ.

Таблица 490 – Коды режимов ОУ МКИО

Код режима		Описание	Встроенная операция, если код режима активирован	Логирование / IRQ	Активация после сброса	Биты в рег. управления
0	00000	Динамическое управление шиной	Если бит DVCA в регистре состояния шины ОУ установлен, отправляется ответ о согласии на динамическое управление шиной (Dynamic Bus Control Acceptance)	Да	Нет	17:16
1	00001	Синхронизация	Поле времени в регистре синхронизации ОУ обновлено. Фронт импульса выходного сигнала rtsync инициирует новый цикл AMBA	Да	Да	3:0
2	00010	Передать слово состояния	Передача слова состояния ОУ Всегда активно, не логируется и не отключается	Нет	Да	-
3	00011	Инициировать самодиагности	Нет встроенной операции	Да	Нет	21:18
4	00100	Отключение передатчика	ОУ прекращает реагировать на команды по другой шине (шине, отличной от той, по которой подана команда)	Да	Да	11:8
5	00101	Отмена отключения передатчика	Отменяет действие предыдущего кода режима отключения передатчика, полученного по той же шине	Да	Да	11:8
6	00110	Запрет флага терминала	Маскирует флаг терминала отправленных слов состояния ОУ	Да	Нет	25:22
7	00111	Отмена запрета флага терминала	Отменяет действие предыдущего кода режима запрета флага терминала	Да	Нет	25:22
8	01000	Сбросить удаленный терминал	Сброс состояний отказоустойчивых таймеров, отключения передатчика и запрета флага терминала. Очистка битов флага терминала и запроса обслуживания в регистре состояния шины ОУ. Фронт выходного сигнала extreset инициирует новый цикл AMBA	Да	Нет	29:26
1 6	10000	Передать векторное слово	Возвращает векторное слово из регистра слов состояния ОУ	Да	Нет	13:12

					Лист	
					377	
		ЮФКВ.431268.020РЭ				
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Код режима		Описание	Встроенная операция, если код режима активирован	Логирование / IRQ	Активация после сброса	Биты в рег. управления
17	10001	Синхронизация со словом данных	Поля времени и даты в регистре синхронизации ОУ обновлены. Фронт выходного сигнала rtsync инициирует новый цикл АМВА	Да	Да	7:4
18	10010	Передать последнюю команду	Передача последней команды, отправленной на ОУ. Всегда активно, не логируется и не отключается	Нет	Да	-
19	10011	Передать слово ВІТ	Возвращает слово ВІТ из регистра слов состояний ОУ	Да	Нет	15:14
20	10100	Отключение выбранного передатчика	Нет встроенной операции	Нет	Нет	-
21	10101	Отмена отключения выбранного передатчика	Нет встроенной операции	Нет	Нет	-

1.4.1.7.3.2.2.2.4 Журнал событий

Журнал событий представляет собой цикл из 32-битных записей, формат которой представлен в таблице 491.

Для передачи данных биты 23-0 журнала событий идентичны битам 23-0 слова состояния дескриптора.

Таблица 491 – Описание полей записи журнала событий ОУ МКИО

Поле	Биты	Описание
IRQSR	31	Источник прерывания - Устанавливается в 1, если данная передача вызвала прерывание
TYPE	30 : 29	Тип передачи - 00 - Передача данных, 01 - Прием данных, 10 - Код режима
SAMC	28 : 24	Субадрес/код режима - Если TYPE=00/01, содержит субадрес передачи, если TYPE=10, содержит код режима
TIMEL	23 : 10	14 младших битов счетчика временных меток
BC	9	Вещание - Устанавливается в 1, если пришел запрос на вещательный адрес
SZ	8 : 3	Размер передачи - Счетчик из 16-битных слов (0-32)
TRES	2 : 0	Результат передачи: 000 = Успешно 001 = Заменено (отменено другой командой по другой шине) 010 = Ошибка DMA или тайм-аут памяти 011 = Ошибка протокола (некорректное время слов данных или ошибка декодера) 100 = В переданном слове состояния установлен бит занятости или бит ошибки сообщения, данные не переданы 101 = Передача прервана из-за ошибки при проверке методом обратной передачи

1.4.1.7.3.2.2.2.5 Формат таблицы субадресов

В таблице 492 представлен формат таблицы субадресов ОУ.

Таблица 492 – Записи в таблице субадресов ОУ МКИО для номеров субадресов N, 0<N<31

Смещение	Значение	DMA R/W
0x10*N + 0x00	Контрольное слово субадреса N (таблица 362)	R

					ЮФКВ.431268.020РЭ		Лист
							378
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Смещение	Значение	DMA R/W
0x10*N + 0x04	Указатель на дескриптор передачи, выровненный под 16 бит (0x3 является недопустимым указателем)	R/W
0x10*N + 0x08	Указатель на дескриптор приема, выровненный под 16 бит (0x3 является недопустимым указателем)	R/W
0x10*N + 0x0C	Не используется	-
Примечание - Записи в таблице для субадресов кодов режимов 0 и 31 не обрабатываются ядром.		

В таблице 493 представлено описание полей контрольного слова таблицы субадресов ОУ.

Таблица 493 – Описание полей контрольного слова таблицы субадресов ОУ (смещение 0x00)

Поле	Биты	Описание
-	31 : 19	Зарезервировано - сбросить в 0 для совместимости с последующими версиями
WRAP	18	Активировать автоматический циклический возврат - Активирует для данного субадреса режим, при котором последние полученные данные отсылаются обратно. Это достигается копированием указателя на дескриптор завершившейся передачи в адрес указателя на дескриптор передачи после каждой успешной передачи. Примечание - Если WRAP=1, не следует устанавливать TXSZ > RXSZ, так как это может привести к попыткам чтения за пределами буфера
IGNDV	17	Игнорировать бит допустимости данных - Если этот бит установлен в 1, прием будет продолжаться (и перезаписывать буфер), даже если в дескрипторе приема установлен бит допустимости данных, вместо того, чтобы не отвечать на запросы. Это может использоваться в циклах дескрипторов в ситуациях, когда неважно, перезаписываются ли самые старые данные
BCRXE	16	Активировать прием вещания - Позволяет принимать на этот субадрес данные, передаваемые в режиме вещания
RXEN	15	Активировать прием - Позволяет принимать данные на этот субадрес
RXLOG	14	Логировать принимаемые данные - Логировать все приемы в циклический журнал событий (используется только если RXEN=1)
RXIRQ	13	Прерывание по приему - Любая принятая передача вызывает прерывание (только если также RXEN, RXLOG=1)
RXSZ	12 : 8	Максимально допустимый размер приема на этот субадрес - в 16-битных словах, 0 означает 32
TXEN	7	Активировать передачу - Позволяет передавать данные с этого субадреса
TXLOG	6	Логировать передачу - Логировать все передачи в циклический журнал событий (только если также TXEN=1)
TXIRQ	5	Прерывание по передаче - Каждая передача вызывает прерывание (только если TXEN, TXLOG=1)
TXSZ	4 : 0	Максимально допустимый размер передачи с этого субадреса - в 16-битных словах, 0 означает 32

В таблице 494 представлен формат дескриптора ОУ МКПД.

Таблица 494 – Формат дескриптора ОУ МКИО

Смещение	Значение	DMA R/W
0x00	Слово контроля и состояния	R/W
0x04	Указатель на буфер данных, выровненный под 16 бит	R
0x08	Указатель на следующий дескриптор, выровненный под 16 бит или 0x0000003 для указания на конец списка	R

В таблице 495 представлено описание полей слова контроля/состояния дескриптора ОУ МКИО.

					ЮФКВ.431268.020РЭ		Лист
							379
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 495 – Описание полей слова контроля/состояния дескриптора ОУ МКИО

Поле	Биты	Описание
DV	31	Допустимость данных - Сбрасывается в 0 программно до и устанавливается в 1 аппаратно после передачи. Если DV=1 в текущем дескрипторе приема до начала приема, генерируется ошибка таблицы дескрипторов. Действие данного бита может быть отменено установкой бита IGNDV в таблице субадресов
IRQEN	30	Отмена активации IRQ - Логирование и IRQ после передачи независимо от установок контрольного слова SA. Может использоваться для вызова прерывания при приближении к концу списка дескрипторов
-	29 : 26	Зарезервировано - Сбросить в 0 и маскировать при чтении для совместимости с последующими версиями
TIME	25 : 10	Временная метка передачи - Устанавливается ядром в соответствии со значением таймера ОУ по окончании передачи
BC	9	Вещание - Устанавливается ядром, если передача велась в режиме вещания
SZ	8 : 3	Размер передачи - Счетчик из 16-битных слов (0-32)
TRES	2 : 0	Результат передачи 000 = Успешно 001 = Заменено (отменено другой командой по другой шине) 010 = Ошибка DMA или тайм-аут памяти 011 = Ошибка протокола (некорректное время слов данных или ошибка декодера) 100 = В переданном слове состояния установлен бит занятости или бит ошибки сообщения, данные не переданы 101 = Передача прервана из-за ошибки при проверке методом обратной передачи

1.4.1.7.3.2.2.3 Работа монитора шины

МШ может активироваться самостоятельно или параллельно с КШ или ОУ. МШ выполняет функции пассивного устройства регистрации, записывающего полученные данные с временными метками в циклический буфер.

1.4.1.7.3.2.2.3.1 Фильтрация

Монитор шины также поддерживает фильтрацию. Это дополнительная функция, ее наличие проверяется программно путем проверки возможности записи в регистры фильтров МШ.

Передачи могут фильтроваться по адресам ОУ, а также по субадресам или кодам режимов. Условия фильтров объединяются логическим «И». Если все биты трех регистров фильтров и биты 2-3 регистра управления установлены в 1, ядро МШ будет логировать все слова, полученные по шине.

Для фильтрации по субадресам/кодам режимов МШ оборудован логикой отслеживания слов по шине ГОСТ Р 52070, принадлежащих одному сообщению. Поддерживаются все 10 типов сообщений. При появлении неожиданного слова логика фильтра перезапускается. Слова данных, не принадлежащие никакому сообщению, могут логироваться, если установлен соответствующий бит в регистре управления.

Логику фильтра можно перезапустить вручную, сбросив бит активации МШ в 0, а затем снова установив в 1. Основная цель этой функции - обеспечение возможностей по проверке МШ.

Для экономии ресурсов МШ можно сконфигурировать без возможностей фильтрации. В таком случае все встречаемые слова логируются, а регистры управления фильтрами переходят в режим «только для чтения» и считываются как заполненные всеми единицами. Тем не менее, остается возможность контроля логирования ошибок четности и ошибок манчестерского кода.

1.4.1.7.3.2.2.3.2 Действия при отсутствии отклика

В протоколе ГОСТ Р 52070 командное слово для кода режима с использованием индикатора 0 или обычная передача на субадрес 8 имеют ту же структуру, что и допустимое слово состояния. Таким образом, при использовании субадресов или фильтров кодов режимов

					Лист	
					380	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

может возникнуть неоднозначность: ОУ не отвечает на субадресе и КШ отдает повторную команду этому ОУ с субадресом 8 или индикатором кода режима 0 по той же шине. Это может привести к тому, что второе командное слово будет интерпретировано как слово состояния и будет отфильтровано.

Для разрешения неоднозначности МШ может использовать контрольный бит и зарезервированные биты, что означает, что такая ситуация не произойдет при использовании субадресов 1-7, 9-30 идентификатора кода режима 31. Кроме того, такая ситуация не может произойти, если не используются фильтры субадресов/кодов режимов, а используются только фильтры адресов ОУ.

1.4.1.7.3.2.3.3 Формат записи в журнале

Каждая запись в журнале (логе) содержит два 32-битных слова, формат которых представлен в таблицах 496 и 497.

Таблица 496 – Описание полей слова 0 записи в журнале МШ МКПД (смещение 0x00)

Поле	Биты	Описание поля
1	31	Всегда записывается как 1
-	30 : 24	Зарезервировано - Маскировать при чтении для совместимости с последующими версиями
TIME	23 : 0	Временная метка

Таблица 497 – Описание полей слова 1 записи в журнале МШ МКПД (смещение 0x04)

Поле	Биты	Описание поля
0	31	Всегда записывается как 0
-	30 : 20	Зарезервировано - Маскировать при чтении для совместимости с последующими версиями
BUS	19	Шина приема данных (BUS) - 0:A, 1:B
WST	18 : 17	Состояние слова (WST) - 00=ОК, 01=Ошибка манчестерского кода, 10=Ошибка четности
WTP	16	Тип слова (WTP) - 0:Данные, 1:Команда/состояние
WD	15 : 0	Данные слова (WD)

1.4.1.7.3.3 Описание регистров контроллера МКИО

1.4.1.7.3.3.1 Карта регистров контроллера МКИО

Программирование контроллера МКИО происходит через регистры, привязанные к адресному пространству APB. Зарезервированные поля в регистрах должны быть заполнены нулями и маскироваться при чтении. Карта регистров контроллера МКИО представлена в таблице 498. Регистры контроллера МКИО для режимов КШ, ОУ и МШ в таблицах 499, 500 и 501 соответственно.

Таблица 498 – Карта регистров контроллера МКИО

Адрес	Регистр	Доступ	Значение после сброса	Описание
0x00	IRQ	RW	0x00000000	Регистр прерываний
0x04	IRQE	RW	0x00000000	Регистр активации прерываний
0x08-0x0F	-	-	-	Резерв
0x10	HWCFG	RO	0x00000000	Регистр конфигурации аппаратной части
0x14-0x3F	-	-	-	Резерв
0x40-0x7F	BC	RW		Область регистров КШ
0x80-0xBF	RT	RW		Область регистров ОУ
0xC0-0xFF	BM	RW		Область регистров МШ

					ЮФКВ.431268.020РЭ		Лист
							381
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 499 – Регистры контроллера МКИО для КШ

Адрес	Регистр	Доступ	Значение после сброса	Описание
0x40	BCSL	RW	0xf0000000	Регистр состояния и конфигурации КШ
0x44	BCA	WO		Регистр операций КШ
0x48	BCTNP	RW	0x00000000	Следующий указатель в списке передач КШ
0x4C	BCANP	RW	0x00000000	Следующий указатель в списке асинхронных передач КШ
0x50	BCT	RO	0x00000000	Регистр таймера КШ
0x54	BCTW	RW	0x00000000	Регистр запуска таймера КШ
0x58	BCRD	RW	0x00000000	Позиция в цикле IRQ, вызываемого передачей КШ
0x5C	BCBS	RW	0x00000000	Регистр смены шины КШ для ОУ
0x60-0x67		-	-	Резерв
0x68	BCTCP	RO	0x00000000	Указатель на текущий слот списка передач КШ
0x6C	BCACP	RO	0x00000000	Указатель на текущий слот списка асинхронных передач КШ
0x70-0x7F	-	-	-	Резерв

Таблица 500 – Регистры контроллера МКИО для ОУ

Адрес	Регистр	Доступ	Значение после сброса	Описание
0x80	RTS	RO	0x80000000	Регистр состояния ОУ
0x84	RTC	RW	0x0000e03e	Регистр конфигурации ОУ
0x88	RTBS	RW	0x00000000	Регистр битов состояния шины ОУ
0x8C	RTSW	RW	0x00000000	Регистр слов состояния ОУ
0x90	RTSY	RO	0x00000000	Регистр синхронизации ОУ
0x94	RTSTBA	RW	0x00000000	Базовый адрес таблицы субадресов ОУ
0x98	RTMCC	RW	0x00000555	Регистр управления кодами режима ОУ
0x9C-0xA3	-	-	-	Резерв
0xA4	RTTTC	RW	0x00000000	Регистр управления временными метками ОУ
0xA8		-	-	Резерв
0xAC	RTELM	RW	0xfffffff	Маска размера журнала событий ОУ
0xB0	RTELP	RW	0x00000000	Положение журнала событий ОУ
0xB4	RTELIP	RO	0x00000000	Положение прерывания журнала событий ОУ
0xB8-0xBF	-	-	-	Резерв

Таблица 501 – Регистры контроллера МКИО для МШ

Адрес	Регистр	Доступ	Значение после сброса	Описание
0xC0	BMS	RO	0x80000000	Регистр состояния МШ
0xC4	BMC	RW	0x00000000	Регистр управления МШ
0xC8	BMRTAF	RW	0xffffffff	Регистр фильтра адресов ОУ и МШ
0xCC	BMRTSF	RW	0xffffffff	Регистр фильтра субадресов ОУ и МШ
0xD0	BMRTMC	RW	0xffff	Регистр фильтра кодов режимов ОУ и МШ
0xD4	BMLBS	RW	0x00000000	Начало буфера журнала МШ
0xD8	BMLBE	RW	0x00000007	Конец буфера журнала МШ
0xDC	BMLBP	RW	0x00000000	Положение буфера журнала МШ
0xE0	BM TTC	RW	0x00000000	Регистр управления временными метками МШ

										Лист
										382
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019			34203-2					

Адрес	Регистр	Доступ	Значение после сброса	Описание
0xE4-0xFF	-	-	-	Резерв

1.4.1.7.3.3.2 Описание полей регистров контроллера МКИО

1.4.1.7.3.3.2.1 IRQ(0x00)

Описание полей регистра IRQ приведено в таблице 502.

Таблица 502 – Поля регистра IRQ

Поле	Биты	Описание поля
-	31:18	Резерв
BMTOF	17	Переполнение таймера МШ
BMD	16	Ошибка DMA МШ
-	15:11	Резерв
RTTE	10	Ошибка доступа к таблице ОУ
RTD	9	Ошибка DMA ОУ
RTEV	8	Прерывание событием ОУ, вызванным передачей
-	7:3	Резерв
BCWK	2	Прерывание таймера запуска КШ
BCD	1	Ошибка DMA КШ
BCEV	0	Прерывание событием КШ, вызванным передачей

Биты считываются как 1, если произошло прерывание. Сброс бита прерывания осуществляется записью 1 в этот бит.

1.4.1.7.3.3.2.2 IRQE(0x04)

Описание полей регистра IRQE приведено в таблице 503.

Таблица 503 – Поля регистра IRQE

Поле	Биты	Описание поля
-	31:18	Резерв
BMTOE	17	Активация прерывания по переполнению таймера МШ
BMDE	16	Активация прерывания по ошибке DMA МШ
-	15:11	Резерв
RTTEE	10	Активация прерывания по ошибке доступа к таблице ОУ
RTDE	9	Активация прерывания по ошибке DMA ОУ
RTEVE	8	Активация прерывания по событию ОУ, вызванному передачей
-	7:3	Резерв
BCWKE	2	Активация прерывания по таймеру запуска КШ
BCDE	1	Активация прерывания по ошибке DMA КШ
BCEVE	0	Активация прерывания по событию КШ, вызванному передачей

1.4.1.7.3.3.2.3 HWCFCG(0x10)

Описание полей регистра HWCFCG приведено в таблице 504.

Таблица 504 – Поля регистра HWCFCG

Поле	Биты	Описание поля
MOD	31	Изменено - Зарезервировано для отражения факта, что конфигурация ядра изменена/скорректирована непредусмотренным образом
-	31:18	Резерв
XKEYS	11	Установлено, если для полей регистра управления МШ и всех регистров управления ОУ активированы ключи безопасности
ENDIAN	10 : 9	Порядок байтов АНВ - 00=обратный (Big-endian), 01=прямой (Little-endian), 10/11=Зарезервировано

					ЮФКВ.431268.020РЭ		Лист
							383
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
SCLK	8	Единая система тактовой синхронизации - Зарезервировано для последующих версий для отражения факта, что ядро модифицировано для работы с единой системой тактовой синхронизации
CCFREQ	7 : 0	Тактовая частота кодека - Зарезервировано для последующих версий ядра для отражения факта, что ядро работает с другой тактовой частотой для кодека. Значение частоты указывается в МГц, 0 означает 20 МГц

Все биты данного регистра предназначены только для чтения.

1.4.1.7.3.3.2.4 BCSL(0x40)

Описание полей регистра BCSL приведено в таблице 505.

Таблица 505 – Поля регистра BCSL

Поле	Биты	Описание поля
BCSUP	31	Поддержка BC - Читается как 1, если ядро поддерживает режим BC
BCT ¹⁾	30	Поддержка таймера расписания КШ (1=поддерживается)
BCTW ¹⁾	29	Поддержка прерывания по времени запуска расписания КШ (1=поддерживается)
BCBS ¹⁾	28	Поддержка регистра смены шины КШ для ОУ и бита дескриптора STBUS (1=поддерживается)
-	31:18	Резерв
BCCHK	16	Проверка вещания - Бит с возможностью записи. Если установлен в 1, активируется ожидание и проверка наличия (неожиданных) ответов на все вещательные передачи
ASADL	15 : 11	Младшие биты списка асинхронных передач - Биты 8-4 адреса выполняемой в настоящий момент (если ASST=01) или следующей асинхронной команды
ASST	9 : 8	Состояние списка асинхронных передач - 00=Остановлен, 01=Выполняется команда, 10=Ожидание временного слота
SCADL	7 : 3	Младшие биты адреса расписания - Биты 8-4 адреса выполняемого в настоящий момент (если SCST=001) или следующего дескриптора расписания
SCST	2 : 0	Состояние расписания - 000=Остановлено, 001=Выполняется команда, 010=Ожидание временного слота, 011=Приостановлено, 100=Ожидание внешнего триггера

¹⁾ Биты [30:28] образуют битовое поле BCFEAT, описывающее поддерживаемые дополнительные функции.

Все биты данного регистра, за исключением BCCHK, предназначены только для чтения.

1.4.1.7.3.3.2.5 BSA(0x44)

Описание полей регистра BSA приведено в таблице 506.

Таблица 506 – Поля регистра BSA

Поле	Биты	Описание поля
BCKEY	31 : 16	Код безопасности - Обязательно 0x1552 при записи, иначе запрос на запись в регистр игнорируется
-	31:18	Резерв
ASSTP	9	Останов списка асинхронных передач - Записать 1 для останова списка асинхронных передач (после текущей передачи, если она в процессе)
ASSRT	8	Запуск списка асинхронных передач - Записать 1 для запуска списка асинхронных передач
-	31:18	Резерв
CLRT	4	Очистка внешнего триггера - Записать 1 для очистки памяти триггера

					ЮФКВ.431268.020РЭ		Лист 384
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
SETT	3	Установка внешнего триггера - Записать 1 для принудительной установки памяти триггера
SCSTP	2	Останов расписания - Записать 1 для останова расписания (после текущей передачи, если она в процессе)
SCSUS	1	Приостановка расписания - Записать 1 для временной приостановки расписания (после текущей передачи, если она в процессе)
SCSRT	0	Запуск расписания - Записать 1 для запуска расписания

1.4.1.7.3.3.2.6 BCTNP(0x48)

Описание полей регистра BCTNP приведено в таблице 507.

Таблица 507 – Поля регистра BCTNP

Поле	Биты	Описание поля
BCTNP	31 : 0	Чтение: Выполняемая в настоящий момент (если SCST=001) или следующая передача по стандартному расписанию. Запись: Изменение адреса. В процессе выполнения операции приведет к переходу по окончании текущей передачи

1.4.1.7.3.3.2.7 BCANP(0x4C)

Описание полей регистра BCANP приведено в таблице 508.

Таблица 508 – Поля регистра BCANP

Поле	Биты	Описание поля
BCANP	31 : 0	Чтение: Выполняемая в настоящий момент (если ASST=01) или следующая передача по расписанию асинхронных передач. Запись: Изменение адреса. В процессе выполнения операции приведет к переходу по окончании текущей передачи

1.4.1.7.3.3.2.8 BCT(0x50)

Описание полей регистра BCT приведено в таблице 509.

Таблица 509 – Поля регистра BCT

Поле	Биты	Описание поля
-	31 : 24	Резерв
SCTM	23 : 0	Истекшее время "списка передач" в микросекундах (только для чтения) Сбросить в 0, если расписание остановлено или синхронизируется от внешнего источника

Данный регистр является дополнительной функцией, см. регистр BCSL.

1.4.1.7.3.3.2.9 BCTW(0x54)

Описание полей регистра BCTW приведено в таблице 510.

Таблица 510 – Поля регистра BCTW

Поле	Биты	Описание поля
WKEN	31	Активация таймера запуска - Если установлено, при WKTM=SCTM вызывается исключение
-	30 : 24	Резерв
WKTM	23 : 0	Время запуска

Данный регистр является дополнительной функцией, см. регистр BCSL в п. 1.4.1.4.3.3.2.4.

1.4.1.7.3.3.2.10 BCRD(0x58)

Описание полей регистра BCRD приведено в таблице 511.

					ЮФКВ.431268.020РЭ		Лист
							385
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 511 – Поля регистра BCRD

Поле	Биты	Описание поля
BCRD	31 : 0	Текущий указатель в цикле указателей на дескрипторы IRQ, вызываемые передачей. Биты 1:0 всегда нули (выравнивание по границе 4 байта) Цикл возвращается к началу на границе 64 байта, поэтому биты 31:6 меняются только пользователем

1.4.1.7.3.3.2.11 BCBS(0x5C)

Описание полей регистра BCBS приведено в таблице 512.

Таблица 512 – Поля регистра BCBS

Поле	Биты	Описание поля
BCBS	31 : 0	Бит выбора шины и биты в данной маске, соответствующему адресуемому ОУ (принимаящий ОУ при передаче ОУ-ОУ) применяется логическая операция «исключающее или». Если используется бит дескриптора STBUS, регистр обновляется ядром

Данный регистр является дополнительной функцией, см. регистр BCSL в п. 1.4.1.4.3.3.2.4.

1.4.1.7.3.3.2.12 BCTCP(0x68)

Описание полей регистра BCTCP приведено в таблице 513.

Таблица 513 – Поля регистра BCTCP

Поле	Биты	Описание поля
BCTCP	31 : 4	Указывает на дескриптор передачи, соответствующий текущему временному слоту (только для чтения, действует только во время работы списка передач)
0	3:0	Всегда 0 для выравнивания под 128 бит/16 байт

1.4.1.7.3.3.2.13 BCACP(0x6C)

Описание полей регистра BCACP приведено в таблице 514.

Таблица 514 – Поля регистра BCACP

Поле	Биты	Описание поля
BCACP	31 : 4	Указывает на дескриптор передачи, соответствующий текущему временному слоту расписания асинхронных передач (только для чтения, действует только во время работы списка асинхронных передач)
0		

1.4.1.7.3.3.2.14 RTS(0x80)

Описание полей регистра RTS приведено в таблице 515.

Таблица 515 – Поля регистра RTS

Поле	Биты	Описание поля
RTSUP	31	Поддержка ОУ - Считывается как 1, если ядро поддерживает режим ОУ
-	31:18	Резерв
ACT	3	ОУ активен - 1, если ОУ в настоящий момент обрабатывает передачу
SHDA	2	Останов шины А - Считывается как 1, если КШ отключил шину А (при помощи команды отключения передатчика по шине В)
SHDB	1	Останов шины В - Считывается как 1, если КШ отключил шину В (при помощи команды отключения передатчика по шине А)
RUN	0	ОУ в работе - 1, если ОУ принимает команды

					ЮФКВ.431268.020РЭ		Лист
							386
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.3.3.2.15 RTC(0x84)

Описание полей регистра RTC приведено в таблице 516.

Таблица 516 – Поля регистра RTC

Поле	Биты	Описание поля
RTKEY	31 : 16	Код безопасности - Обязательно 0x1553 при изменении адреса ОУ, иначе запись в поле адреса невозможна. При чтении регистра это поле содержит 0x0000. Если активированы дополнительные ключи безопасности (см. регистр конфигурации аппаратной части), младшая половина ключа также используется для защиты других полей данного регистра
SYS	15	Активация синхросигнала - Устанавливается в 1 для вывода импульса rtsync при получении кода режима синхронизации (без данных)
SYDS	14	Активация синхросигнала с данными - Устанавливается в 1 для вывода импульса rtsync при получении кода режима синхронизации со словом данных
BRS	13	Активация сигнала сброса шины - Устанавливается в 1 для вывода импульса busreset при получении кода режима сброса удаленного терминала
-	31:18	Резерв
RTEIS	6	Считывается как 1, если текущий адрес был установлен через внешний вход. После установки адреса программными средствами данное поле сбрасывается в 0
RTADDR	5 : 1	Адрес ОУ () - Адрес данного ОУ (0-30)
RTEN	0	Активация ОУ () - Устанавливается в 1 для активации приема запросов

1.4.1.7.3.3.2.16 RTBS(0x88)

Описание полей регистра RTBS приведено в таблице 517.

Таблица 517 – Поля регистра RTBS

Поле	Биты	Описание поля
-	31:8	Резерв
TFDE	8	Автоматическая установка флага терминала при ошибках DMA ошибках таблицы дескрипторов
-	7:5	Резерв
SREQ ¹⁾	4	Запрос обслуживания
BUSY ¹⁾	3	Бит занятости Примечание - Если бит занятости установлен, ОУ будет отвечать только словом состояния, а передача будет отмечена состоянием "сбой"
SSF ¹⁾	2	Флаг подсистемы
DBCA ¹⁾	1	Согласие на динамическое управление шиной Примечание - Данный бит отправляется только в ответ на код режима динамического управления шиной
TFLG ¹⁾	0	Флаг терминала КШ может маскировать данный флаг, используя команду режима "отмена флага терминала", если это допустимо

¹⁾ Данные биты [4:0] отправляются в составе отклика о статусе ОУ по шине ГОСТ Р 52070.

1.4.1.7.3.3.2.17 RTSW(0x8C)

Описание полей регистра RTSW приведено в таблице 518.

					ЮФКВ.431268.020РЭ		Лист
							387
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 518 – Поля регистра RTSW

Поле	Биты	Описание поля
BITW	31 : 16	Битовое слово - Передается в ответ на команду режима "Передать битовое слово", если это допустимо
VECW	15 : 0	Векторное слово - Передается в ответ на команду режима "Передать векторное слово", если это допустимо

1.4.1.7.3.3.2.18 RTSY(0x90)

Описание полей регистра RTSY приведено в таблице 519.

Таблица 519 – Поля регистра RTSY

Поле	Биты	Описание поля
SYTM	31 : 16	Значение таймера ОУ при получении последней команды режима синхронизации или синхронизации со словом данных, если это допустимо
SYD	15 : 0	Данные, полученные с последней командой синхронизации со словом данных, если это допустимо

1.4.1.7.3.3.2.19 RTSTBA(0x94)

Описание полей регистра RTSTBA приведено в таблице 520.

Таблица 520 – Поля регистра RTSTBA

Поле	Биты	Описание поля
SATB	31 : 9	Базовый адрес, биты 31-9 для таблицы субадресов
-	8 : 0	Резерв

1.4.1.7.3.3.2.20 RTMCC(0x98)

Описание полей регистра RTMCC приведено в таблице 521.

Таблица 521 – Поля регистра RTMCC

Поле	Биты	Описание поля
-	31:30	Резерв
RRTB	29 : 28	Вещание - сброс удаленного терминала
RRT	27 : 26	Сброс удаленного терминала
ITFB	25 : 24	Вещание - запрет и отмена запрета бита флага терминала
ITF	23 : 22	Запрет и отмена запрета бита флага терминала
ISTB	21 : 20	Вещание - запуск самодиагностики
IST	19 : 18	Запуск самодиагностики
DBC	17 : 16	Динамическое управление шиной
TBW	15 : 14	Передача битового слова
TVW	13 : 12	Передача векторного слова
TSB	11 : 10	Вещание - отключение передатчика и отмена отключения передатчика
TS	9 : 8	Отключение передатчика и отмена отключения передатчика
SDB	7 : 6	Вещание - синхронизация со словом данных
SD	5 : 4	Синхронизация со словом данных
SB	3 : 2	Вещание - синхронизация
S	1 : 0	Синхронизация

Каждый код режима может принимать следующие значения:

- 1) "00" – Недопустимо;
- 2) "01" – Допустимо;
- 3) "10" – Допустимо, включено логирование;
- 4) "11" – Допустимо, логирование и прерывание.

					ЮФКВ.431268.020РЭ	Лист 388
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

1.4.1.7.3.3.2.21 RTTTC(0xA4)

Описание полей регистра RTTTC приведено в таблице 522.

Таблица 522 – Поля регистра RTTTC

Поле	Биты	Описание поля
TRES	31 : 16	Разрешение временной метки - Единица измерения счетчика временных меток ОУ в микросекундах минус 1
TVAL	15 : 0	Значение временной метки - Текущее значение счетчика временных меток

1.4.1.7.3.3.2.22 RTELM(0xAC)

Описание полей регистра RTELM приведено в таблице 523.

Таблица 523 – Поля регистра RTELM

Поле	Биты	Описание поля
1	31:17	Всегда должно быть 0x1FF
ELSM	16 : 2	Маска, определяющая размер и выравнивание буфера журнала событий ОУ
RES	1:0	Всегда должно быть 0

1.4.1.7.3.3.2.23 RTELP(0xB0)

Описание полей регистра RTELP приведено в таблице 524.

Таблица 524 – Поля регистра RTELP

Поле	Биты	Описание поля
ELWP	31 : 0	Адрес первой неиспользуемой/старейшей записи в буфере журнала событий, выравнивание под 32 бита

1.4.1.7.3.3.2.24 RTELIP(0xB4)

Описание полей регистра RTELIP приведено в таблице 525.

Таблица 525 – Поля регистра RTELIP

Поле	Биты	Описание поля
ELIRQP	31 : 0	Адрес записи в журнале событий, соответствующей прерыванию, выравнивание под 32 бита. Регистр устанавливается по первому прерыванию и не устанавливается снова до момента подтверждения прерывания

1.4.1.7.3.3.2.25 BMS(0xC0)

Описание полей регистра BMS приведено в таблице 526.

Таблица 526 – Поля регистра BMS

Поле	Биты	Описание поля
BMSUP	31	Поддержка МШ - Считывается как 1, если ядро поддерживает режим МШ
KEYEN	30	Активация ключа - Считывается как 1, если МШ проверяет поле ВМKEY при записи в регистр управления
-	29:0	Резерв

1.4.1.7.3.3.2.26 BMC(0xC4)

Описание полей регистра BMC приведено в таблице 527.

Таблица 527 – Поля регистра BMC

Поле	Биты	Описание поля
ВМKEY	31 : 16	Ключ безопасности - Если активированы дополнительные ключи (см. KEYEN), это поле должно содержать 0x1543 для согласия на запись. Значение при чтении 0x0000

					ЮФКВ.431268.020РЭ		Лист
							389
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
-	15:6	Резерв
WRSTP	5	Останов переноса - Если установлено в 1, BMEN сбрасывается в 0 и останавливает МШ, когда положение журнала МШ переносится из конца в начало буфера
EXST	4	Запуск внешней синхронизации - Если установлено в 1, BMEN устанавливается в 1 и МШ запускается при получении внешнего синхроимпульса КШ
IMCL	3	Регистрация недопустимого кода режима - Устанавливается в 1 для логирования недопустимых или зарезервированных кодов режима
UDWL	2	Регистрация неожиданного слова данных - Устанавливается в 1 для логирования слов данных, предположительно не являющихся частью какой-либо команды
MANL	1	Регистрация ошибок манчестерского кода/четности - Устанавливается в 1 для логирования битовых ошибок декодирования
BMEN	0	Активация МШ - Устанавливается в 1 для активации любого логирования МШ

1.4.1.7.3.3.2.27 VMRTAF(0xC8)

Описание полей регистра VMRTAF приведено в таблице 528.

Таблица 528 – Поля регистра VMRTAF

Поле	Биты	Описание поля
ALE	31	Активирует логирование вещательных передач
AL	30 : 0	Каждый бит, будучи установлен в 1, активирует логирование передач с соответствующим адресом ОУ

1.4.1.7.3.3.2.28 VMRTSF(0xCC)

Описание полей регистра VMRTSF приведено в таблице 529.

Таблица 529 – Поля регистра VMRTSF

Поле	Биты	Описание поля
SALE	31	Активирует логирование команд режимов по субадресу 31
SAL	30 : 1	Каждый бит, будучи установлен в 1, активирует логирование передач с соответствующим субадресом ОУ
SAL0	0	Активирует логирование команд режимов по субадресу 0

1.4.1.7.3.3.2.29 VMRTMC(0xD0)

Описание полей регистра VMRTMC приведено в таблице 530.

Таблица 530 – Поля регистра VMRTMC

Поле	Биты	Описание поля
-	31:19	Резерв
STSB	18	Вещание - отключение выбранного передатчика и вещание - отмена отключения выбранного передатчика
STS	17	Отключение выбранного передатчика и отмена отключения выбранного передатчика
TLC	16	Передача последней команды
TSW	15	Передача слова состояния
RRTB	14	Вещание - сброс удаленного терминала
RRT	13	Сброс удаленного терминала
ITFB	12	Вещание - запрет и отмена запрета бита флага терминала
ITF	11	Запрет и отмена запрета бита флага терминала
ISTB	10	Вещание - запуск самодиагностики
IST	9	Запуск самодиагностики
DBC	8	Динамическое управление шиной

					ЮФКВ.431268.020РЭ		Лист 390
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редкол</i> 24.10.2019		34203-2			

Поле	Биты	Описание поля
TBW	7	Передача битового слова
TVW	6	Передача векторного слова
TSB	5	Вещание - отключение передатчика и отмена отключения передатчика
TS	4	Отключение передатчика и отмена отключения передатчика
SDB	3	Вещание - синхронизация со словом данных
SD	2	Синхронизация со словом данных
SB	1	Вещание – синхронизация
S	0	Синхронизация

Каждый бит, будучи установлен в 1, активирует логирование кода режима.

1.4.1.7.3.3.2.30 BMLBS(0xD4)

Описание полей регистра BMLBS приведено в таблице 531.

Таблица 531 – Поля регистра BMLBS

Поле	Биты	Описание поля
SA	31:3	Указатель на наименьший адрес буфера журнала МШ
0	2:0	Всегда нужно устанавливать 0 для выравнивания по 8 байт

1.4.1.7.3.3.2.31 BMLBE(0xD8)

Описание полей регистра BMLBE приведено в таблице 532.

Таблица 532 – Поля регистра BMLBE

Поле	Биты	Описание поля
SA	31:22	Биты 31:22 равны битам 31:22 адреса начала буфера
EA	21:3	Указатель на наибольший адрес буфера журнала МШ (буфер не может превысить границу 4 МБ)
0	2:0	Всегда нужно устанавливать 0 для выравнивания

1.4.1.7.3.3.2.32 BMLBP(0xDC)

Описание полей регистра BMLBP приведено в таблице 533.

Таблица 533 – Поля регистра BMLBP

Поле	Биты	Описание поля
SA	31:22	Биты 31:22 равны битам 31:22 адреса начала буфера
CTPR		Указатель на следующий адрес, по которому будет осуществляться запись в буфер журнала МШ (буфер не может превысить границу 4 МБ)
0	2:0	Всегда нужно устанавливать 0 для выравнивания

1.4.1.7.3.3.2.33 BMTTC(0xE0)

Описание полей регистра BMTTC приведено в таблице 534.

Таблица 534 – Поля регистра BMTTC

Поле	Биты	Описание поля
TRES	31 : 24	Разрешение временной метки - Единица измерения счетчика временных меток МШ в микросекундах минус 1
TVAL	23 : 0	Значение временной метки - Текущее значение счетчика временных меток

					ЮФКВ.431268.020РЭ		Лист 391
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

1.4.1.7.3.4 Дополнительный блок контроллера МКИО

1.4.1.7.3.4.1 Общее описание дополнительного блока контроллера МКИО

Дополнительный блок расширяет возможности контроллера МКИО, обеспечивая:

- программное изменение полярности сигналов, выходящих на шину ГОСТ Р 52070;
- отслеживание временных меток сообщений;
- отслеживание команды сброса.

Ниже приведена схема сборки дополнительного блока с основным контроллером МКИО (см. рисунок 106).

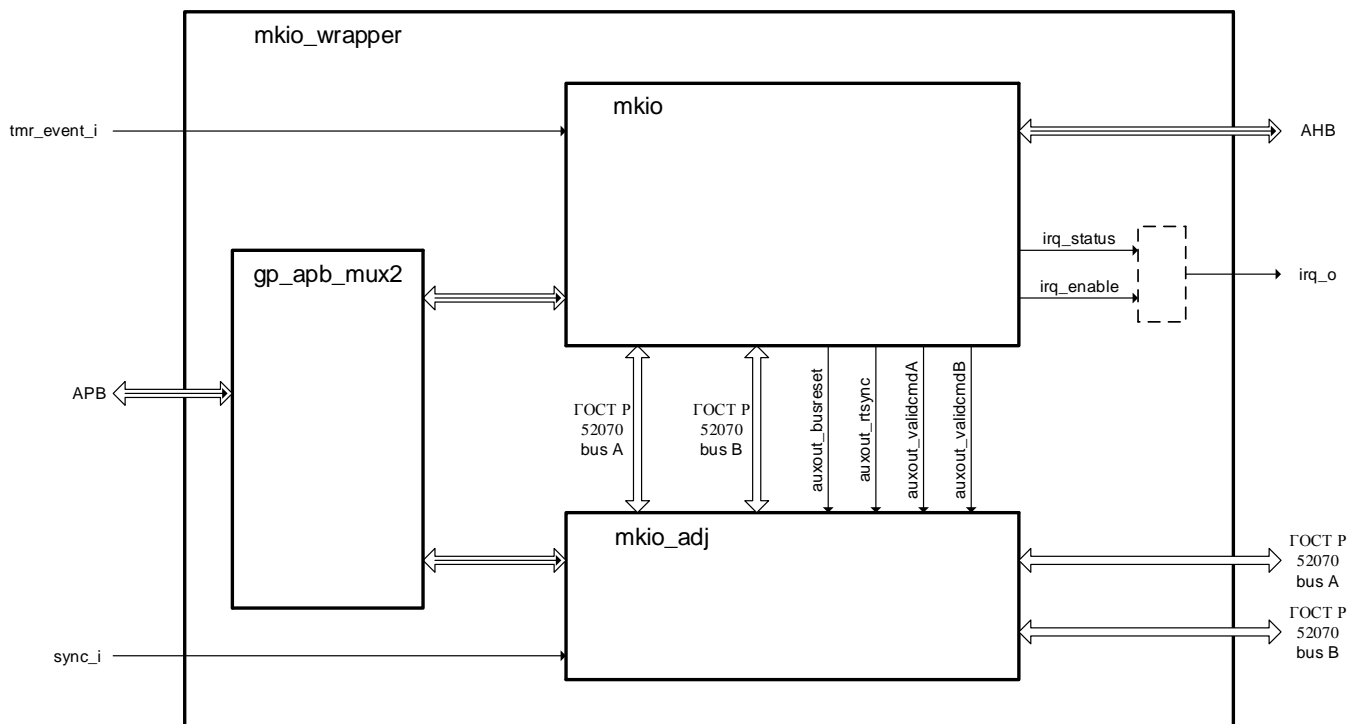


Рисунок 106 – Структурная схема дополнительного блока контроллера МКИО

Описание блоков на структурной схеме дополнительного блока контроллера МКИО приведено в таблице 535.

Таблица 535 – Описание блоков на структурной схеме дополнительного блока контроллера МКИО

Название блока	Назначение и основные функции
mkio_wrapper	Верхний уровень сборки, объединяющий основную и дополнительную часть
mkio	Основной контроллер МКИО
mkio_adj	Дополнительный блок
gp_apb_mux2	Блок разделения программной шины APB

Блок использует часть программного интерфейса (AMBA APB) контроллера МКПД. Поэтому их базовые адреса – одинаковые.

1.4.1.7.3.4.2 Принцип генерации временных меток для контроллера МКПД

Значения всех меток в парах регистров

{MKIO_ADJ_VALIDCMD_FIRST_H, MKIO_ADJ_VALIDCMD_FIRST_L},

{MKIO_ADJ_VALIDCMD_LAST_H, MKIO_ADJ_VALIDCMD_LAST_L},

{MKIO_ADJ_RTSYNC_LAST_H, MKIO_ADJ_RTSYNC_LAST_L}

указаны в тактах системной частоты AMBA_CLK. Точность всех меток – 10 тактов.

									Лист
									392
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
34203-3	Редько 24.10.2019		34203-2						

Генерация меток для режимов КШ и ОУ различна.

В режиме КШ фиксация first/last метки осуществляется перед началом выдачи командного сообщения на шину ГОСТ Р 52070. Чтение нового дескриптора происходит по закрытии предыдущего, а не по окончании его Slot Time. Поэтому оно может произойти раньше своей метки на Slot Time предыдущего дескриптора. Фиксация sync метки в режиме КШ отсутствует.

В режиме ОУ фиксация first/last метки осуществляется после полного получения командного сообщения по шине ГОСТ Р 52070. Фиксация sync метки осуществляется после получения команды синхронизации или после ее слова данных, если оно имеется.

1.4.1.7.3.4.3 Карта регистров дополнительного блока контроллера МКИО

Карта регистров дополнительного блока контроллера МКИО приведена в таблице 536.

Таблица 536 – Карта регистров дополнительного блока контроллера МКИО

Адрес	Название регистра	Доступ	Значение после сброса	Описание
0x100	MKIO_ADJ_POLARITY	RW	0x00000000	Управление полярностью сигналов
0x104	MKIO_ADJ_SYNC_CTRL	RW	0x00000001	Управление синхронизацией и статус сброса
0x108	MKIO_ADJ_VALIDCMD_FIRST_L	RO	0x00000000	Первая метка, младшая часть
0x10C	MKIO_ADJ_VALIDCMD_FIRST_H	RO	0x00000000	Первая метка, старшая часть
0x110	MKIO_ADJ_VALIDCMD_LAST_L	RO	0x00000000	Последняя метка, младшая часть
0x114	MKIO_ADJ_VALIDCMD_LAST_H	RO	0x00000000	Последняя метка, старшая часть
0x118	MKIO_ADJ_RTSYNC_LAST_L	RO	0x00000000	Последняя метка синхронизации, младшая часть
0x11C	MKIO_ADJ_RTSYNC_LAST_H	RO	0x00000000	Последняя метка синхронизации, старшая часть

1.4.1.7.3.4.4 Описание полей регистров дополнительного блока контроллера МКИО

1.4.1.7.3.4.4.1 MKIO_ADJ_POLARITY(0x100)

Описание полей регистра MKIO_ADJ_POLARITY приведено в таблице 537.

Таблица 537 – Поля регистра MKIO_ADJ_POLARITY

Поле	Биты	Доступ	Значение после сброса	Описание
bus_a_tx	0	RW	0	Полярность сигналов передатчика и приемника шины А 0 – прямая 1 – обратная
bus_b_tx	1	RW	0	Полярность сигналов передатчика и приемника шины В 0 – прямая 1 – обратная
bus_ab_tx_inh	2	RW	0	Полярность сигналов разрешения передатчиков шин А и В 0 – выдача сигналов запрещения (1 – передатчик выключен, 0 - включен) – обычно используемое 1 – выдача сигналов разрешения
reserved	31:3	R	0	Резерв

1.4.1.7.3.4.4.2 MKIO_ADJ_SYNC_CTRL (0x104)

Описание полей регистра MKIO_ADJ_SYNC_CTRL приведено в таблице 538.

Таблица 538 – Поля регистра MKIO_ADJ_SYNC_CTRL

Поле	Биты	Доступ	Значение после сброса	Описание
arm_first	0	RW	1	1 – временная метка следующей пришедшей по шине 1553 команды сохранится. 0 – первая временная метка не будет сохранена.

					ЮФКВ.431268.020РЭ		Лист
							393
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redbel</i> 24.10.2019		34203-2			

Поле	Биты	Доступ	Значение после сброса	Описание
				<p>Работает в режимах КШ и ОУ. В режиме КШ отслеживаются выдаваемые команды.</p> <p>По приходу команды бит будет сброшен аппаратно, таким образом будет сохранена самая первая метка. Метка сохраняется в теневого регистре, откуда может быть скопирована в программно доступные регистры MKIO_ADJ_VALIDCMD_FIRST_L и MKIO_ADJ_VALIDCMD_FIRST_H установкой бита fix_timestamp текущего регистра.</p> <p>Для сохранения еще одной первой метки следует программно установить этот бит.</p> <p>Программная запись 0 в текущий бит не вызовет ничего</p>
fix_timestamp	1	RW	0	<p>Программная установка этого бита скопирует содержимое всех теневых регистров с временными метками в программно доступные регистры MKIO_ADJ_VALIDCMD_FIRST_L, MKIO_ADJ_VALIDCMD_FIRST_H, MKIO_ADJ_VALIDCMD_LAST_L, MKIO_ADJ_VALIDCMD_LAST_H, MKIO_ADJ_RTSYNC_LAST_L, MKIO_ADJ_RTSYNC_LAST_H.</p> <p>Бит должен быть установлен перед чтением регистров с метками. Такой механизм чтения введен из-за 64-битного формата меток, чтобы предотвратить возможные ошибки при их чтении.</p> <p>Бит будет сброшен аппаратно через 1 такт после установки.</p> <p>Программная запись 0 в текущий бит не вызовет ничего</p>
busreset	2	RW1CLR	0	<p>Чтение:</p> <p>1 – контроллер МКШО в режиме ОУ получил команду сброса по шине 1553 (reset remote terminal mode command). 0 – команда сброса не была получена с момента последнего сброса этого бита.</p> <p>Запись:</p> <p>1 – текущий бит будет сброшен. 0 – не вызовет ничего</p>
reserved	31:3	RO	0	Зарезервировано

1.4.1.7.3.4.4.3 MKIO_ADJ_VALIDCMD_FIRST_L (0x108)

Описание полей регистра MKIO_ADJ_VALIDCMD_FIRST_L приведено в таблице 539.

Таблица 539 – Поля регистра MKIO_ADJ_VALIDCMD_FIRST_L

Поле	Биты	Доступ	Значение после сброса	Описание
validcmd_first_l	31:0	RO	0	Младшая часть временной метки первой полученной (для ОУ) или отправленной (для КШ) любой команды

1.4.1.7.3.4.4.4 MKIO_ADJ_VALIDCMD_FIRST_H (0x10C)

Описание полей регистра MKIO_ADJ_VALIDCMD_FIRST_H приведено в таблице 540.

					ЮФКВ.431268.020РЭ		Лист 394
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Таблица 540 – Поля регистра MKIO_ADJ_VALIDCMD_FIRST_H

Поле	Биты	Доступ	Значение после сброса	Описание
validcmd_first_h	31:0	RO	0	Старшая часть временной метки первой полученной (для ОУ) или отправленной (для КШ) любой команды

Данный регистр имеет корректное значение только после программной установки бита fix_timestamp регистра MKIO_ADJ_SYNC_CTRL.

1.4.1.7.3.4.4.5 MKIO_ADJ_VALIDCMD_LAST_L (0x110)

Описание полей регистра MKIO_ADJ_VALIDCMD_LAST_L приведено в таблице 541.

Таблица 541 – Поля регистра MKIO_ADJ_VALIDCMD_LAST_L

Поле	Биты	Доступ	Значение после сброса	Описание
validcmd_last_l	31:0	RO	0	Младшая часть временной метки последней из полученных (для ОУ) или отправленных (для КШ) любых команд

Данный регистр имеет корректное значение только после программной установки бита fix_timestamp регистра MKIO_ADJ_SYNC_CTRL.

1.4.1.7.3.4.4.6 MKIO_ADJ_VALIDCMD_LAST_H (0x114)

Описание полей регистра MKIO_ADJ_VALIDCMD_LAST_H приведено в таблице 542.

Таблица 542 – Поля регистра MKIO_ADJ_VALIDCMD_LAST_H

Поле	Биты	Доступ	Значение после сброса	Описание
validcmd_last_h	31:0	RO	0	Старшая часть временной метки последней из полученных (для ОУ) или отправленных (для КШ) любых команд

Данный регистр имеет корректное значение только после программной установки бита fix_timestamp регистра MKIO_ADJ_SYNC_CTRL.

1.4.1.7.3.4.4.7 MKIO_ADJ_RTSYNC_LAST_L (0x118)

Описание полей регистра MKIO_ADJ_RTSYNC_LAST_L приведено в таблице 543.

Таблица 543 – Поля регистра MKIO_ADJ_RTSYNC_LAST_L

Поле	Биты	Доступ	Значение после сброса	Описание
rtsync_last_l	31:0	RO	0	Младшая часть временной метки последней из полученных ОУ команд синхронизации

Данный регистр имеет корректное значение только после программной установки бита fix_timestamp регистра MKIO_ADJ_SYNC_CTRL.

1.4.1.7.3.4.4.8 MKIO_ADJ_RTSYNC_LAST_H (0x11C)

Описание полей регистра MKIO_ADJ_RTSYNC_LAST_H приведено в таблице 544.

Таблица 544 – Поля регистра MKIO_ADJ_RTSYNC_LAST_H

Поле	Биты	Доступ	Значение после сброса	Описание
rtsync_last_h	31:0	RO	0	Старшая часть временной метки последней из полученных ОУ команд синхронизации

Данный регистр имеет корректное значение только после программной установки бита fix_timestamp регистра MKIO_ADJ_SYNC_CTRL.

					ЮФКВ.431268.020РЭ		Лист
							395
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.7.3.4.5 Известные проблемы системы меток

В системе генерации меток существуют следующие проблемы:

- 1) Генерация временной метки происходит с ошибкой в режиме КШ при первой транзакции. Она как минимум на 1мкс меньше указанного в дескрипторе Time Slot. Также она может дополнительно уменьшиться, если чтение дескриптора задерживается. Эта проблема также относится к меткам, полученным в результате работы МШ.
- 2) При нехватке Slot Time или при использовании асинхронных дескрипторов в режиме КШ генерация first/last меток следующего дескриптора располагается близко во времени к прерыванию, вырабатываемому по окончании текущего дескриптора. При этом текущая метка может быть утеряна и вместо нее получена следующая.

Рекомендуется использовать дополнительную систему меток, когда она гарантированно работает:

- в отсутствии асинхронных передач и при большом Slot Time синхронных передач;
- для получения начальной и конечной меток некоторого пакета транзакций – если известно, что по его окончании следующая передача будет не скоро.

При необходимости получения меток для каждой транзакции – пользоваться системой меток МШ.

1.4.1.7.4 Контроллер ARINC-429

1.4.1.7.4.1 Общее описание контроллера ARINC-429

Контроллер ARINC-429 (ГОСТ 18977-79 и РТМ 1495-84) предназначен для передачи информации в формате 32-разрядных слов согласно спецификациям ГОСТ 18977-79 и РТМ 1495-84.

Данный контроллер обладает следующими функциональными возможностями:

- 16 независимых блоков приемников и 16 независимых блоков передатчиков данных;
- 32 FIFO-буфера приемников для временного хранения принимаемых слов и 16 FIFO-буферов передатчиков для временного хранения передаваемых слов;
- возможность настройки подключения каждого приемника к одному или более (максимально – до 32-х) FIFO-буферам приемников;
- поддержка для каждого FIFO-буфера приемника фильтрации записываемых в него слов на основе таблицы меток (до 32-х меток на каждый FIFO-буфер);
- аппаратный контроль правильности бита четности для принимаемых слов;
- аппаратный контроль ошибок на линии;
- аппаратный расчет бита четности для передаваемых слов;
- программируемая задержка между передаваемыми словами;
- фиксация моментов времени передачи;
- встроенный 16-канальный DMA-контроллер чтения для загрузки данных из DMA-буферов в FIFO-буферы передатчиков при выполнении операций вывода;
- встроенный 32-канальный DMA-контроллер записи для передачи данных из FIFO-буферов приемников в DMA-буферы при выполнении операций ввода;
- независимая настройка скорости работы (12,5 кГц, 50 кГц или 100 кГц) каждого передатчика и приемника.

1.4.1.7.4.2 Структурная схема контроллера ARINC-429

Структурная схема контроллера ARINC 429 представлена на рисунке 107.

					ЮФКВ.431268.020РЭ			Лист
								396
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

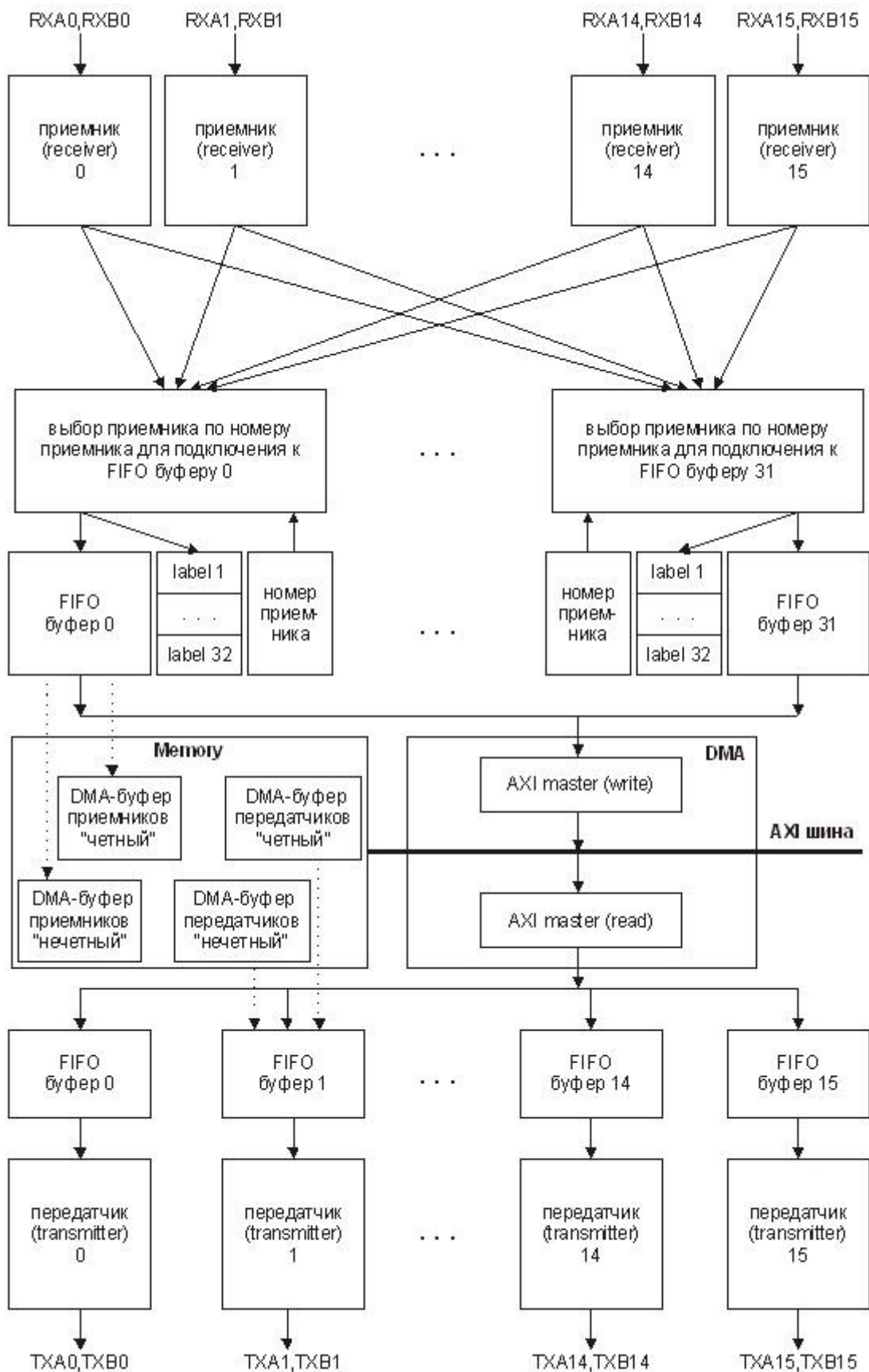


Рисунок 107 – Структурная схема контроллера ARINC 429

Каналы приемников и передатчиков имеют FIFO-буферы, чтобы обеспечить возможность обмена данными с шиной AXI пакетами слов (слово - 32 разряда) через блок DMA.

									Лист
									397
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

Передачики получают данные с шины AXI через блок DMA (AXI master read), который, получив запрос от FIFO-буфера, что он свободен, делает запрос по считыванию в память за пачкой слов и помещает данные в этот буфер. Адреса **байтовые** и размеры DMA-буферов в **словах** (их два в памяти для каждого FIFO-буфера) загружаются в регистры контроллера заранее.

Приемники принимают данные с линии и накапливают пачки слов в FIFO-буферах, пройдя схему селекции данных по метке (label). Далее запрос от конкретного FIFO-буфера (одного из 32-х) передается в блок DMA (AXI master write), который и организует непосредственно запись пачки данных в DMA-буфер по шине AXI.

Когда несколько FIFO-буферов обращаются к блоку DMA, то из них выбирается один самый приоритетный. Схема приоритета на структурной схеме контроллера не показана.

Описание блоков на структурной схеме контроллера ARINC-429 представлено в таблице 545.

Таблица 545 – Описание блоков на структурной схеме контроллера ARINC-429

Название блока	Назначение и основные функции
Приемник (receiver)	Данные поступают из двухпроводной (RXA, RXB) линии в кодировке с возвратом к нулю. Приемник определяет наличие межсловной паузы (два нуля на обеих фазах в течение шести полутактов линии), затем ищет передний фронт на любой из фаз входного сигнала. Далее ожидает время отступа, которое задано программно. Это момент приема первого бита данных. В этот момент обнуляется фаза счетчика частоты приема данных и оставшиеся биты данных принимаются сдвиговым регистром на установленной заранее скорости. Производится селекция данных по метке и на корректность. После попадания данных в программно назначенный FIFO-буфер, указатель записи данного буфера инкрементируется
FIFO-буферы приемников	Между приемниками и FIFO-буферами приемников нет взаимно однозначного соответствия. Данные в буфер поступают из приемника, который назначен программно (поле - номер приемника). После успешного ассоциативного сравнения поля метки (label) из слова данных с таблицей меток данного FIFO-буфера, загруженной заранее программным образом, данное слово записывается в FIFO-буфер. Когда какой-нибудь буфер наполняется достаточно, чтобы осуществить запись пачки в память (в пачке не более 16 слов), формируется запрос к DMA, который организует заявку на запись пачки слов в один из двух DMA-буферов, назначенный данному FIFO-буферу (адреса и размеры DMA-буферов хранятся на регистрах в контроллере)
Передачик (transmitter)	Данные в каждый передачик поступают из своего FIFO-буфера, если FIFO-буфер не пуст и установлен признак старта данного передачика. Далее данные достигают сдвигового регистра (внутри передачика), на котором на установленной скорости биты данных последовательно поступают в двухпроводную (TXA, TXB) линию в кодировке с возвратом к нулю. После выдачи слова данных в линию выдается пауза установленной длительности. После выдачи слова в линию указатель считывания буфера инкрементируется
FIFO-буферы передачиков	Каждый из передачиков получает данные через свой FIFO-буфер, который предназначен для приема пачки слов (32 бита в слове) от одного из двух DMA-буферов через блок DMA, поэтому размеры FIFO-буферов равны максимальному размеру пачки (16 слов). Адреса и размеры (в словах) DMA-буферов хранятся на регистрах в контроллере

1.4.1.7.4.3 Принципы функционирования контроллера ARINC-429

1.4.1.7.4.3.1 Принципы функционирования контроллера ARINC-429 при передаче слов

Передача слов в ARINC-429-линии реализуется в контроллере ARINC-429 блоками передатчиков, каждый из которых ассоциирован строго с определенным FIFO-буфером передатчика.

После включения каналы передатчиков настраиваются так, что они готовы работать со скоростью последовательной линии 100 кГц.

									Лист
									398
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2					

Для начала работы блок передатчика должен быть предварительно сконфигурирован, в том числе и установка регистра WAIT_TMR_TX[wait_tx] в нужное значение (если есть отличия от начальной установки). Параметры блоков передатчиков задаются в регистрах FREQ_x_TX.

После проведения процедуры предварительной конфигурации блок передатчика должен быть включен через установку бита CHANNEL_EN[ch_en_tx[x]] (где x – номер блока передатчика), после чего он начинает последовательно считывать из связанного с ним FIFO-буфера слова и передавать их в ARINC-429 линию.

Поле label (8 разрядов) входных (из FIFO) данных передатчиков при выдаче в последовательную шину переворачивается (0 разряд переставляется с 7-м, 1 разряд переставляется с 6-м, 2 разряд переставляется с 5-м, 3 разряд переставляется с 4-м).

При установке в состояние 1 поля PARITY_BIT[parity_bit_tx[x]], где x – номер блока передатчика, 31-й разряд, передаваемый через указанный блок передатчика, трактуется как бит четности, значение которого принудительно устанавливается аппаратурой блока передатчика. В этом случае режим расчета свертки битов слова по модулю 2 задается через регистр PARITY_ODD (1 - свертка нечетная, 0 - свертка четная).

При установке в состояние 0 поля PARITY_BIT[parity_bit_tx[x]], 31-й разряд, передаваемый через указанный блок передатчика, трактуется как бит данных и его значение передается в линию неизменным.

Заполнение FIFO-буферов передатчиков выполняется соответствующим ему DMA-каналом чтения, который читает передаваемые слова из DMA-буферов, расположенных в системной памяти. Каждый DMA-канал чтения однозначно позиционно сопоставлен FIFO-буферу передатчика и, следовательно, блоку передатчика, i-й DMA-канал чтения соответствует i-му FIFO-буферу передатчика и i-му блоку передатчика.

Каждому DMA-каналу чтения в системной памяти сопоставлены два DMA-буфера – "четный" и "нечетный"(стартовый - четный). В каждый конкретный момент времени DMA-канал чтения может работать только с одним из них ("четным" или "нечетным" DMA-буфером), который в этом случае считается активным (см. рисунок 108).

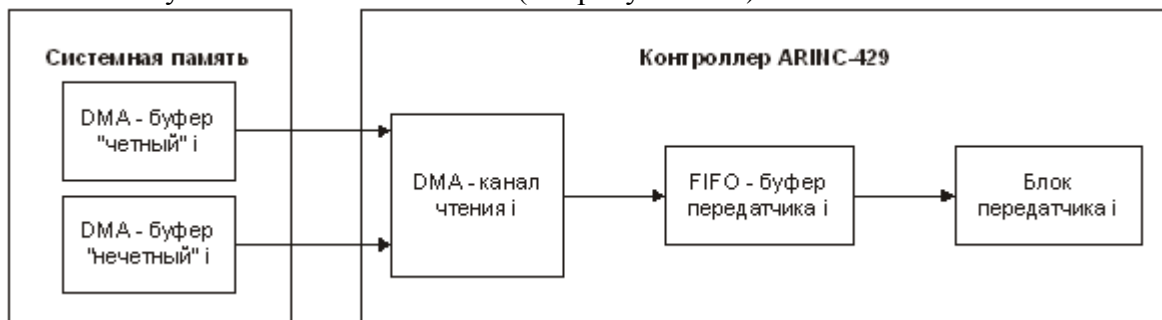


Рисунок 108 – Схема обмена данными между DMA-буфером и FIFO-буфером передатчика

В процессе своей работы DMA-канал чтения переключается между двумя связанными с ним DMA-буферами при возникновении события считывания всех данных из текущего активного DMA-буфера.

При этом событии переключение на другой DMA-буфер может происходить:

- немедленно, если не установлен бит признака ожидания переключения по внешнему событию WAIT_TMR_TX[wait_tx[x]];
- после установки бита SW_SIG_TX[x], если установлен бит признака ожидания переключения по внешнему событию WAIT_TMR_TX[wait_tx[x]];
- после поступления сигнала от таймера (TMR_EVENT), если установлен бит признака ожидания переключения по внешнему событию WAIT_TMR_TX[wait_tx[x]] и установлен бит маски сигнала от внешнего таймера WAIT_TMR_TX[timer_tx[x]].

					Лист
					399
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
34203-3	<i>Redell</i> 24.10.2019		34203-2		

В случае если установка бита SW_SIG_TX[x] или поступление сигнала от внешнего таймера происходят до момента считывания всех данных из текущего активного DMA-буфера, это приводит к принудительному переключению DMA-канала чтения на смежный DMA-буфер. При этом данные от предыдущего DMA-буфера, которые на момент наступления этих событий уже были размещены в FIFO-буфере передатчика, не отбрасываются, а дочитываются блоком передатчика и отправляются в линию. Также происходит ожидание завершения запущенных данным передатчиком транзакций по шине AXI, чьи данные пропадают. Признаком завершения обмена по сигналу от управляющей системы или по сигналу от таймера - это бит статусного регистра STATx_E_TX[signal_bit] и STATx_O_TX[signal_bit].

Для выключения блока передатчика устанавливается сигнал СТОП - нужный бит регистра CHANNEL_DIS[ch_dis_tx[x]] (где x – номер блока передатчика). Реальное выключения произойдет с задержкой - в момент переключения на смежный буфер, поэтому, если требуется остановить канал передатчика, не дожидаясь исчерпания DMA-буфера, надо дополнительно подать управляющий сигнал (бит регистра SW_SIG_TX[x]), который вызывает экстренное переключение на смежный буфер, и блок передатчика выключится.

Параметры DMA-буферов для каждого DMA-канала чтения задаются через регистры AGx_E_TX, AGx_O_TX, SZx_E_TX, SZx_O_TX (см. п. 1.4.1.7.4.4), где x – номер DMA-канала чтения. Адрес байтовый, а размер в словах.

Статусную информацию о количестве слов, считанных из каждого DMA-буфера в FIFO-буфер передатчика, можно получить, считав регистры STATx_E_TX и STATx_O_TX.

Кроме информации о количестве слов, для каждого DMA-канала чтения фиксируется статусная информация о моментах времени записи в FIFO-буфер первого и последнего слов каждого DMA-буфера, связанного с этим DMA-каналом. Так как обмен с DMA-буфером производится пачками слов, то момент времени прихода последнего слова в FIFO-буфер может значительно отличаться от времени ухода последнего слова в линию, поэтому есть возможность программно устанавливать, какой момент времени надо фиксировать (бит регистра LAST_WD_TMR). Информация сохраняется в виде тайм-штампов, которые представляют из себя значения внешнего по отношению к контроллеру 64-разрядного FreeRun – счетчика, поступающие по интерфейсу FRC_TS[63:0].

Для фиксации данной информации каждый DMA-канал имеет следующий набор регистров (в регистры TLRx_E_TX и TLRx_O_TX данные попадают в момент переключения на смежный буфер):

- для четного DMA-буфера:
 - а) TLFx_E_TX – старшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - б) TRFx_E_TX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - в) TRLx_E_TX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер последнего слова (если бит регистра LAST_WD_TMR=0) или в момент переключения на смежный буфер (если бит регистра LAST_WD_TMR=1);
- для нечетного DMA-буфера:
 - а) TLFx_O_TX – старшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - б) TRFx_O_TX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - в) TRLx_O_TX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер последнего слова (если бит регистра LAST_WD_TMR=0) или в момент переключения на смежный буфер (если бит регистра LAST_WD_TMR=1).

									Лист
									400
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

1.4.1.7.4.3.2 Принципы функционирования контроллера ARINC-429 при приеме слов

Прием слов с ARINC-429-линии реализуется в контроллере ARINC-429 блоками приемников, каждый из которых передает свои данные в FIFO-буферы приемников. В какие именно FIFO-буферы передавать данные, назначается программно через запись в регистры RNUM_x_RX[receiver_number[x]]. Чтобы добавить FIFO-буфер к работающим, надо заполнить свой RNUM_x_RX[receiver_number[x]] и выполнить команду СТАРТ установленного приемника (receiver_number[x]), которая не окажет влияния на уже работающие компоненты. Чтобы выключить FIFO-буфер из работающих, надо установить соответствующий бит в регистре FIFO_DIS_RX, а также, если требуется еще и прервать работу данного FIFO-буфера, то дополнительно послать сигнал от управляющей системы (регистр SW_SIG_RX).

После включения каналы приемников настраиваются так, что они готовы работать со скоростью последовательной линии 100 кГц.

Для начала работы блок приемника должен быть предварительно сконфигурирован, в том числе и установка регистра WAIT_SIG_RX в нужное значение (если есть отличия от начальной установки). Параметры блоков приемников задаются в регистрах FREQ_x_RX (см. п. 1.4.1.7.4.4).

После проведения процедуры предварительной конфигурации блок приемника должен быть включен через установку бита CHANNEL_EN[ch_en_rx[x]] (где x – номер блока приемника), кроме приемника включаются все FIFO-буферы, связанные с этим приемником, после чего он начинает записывать данные из ARINC-429-линии в связанные с ним FIFO-буферы. Чтобы выключить приемник, надо установить соответствующий бит регистра CHANNEL_DIS[ch_dis_rx[x]] (где x – номер блока приемника), кроме приемника выключаются все FIFO-буферы, связанные с этим приемником.

Поле label (8 разрядов) входных данных приемников после приема из последовательной линии переворачивается (0 разряд переставляется с 7-м, 1 разряд переставляется с 6-м, 2 разряд переставляется с 5-м, 3 разряд переставляется с 4-м).

При установке в состояние 1 поля PARITY_BIT[parity_bit_rx[x]], где x – номер блока приемника, 31-й разряд, принимаемый через указанный блок приемника, трактуется как бит четности, значение которого проверяется аппаратурой блока приемника. В этом случае, режим расчета свертки битов слова по модулю 2 задается через регистр PARITY_ODD (1 - свертка нечетная, 0 - свертка четная).

При установке в состояние 0 поля PARITY_BIT[parity_bit_rx[x]], 31-й разряд, передаваемый через указанный блок приемника, трактуется как бит данных и его значение передается из линии неизменным.

Опустошение FIFO-буферов приемников выполняется соответствующими им DMA-каналами записи, которые пишут передаваемые слова в DMA-буферы, расположенные в системной памяти. Каждый DMA-канал записи однозначно позиционно сопоставлен FIFO-буферу блока приемников.

Каждому из 32-х DMA-каналов записи в системной памяти сопоставлены два DMA-буфера – "четный" и "нечетный" (стартовый - четный). В каждый конкретный момент времени DMA-канал записи может работать только с одним из них ("четным" или "нечетным" DMA-буфером), который в этом случае считается активным (см. рисунок 109). На этом рисунке i принимает значение от 0 до 31.

					ЮФКВ.431268.020РЭ			Лист
								401
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

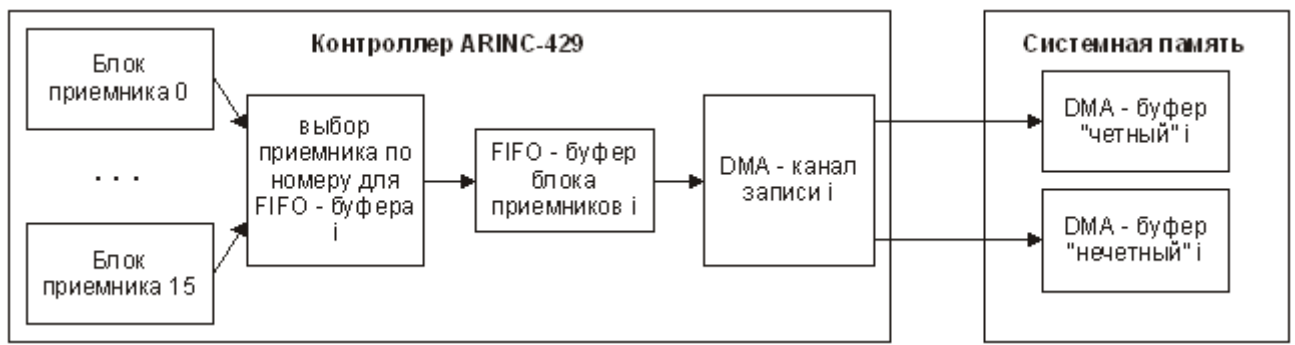


Рисунок 109 – Схема обмена данными между FIFO-буфером и DMA-буфером приемника

В процессе своей работы DMA-канал записи переключается между двумя связанными с ним DMA-буферами при возникновении события записи всех данных в текущий активный DMA-буфер.

При этом событии, переключение на другой DMA-буфер может происходить:

- немедленно, если не установлен бит признака ожидания переключения по внешнему событию WAIT_SIG_RX[x];
- после установки бита SW_SIG_RX[x], если установлен бит признака ожидания переключения по внешнему событию WAIT_SIG_RX[x];
- после поступления сигнала от таймера (TMR_EVENT), если установлен бит признака ожидания переключения по внешнему событию WAIT_SIG_RX[x] и установлен бит маски сигнала от внешнего таймера TMR_MASK_RX[x].

В случае если установка бита SW_SIG_RX[x] или поступление сигнала от внешнего таймера происходят до момента записи всех данных в активный DMA-буфер, это приводит к принудительному переключению DMA-канала записи на смежный DMA-буфер. При этом данные, предназначенные для предыдущего DMA-буфера, которые на момент наступления этих событий уже находились в FIFO-буфере, не отбрасываются, а дозаписываются в текущий DMA-буфер либо до опустошения FIFO-буфера, либо до полного заполнения DMA-буфера (оставшиеся в этом случае данные в FIFO-буфере запишутся в смежный буфер).

Параметры DMA-буферов для каждого DMA-канала записи задаются через регистры AGx_E_RX, AGx_O_RX, SZx_E_RX, SZx_O_RX (см. п. 1.4.1.7.4.4), где x – номер DMA-канала записи. Адрес байтовый, а размер - в словах.

Схема селекции данных с линии по содержащимся в них меткам (label) устроена так, что можно каждому из приемников выделить отдельный FIFO-буфер или несколько таких буферов из 32-х, в которые будут приходиться данные из конкретного приемника (таблица разрешенных меток у каждого FIFO-буфера своя). Таким образом, в разных буферах могут находиться данные от одного приемника. Программно селекцию можно включать и выключать (регистр LABEL_EN_RX). Таблица разрешенных меток состоит из восьми слов по 32 бита, которые сдвиговым образом загружаются при записи в соответствующий номеру FIFO-буфера регистр LABEL_x_RX. Количество уже загруженных регистров из восьми можно узнать, прочитав соответствующий номеру FIFO-буфера регистр RNUM_x_RX[label_quantity].

Статусную информацию о количестве слов, записанных в каждый DMA-буфер из FIFO-буфера приемника, можно получить, считав регистры STATx_E_RX и STATx_O_RX.

Кроме информации о количестве слов, для каждого DMA-канала записи фиксируется статусная информация о моментах времени записи в FIFO-буфер первого и последнего слов каждого DMA-буфера, связанного с этим DMA-каналом. Информация сохраняется в виде тайм-штампов, которые представляют из себя значения внешнего по отношению к контроллеру 64-разрядного FreeRun – счетчика.

					Лист
					402
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Для фиксации данной информации каждый DMA-канал имеет следующий набор регистров (в регистры TLRx_E_RX и TRLx_O_RX данные попадают в момент переключения на смежный буфер):

- для четного DMA-буфера:
 - а) TLFx_E_RX – старшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - б) TRFx_E_RX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - в) TRLx_E_RX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер последнего слова;
- для нечетного DMA-буфера:
 - а) TLFx_O_RX – старшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - б) TRFx_O_RX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер первого слова;
 - в) TRLx_O_RX – младшие 32 разряда значения тайм-штампа записи в FIFO-буфер последнего слова.

Старшие 32 разряда значения тайм-штампа для последнего слова программно доопределяются. Если значение младших 32 разрядов значения тайм-штампа для первого слова больше значения младших 32 разрядов значения тайм-штампа для последнего слова, то старшие 32 разряда значения тайм-штампа для последнего слова - это старшие 32 разряда значения тайм-штампа для первого слова плюс единица, иначе плюс ноль.

1.4.1.7.4.3.3 Режим кольцевого обратного контура (loopback)

Данные, которые любой из передатчиков передает в линию, можно внутри ARINC-429 контроллера передать в любой из приемников. Для этого вход приемника настраивается на прием данных от передатчика вместо входной линии путем записи единицы в бит регистра SELF_x_RX[self_test_en]. Номер передатчика, выход которого подключается к приемнику, задается в этом же регистре SELF_x_RX[number_tx_ch]. Сигнал от передатчика в выходную линию в этом режиме - это единицы на обеих фазах, чтобы на выходе микросхемы передатчика было Z состояние. Частотные параметры образовавшейся таким образом внутренней последовательной линии передатчика и приемника задаются через те же регистры, что и в обычном режиме для внешней последовательной линии.

1.4.1.7.4.3.4 Управление выводами TESTA/TESTB

Данные, которые любой из передатчиков передает в линию, можно внутри контроллера ARINC-429 передать в тестовую последовательную линию (сигналы интерфейса TESTA и TESTB). Для этого выход передатчика настраивается на выдачу тестовых данных путем записи единицы в бит регистра TEST_EN позиционно. Сигнал от передатчика в выходную линию в этом режиме - это единицы на обеих фазах, чтобы на выходе микросхемы передатчика было Z состояние.

Если ни один из передатчиков не подключен к тестовой линии, то на сигналах TESTA и TESTB формируется логический ноль и не мешает нормальному приему. Сигнал от передатчика, подключенного к тестовой линии, видоизменяется так, что в тестовую линию выдаются две единицы вместо двух нулей.

Таблица истинности для выводов контроллера ARINC-429 представлена в таблице 546.

										Лист
										403
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019			34203-2					

Таблица 546 – Таблица истинности для выводов контроллера ARINC-429

Входы				Выходы	
DnA	DnB	TESTA	TESTB	OUTA_n	OUTB_n
-1,25...+1,25	+1,25...-1,25	0	0	0	0
-3,25...-6,5	+3,25...+6,5	0	0	0	1
+3,25...+6,5	-3,25...-6,5	0	0	1	0
*	*	0	1	0	1
*	*	1	0	1	0
*	*	1	1	0	0

Примечания:
 * – любое состояние;
 0 – уровень логического нуля;
 1 – уровень логической единицы.

1.4.1.7.4.3.5 Программный сброс контроллера ARINC-429

Программный сброс осуществляется независимо для каждого передатчика и приемника. Для этого записывается единица в бит регистра CHANNEL_RST позиционно. Содержимое неуправляющих регистров сохраняется, а управляющих сбрасывается. Если осуществляется сброс всех передатчиков или приемников одновременно, то будут переустановлены все передатчики или приемники, как при включении питания. В этом случае содержимое всех регистров устанавливается в исходное состояние и требуется их перенастройка.

На данный момент можно перечислить в качестве управляющих регистров следующие:

- статусные по сути регистры - STATx_E_TX, STATx_O_TX, STATx_E_RX, STATx_O_RX, TRFx_E_TX, TLFx_E_TX, TRLx_E_TX, TRFx_O_TX, TLFx_O_TX, TRLx_O_TX, TRFx_E_RX, TLFx_E_RX, TRLx_E_RX, TRFx_O_RX, TLFx_O_RX, TRLx_O_RX;
- регистр признаков запуска - CHANNEL_EN.

1.4.1.7.4.3.6 Выдача сигнала прерывания INT_ARINC

Контроллер ARINC-429 выдает сигнал прерывания INT_ARINC как однократный импульс (если в регистр INT_LONG записан 0) или как потенциальный сигнал (если в регистр INT_LONG записана единица) до прихода сброса от управляющей системы (запись в регистр INT_DIS), который поступает в контроллеры прерываний GIC (ARM процессор) и внешних прерываний хоста (управляющая система), в которых прием прерывания осуществляется асинхронно и там хранится и обрабатывается.

Контроллер ARINC-429 ждет появления сигнала переключения на смежный буфер или исчерпания количества слов в режиме ожидания WAIT, или при наличии бита integrity в статусном регистре в тех приемниках и передатчиках, которые помечены позиционно в регистрах ожидания прерывания INT_TX и INT_RX и после появления первого (INT_LAST=0) или последнего (INT_LAST=1) такого сигнала выдает сигнал прерывания INT_ARINC, а регистры INT_TX и INT_RX обнуляются, поэтому для возобновления процесса ожидания прерывания необходимо повторно загрузить регистры INT_TX и INT_RX.

Статусные регистры завершения обменов COMPL_E_RX, COMPL_O_RX, COMPL_TX содержат логическую функцию основных статусных регистров STATx_E_TX, STATx_O_TX, STATx_E_RX, STATx_O_RX, прочитав которые за три обращения, можно определить ситуацию удачного завершения заказанных обменов и не читать в этом случае конкретные статусные регистры FIFO приемников и передатчиков. Статусные регистры DMA-буферов останутся несброшенными, но переключение на каждый конкретный буфер сбросит статусный регистр

					ЮФКВ.431268.020РЭ		Лист 404
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

этого буфера, так как он хранит данные только на время обработки смежного буфера. После останова статусные регистры остаются несброшенными.

1.4.1.7.4.3.7 Управление наклоном фронта выходных сигналов передатчика

Для управления наклоном фронта выходных сигналов передатчика используется выходной сигнал ARNC_SLP x , где x соответствует номеру передатчика от 0 до 15. Управление данным сигналом осуществляется посредством контроллеров GPIO3 и GPIO4 по схеме, приведенной в таблице 547.

Таблица 547 – Соответствие выводов ARINC_SLP x СБИС МИ БИУС линиям контроллеров GPIO3 и GPIO4

Вывод СБИС МИ БИУС	Линия контроллера GPIO
ARNC_SLP0	GPIO3[0]
ARNC_SLP1	GPIO3[1]
ARNC_SLP2	GPIO3[2]
ARNC_SLP3	GPIO3[3]
ARNC_SLP4	GPIO3[4]
ARNC_SLP5	GPIO3[5]
ARNC_SLP6	GPIO3[6]
ARNC_SLP7	GPIO3[7]
ARNC_SLP8	GPIO4[0]
ARNC_SLP9	GPIO4[1]
ARNC_SLP10	GPIO4[2]
ARNC_SLP11	GPIO4[3]
ARNC_SLP12	GPIO4[4]
ARNC_SLP13	GPIO4[5]
ARNC_SLP14	GPIO4[6]
ARNC_SLP15	GPIO4[7]

Для корректной работы контроллера ARINC-429 необходимо предварительно выполнить настройку контроллеров GPIO3 и GPIO4:

- 1) Сконфигурировать данные контроллеры для управления буферами ввода/вывода (записать 0xFF в регистр PAD_DIR (смещение адреса 0x08)).
- 2) Задать требуемое значение сигнала ARNC_SLP x , установив соответствующее значение в регистре WRITE_APBtoPAD (смещение адреса 0x08), например, для установки 1 на все линии ARNC_SLP0-7 необходимо записать 0xFF в регистр WRITE_APBtoPAD контроллера GPIO3.

1.4.1.7.4.4 Описание регистров контроллера ARINC-429

Обращение к регистрам контроллера осуществляется посредством системного интерфейса (интерфейс APB slave) по записи и по считыванию. Каждое обращение к регистрам имеет выравнивание до 32-х разрядов. То есть все регистры 32-разрядные. Базовый адрес контроллера - это разряды адреса на шине APB с 13 по 31, а внутренние адреса контроллера - это разряды адреса на шине APB с 0 по 12-й.

При обращении к регистрам контроллера по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают нулевое

					ЮФКВ.431268.020РЭ		Лист
							405
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

значение. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

- RO – поле доступно только для чтения. Запись данных в поле игнорируется;
- WO – поле доступно только для записи. Чтение возвращает значение 0;
- RW – поле доступно как для записи, так и для чтения.

1.4.1.7.4.4.1 Карта регистров контроллера ARINC-429

Карта регистров ARINC-429 представлена в таблице 548.

Таблица 548 – Карта регистров контроллера ARINC-429

Адрес	Наименование регистров	Доступ	Значение после сброса	Описание регистра
Регистры общего управления				
0x0004	CHANNEL_EN	RW	0x0	Регистр содержит признаки запуска передатчиков и приемников позиционно
0x0008	CHANNEL_DIS	WO	0x0	Регистр содержит признаки останова передатчиков и приемников позиционно
0x000c	CHANNEL_RST	WO	0x0	Регистр содержит признаки сброса в начальное состояние регистров передатчиков и приемников позиционно
0x0010	PARITY_BIT	RW	0x0	Признак объявления 32-го бита слова данных битом свертки по модулю 2 для передатчиков и приемников позиционно. Иначе этот бит является обычным битом данных
0x0014	PARITY_ODD	RW	0xffffffff	Признак того, что свертка по модулю 2 рассматривается как нечетная для передатчиков и приемников позиционно
0x0018	TEST_EN	RW	0x0	Регистр содержит номер передатчика и признак разрешения выдачи данных из этого передатчика на внешние выводы как TESTA и TESTB
0x001c	WAIT_SIG_RX	RW	0x0	Признак того, что переключение на смежный DMA-буфер после успешного исчерпания текущего DMA-буфера происходит не сразу, а с ожиданием прихода сигнала от управляющей системы или сигнала от таймера для FIFO-буферов приемников позиционно (0 бит - FIFO-буфер с номером 0 и так далее до номера 31)
0x0020	TMR_MASK_RX	RW	0x0	Признак разрешения приема сигнала от таймера (TMR_EVENT) для FIFO-буферов приемников позиционно (0 бит - FIFO-буфер с номером 0 и так далее до номера 31)
0x0024	SW_SIG_RX	WO	0x0	Сигнал переключения на смежный DMA-буфер от управляющей системы для FIFO-буферов приемников позиционно (0 бит - FIFO-буфер с номером 0 и так далее до номера 31)
0x0028	WAIT_TMR_TX	RW	0x0	Признаки задержанного переключения на смежный DMA-буфер и маска сигнала от таймера для передатчиков
0x002c	SW_SIG_TX	WO	0x0	Сигнал переключения на смежный DMA-буфер от управляющей системы для FIFO-буферов передатчиков позиционно (0 бит - FIFO-буфер с номером 0 и так далее до номера 15)

					ЮФКВ.431268.020РЭ	Лист 406
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Адрес	Наименование регистров	Доступ	Значение после сброса	Описание регистра
0x0030	LABEL_EN_RX	RW	0x0	Признак разрешения ассоциативного поиска по таблице меток для FIFO-буферов приемников позиционно (0 бит - FIFO-буфер с номером 0 и так далее до номера 31). Если не устанавливать эти биты, то будут проходить все сообщения без селекции
0x0034	AXI_CTRL	RW	0x0c060	Регистр настраивает управляющие поля шины AXI (ARLOCK, ARPROT, ARCACHE, AWLOCK, AWPROT, AWCACHE)
0x0038	FIFO_DIS_RX	WO	0x0	Регистр содержит признаки останова FIFO приемников позиционно. При записи
	FIFO_EN_RX	RO	0x0	Регистр содержит признаки запуска FIFO приемников позиционно. При чтении
0x003c	LAST_WD_TMR	RW	0x0	Регистр содержит указание о том, в какой момент фиксировать время прихода последнего слова или в FIFO передатчиков (бит=0), или уже на регистр передатчика (бит=1), задается позиционно - 0 бит означает 0-й передатчик, 15 бит означает 15 передатчик
0x0040	INT_TX	RW	0x0	Регистр содержит позиционно номера FIFO-буферов передатчиков, переключение на смежный DMA-буфер последнего или первого из которых (см. INT_LAST) приводит к выдаче сигнала прерывания (0 бит - 0-й FIFO-буфер передатчика, 15 бит - 15-й FIFO-буфер передатчика)
0x0044	INT_RX	RW	0x0	Регистр содержит позиционно номера FIFO-буферов приемников, переключение на смежный DMA-буфер последнего или первого из которых (см. INT_LAST) приводит к выдаче сигнала прерывания (0 бит - 0-й FIFO-буфер приемников, 31 бит - 31-й FIFO-буфер приемников)
0x0048	COMPL_E_RX	RO	0x0	Регистр содержит позиционно номера FIFO-буферов приемников, у которых завершился обмен с "четными" DMA-буферами (0 бит - 0-й FIFO-буфер приемников, 31 бит - 31-й FIFO-буфер приемников)
0x004c	COMPL_O_RX	RO	0x0	Регистр содержит позиционно номера FIFO-буферов приемников, у которых завершился обмен с "нечетными" DMA-буферами (0 бит - 0-й FIFO-буфер приемников, 31 бит - 31-й FIFO-буфер приемников)
0x0050	COMPL_TX	RO	0x0	Регистр содержит позиционно номера FIFO-буферов передатчиков, у которых завершился обмен с "четными" или "нечетными" DMA-буферами (0 бит - 0-й FIFO-буфер передатчиков, 15 бит - 15-й FIFO-буфер передатчиков для "нечетных" DMA-буферов; 16 бит - 0-й FIFO-буфер передатчиков, 31 бит - 15-й FIFO-буфер передатчиков для "четных" DMA-буферов)
0x0054	INT_DIS	WO	0x0	Запись в этот регистр сбрасывает сигнал прерывания INT_ARINC
0x0058	INT_LONG	WO	0x1	Признак выдачи сигнала прерывания INT_ARINC потенциально до прихода команды записи в регистр INT_DIS, иначе выдается однократный сигнал прерывания
0x005c	STUS_SW_TX	WO	0x0	Регистр содержит позиционно номера FIFO-буферов передатчиков, переключение на смежный DMA-буфер любого из которых задерживается до прихода сигнала сброса смежного статусного регистра (0 бит - 0-й FIFO-

					Лист
					407
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
			Подп. и дата		

Адрес	Наименование регистров	Доступ	Значение после сброса	Описание регистра		
				буфер передатчика, 15 бит - 15-й FIFO-буфер передатчика)		
0x0060	STUS_SW_RX	WO	0x0	Регистр содержит позиционно номера FIFO-буферов приемников, переключение на смежный DMA-буфер любого из которых задерживается до прихода сигнала сброса смежного статусного регистра (0 бит - 0-й FIFO-буфер приемника, 31 бит - 31-й FIFO-буфер приемника)		
0x0064	TEST_FRC_TS	WO	0x0	Признак тестирования счетчика времени, если записываем 0 или по умолчанию, то счетчик считает каждую микросекунду, если записываем 1, обе половины счетчика считают каждый такт, начиная со значения на момент переключения в тестовый режим		
0x0068	INT_LAST	WO	0x0	Если в единице, то выдача сигнала прерывания INT_ARINC произойдет после прихода последнего переключения на смежный DMA-буфер из перечисленных в регистрах INT_TX и INT_RX, иначе при нуле INT_ARINC возникнет после прихода первого переключения на смежный DMA-буфер из перечисленных. Временной разрыв между загрузками INT_TX и INT_RX следует учитывать при программировании		
Регистры DMA-буферов чтения						
0x1080 с шагом +4	AG0_E_TX ,..., AG15_E_TX	WO	0x0	Регистры содержат адреса "четных" DMA-буферов для подкачки данных в FIFO-буферы передатчиков с 0 по 15		
0x1100 с шагом +4	AG0_O_TX ,..., AG15_O_TX	WO	0x0	Регистры содержат адреса "нечетных" DMA-буферов для подкачки данных в FIFO-буферы передатчиков с 0 по 15		
0x1180 с шагом +4	SZ0_E_TX ,..., SZ15_E_TX	WO	0x0	Регистры содержат размеры "четных" DMA-буферов для подкачки данных в FIFO-буферы передатчиков с 0 по 15		
0x1200 с шагом +4	SZ0_O_TX ,..., SZ15_O_TX	WO	0x0	Регистры содержат размеры "нечетных" DMA-буферов для подкачки данных в FIFO-буферы передатчиков с 0 по 15		
0x1280 с шагом +4	STAT0_E_TX ,..., STAT15_E_TX	RO	0x0	Статусные регистры содержат количество слов реально принятых из "четных" DMA-буферов в FIFO-буферы передатчиков с 0 по 15		
0x1300 с шагом +4	STAT0_O_TX ,..., STAT15_O_TX	RO	0x0	Статусные регистры содержат количество слов реально принятых из "нечетных" DMA-буферов в FIFO-буферы передатчиков с 0 по 15		
0x1380 с шагом +4	TRF0_E_TX ,..., TRF15_E_TX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода первого слова из "четных" DMA-буферов в FIFO-буферы передатчиков с 0 по 15		
0x1400 с шагом +4	TLF0_E_TX ,..., TLF15_E_TX	RO	0x0	Регистры содержат левую (старшую) половину регистра Free Run Counter, сохраненного в момент прихода первого слова из "четных" DMA-буферов в FIFO-буферы передатчиков с 0 по 15		
0x1480 с шагом +4	TRL0_E_TX ,..., TRL15_E_TX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода последнего слова из "четных" DMA-буферов в FIFO-буферы (если бит регистра LAST_WD_TMR =0) или в момент переключения на смежный буфер (если бит регистра LAST_WD_TMR =1) для передатчиков с 0 по 15		
0x1500 с шагом +4	TRF0_O_TX ,..., TRF15_O_TX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода первого		
				ЮФКВ.431268.020РЭ		
				Лист 408		
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование регистров	Доступ	Значение после сброса	Описание регистра		
				слова из "нечетных" DMA-буферов в FIFO-буферы передатчиков с 0 по 15		
0x1580 с шагом +4	TLF0_O_TX ,..., TLF15_O_TX	RO	0x0	Регистры содержат левую (старшую) половину регистра Free Run Counter, сохраненного в момент прихода первого слова из "нечетных" DMA-буферов в FIFO-буферы передатчиков с 0 по 15		
0x1600 с шагом +4	TRL0_O_TX ,..., TRL15_O_TX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода последнего слова из "нечетных" DMA-буферов в FIFO-буферы (если бит регистра LAST_WD_TMR =0) или в момент переключения на смежный буфер (если бит регистра LAST_WD_TMR =1) для передатчиков с 0 по 15		
Регистры DMA-буферов записи						
0x1880 с шагом +4	AG0_E_RX ,..., AG31_E_RX	WO	0x0	Регистры содержат адреса "четных" DMA-буферов для передачи в них данных из FIFO-буферов приемников с 0 по 31		
0x1900 с шагом +4	AG0_O_RX ,..., AG31_O_RX	WO	0x0	Регистры содержат адреса "нечетных" DMA-буферов для передачи в них данных из FIFO-буферов приемников с 0 по 31		
0x1980 с шагом +4	SZ0_E_RX ,..., SZ31_E_RX	WO	0x0	Регистры содержат размеры "четных" DMA-буферов для передачи в них данных из FIFO-буферов приемников с 0 по 31		
0x1a00 с шагом +4	SZ0_O_RX ,..., SZ31_O_RX	WO	0x0	Регистры содержат размеры "нечетных" DMA-буферов для передачи в них данных из FIFO-буферов приемников с 0 по 31		
0x1a80 с шагом +4	STAT0_E_RX ,..., STAT31_E_RX	RO	0x0	Статусные регистры содержат количество, слов реально переданных в "четные" DMA-буферы из FIFO-буферов приемников с 0 по 31		
0x1b00 с шагом +4	STAT0_O_RX ,..., STAT31_O_RX	RO	0x0	Статусные регистры содержат количество слов, реально переданных в "нечетные" DMA-буферы из FIFO-буферов приемников с 0 по 31		
0x1b80 с шагом +4	TRF0_E_RX ,..., TRF31_E_RX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода первого слова DMA-буферов в FIFO-буферы приемников с 0 по 31 для "четных" DMA-буферов. TRF - Time Right First		
0x1c00 с шагом +4	TLF0_E_RX ,..., TLF31_E_RX	RO	0x0	Регистры содержат левую (старшую) половину регистра Free Run Counter, сохраненного в момент прихода первого слова DMA-буферов в FIFO-буферы приемников с 0 по 31 для "четных" DMA-буферов. TLF - Time Left First		
0x1c80 с шагом +4	TRL0_E_RX ,..., TRL31_E_RX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода последнего слова DMA-буферов в FIFO-буферы приемников с 0 по 31 для "четных" DMA-буферов. TRL - Time Right Last		
0x1d00 с шагом +4	TRF0_O_RX ,..., TRF31_O_RX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода первого слова DMA-буферов в FIFO-буферы приемников с 0 по 31 для "нечетных" DMA-буферов		
0x1d80 с шагом +4	TLF0_O_RX ,..., TLF31_O_RX	RO	0x0	Регистры содержат левую (старшую) половину регистра Free Run Counter, сохраненного в момент прихода первого		
				ЮФКВ.431268.020РЭ		
				Лист 409		
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Адрес	Наименование регистров	Доступ	Значение после сброса	Описание регистра
				слова DMA-буферов в FIFO-буферы приемников с 0 по 31 для "нечетных" DMA-буферов
0x1e00 с шагом +4	TRL0_O_RX ,..., TRL31_O_RX	RO	0x0	Регистры содержат правую (младшую) половину регистра Free Run Counter, сохраненного в момент прихода последнего слова DMA-буферов в FIFO-буферы приемников с 0 по 31 для "нечетных" DMA-буферов
0x1e80 с шагом +4	LABEL_0_RX ,..., LABEL_31_RX	WO	0x0	Регистры содержат значение четырех меток для таблицы меток FIFO-буферов приемников с 0 по 31. Следующие записи в тот же регистр будут по кругу заполнять таблицу, состоящую из восьми регистров
0x1f00 с шагом +4	RNUM_0_RX ,..., RNUM_31_RX	RW	0x0	Регистры содержат количество заполненных строк таблицы меток и номер приемника для FIFO-буферов приемников с 0 по 31
Регистры блоков передатчиков и приемников				
0x0440 с шагом +4	FREQ_0_TX, ..., FREQ_15_TX	RW	0x030081F2	Регистры содержат настройки по частоте и паузе передатчиков с 0 по 15
0x0c40 с шагом +4	FREQ_0_RX, ..., FREQ_15_RX	RW	0xB01F01F2	Регистры содержат настройки по частоте и фазе приемников с 0 по 15
0x0c80 с шагом +4	SELF_0_RX, ..., SELF_15_RX	RW	0x0	Регистры содержат признак пропуска поврежденных данных, а также номер (с 0 по 15) передатчика и признак подключения выхода этого передатчика ко входу данного приемника вместо входной линии

1.4.1.7.4.4.2 Описание полей регистров контроллера ARINC-429

Все регистры, описание полей которых отсутствует, содержат данные, которые занимают весь регистр (адрес, размер, время, позиционно заданные признаки). Регистры, определяющие размер DMA-буферов (SZx_E_TX, SZx_O_TX, SZx_E_RX, SZx_O_RX), содержат количество 32-разрядных слов (1 - одно слово, 2 - два слова и так далее) в данном DMA-буфере.

1.4.1.7.4.4.2.1 Статусные регистры STAT0_E_TX ,..., STAT15_E_TX, STAT0_O_TX ,..., STAT15_O_TX, STAT0_E_RX ,..., STAT31_E_RX, STAT0_O_RX ,..., STAT31_O_RX (0x1280 с шагом+4, 0x1300 с шагом+4, 0x1a80 с шагом+4, 0x1b00 с шагом+4)

Описание полей статусных регистров представлено в таблице 549.

Таблица 549 – Поля статусных регистров

Поле	Биты	Описание поля
actual_quantity	[25:0]	Количество слов, реально принятых из памяти (для передатчиков) или реально переданных в память (для приемников)
wr_complt	[26]	Признак завершения последней транзакции по записи. Если он в 1, то читать записанные данные по AXI шине еще рано
rd_complt		Признак завершения ожидания прохождения последнего слова из FIFO-буфера передатчика в сам передатчик, если бит регистра LAST_WD_TMR равен единице
integrity_bit	[27]	Признак нарушения целостности данных при приеме с последовательной линии либо нарушение четности слова (если выставлен признак в регистре PARITY_BIT), либо превышение максимальной паузы в линии (задается в регистре FREQ_x_RX[ptimer_rx]), либо в AXI шине во время BVALID поле

					ЮФКВ.431268.020РЭ	Лист 410
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Поле	Биты	Описание поля
		BRESP не равно нулю. Признак нарушения четности слова в тракте передачи (если выставлен признак в регистре PARITY_BIT и не установлен $FREQ_x_TX[dis_par_dat]$)
wait_bit	[28]	Признак того, что произошло ожидание при переключении на смежный DMA-буфер
signal_bit	[29]	Признак того, что во время обмена с DMA-буфером пришел сигнал от управляющей системы или сигнала от таймера
work_bit	[30]	Если этот бит в единице, это означает, что обмен с DMA-буфером не завершен и при считывании регистр не будет сбрасываться
success_bit	[31]	Признак успешного завершения обмена с DMA-буфером, то есть заданное количество исчерпалось, хотя обмен завершится полностью, когда work_bit равен нулю и wr_complt или rd_complt равен нулю

Считывание любого из статусных регистров, если обмен с DMA-буфером завершен (work_bit и признак завершения - wr(rd)_complt равны нулю), сбрасывает его содержимое.

1.4.1.7.4.4.2.2 LABEL_0_RX – LABEL_31_RX (0x1e80 с шагом+4)

Описание полей регистров LABEL_0_RX – LABEL_31_RX представлено в таблице 550.
Таблица 550 – Поля регистров LABEL_0_RX – LABEL_31_RX

Поле	Биты	Описание поля
label_0	[7:0]	Значение одной из меток из таблицы меток с ассоциативным поиском FIFO-буферов приемников
label_1	[15:8]	Значение одной из меток из таблицы меток с ассоциативным поиском FIFO-буферов приемников
label_2	[23:16]	Значение одной из меток из таблицы меток с ассоциативным поиском FIFO-буферов приемников
label_3	[31:24]	Значение одной из меток из таблицы меток с ассоциативным поиском FIFO-буферов приемников

Повторная запись в тот же регистр меток будет по кругу заполнять всю таблицу из восьми слов. Чтобы проходили все сообщения в FIFO-буфер без селекции меток, нужно сбросить в ноль соответствующий бит регистра LABEL_EN_RX.

1.4.1.7.4.4.2.3 RNUM_0_RX – RNUM_31_RX (0x1f00 с шагом+4)

Описание полей регистров RNUM_0_RX – RNUM_31_RX представлено в таблице 551.

Таблица 551 – Поля регистров RNUM_0_RX – RNUM_31_RX

Поле	Биты	Описание поля
receiver_number	[3:0]	Значение номера приемника, который подключается к данному FIFO-буферу. До первой записи данных в это поле FIFO-буфер не будет подключен ни к одному из приемников
v_number	[4]	Значимость поля receiver_number устанавливается в единицу при записи в данный регистр этого поля (receiver_number[3:0]), а сбрасывается тогда, когда данный FIFO-буфер выключается
label_quantity	[8:5]	Таблица меток FIFO-буферов приемников заполняется сдвиговым образом записью в один и тот же регистр (LABEL_x_RX). Данное поле устанавливается аппаратно циклически по мере заполнения таблицы (1, 2, 3, 4, 5, 6, 7, 8 - таблица заполнена; далее после восьми 1, 2,...). Исходное значение - ноль
reserved	[31:9]	Резерв

					ЮФКВ.431268.020РЭ		Лист
							411
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.4.4.2.4 *FREQ_0_TX – FREQ_15_TX (0x0440 с шагом+4)*

Описание полей регистров *FREQ_0_TX – FREQ_15_TX* представлено в таблице 552.

Таблица 552 – Поля регистров *FREQ_0_TX – FREQ_15_TX*

Поле	Биты	Описание поля	
freq_tx	[12:0]	Значение коэффициента пересчета частоты контроллера (100 МГц) в удвоенную частоту последовательной линии передатчика минус два. Коэффициент пересчета $K=50000/f$ (кГц) - 2 в десятичной арифметике. Начальная настройка - 1F2; (f=100, 50, 12,5)	
gap_tx	[18:13]	Длительность межсловной паузы в тактах линии, начальная настройка - четыре такта (0x04)	
bits_tx	[24:19]	Количество бит данных, передаваемых в линию, начальная настройка - 32 бита (0x20); другие значения этого поля нужны для создания некорректной ситуации в линии	
-	[25]	Резерв (читается 1)	
dis_par_dat	[26]	Признак отказа от проверки четности данных с AXI шины, если 1, если 0, то данные с неверной четностью устанавливаются бит integrity в соответствующем статусном регистре STATx_E_TX или STATx_O_TX (если PARITY_BIT[x] данного передатчика установлен)	
-	[28:27]	Резерв	
v3_tx	[29]	Если этот бит в нуле, то поле freq_tx не будет изменено при записи в данный регистр	При чтении данного регистра эти биты принимают значение ноль
v2_tx	[30]	Если этот бит в нуле, то поле gap_tx не будет изменено при записи в данный регистр	
v1_tx	[31]	Если этот бит в нуле, то поля bits_tx, slp_tx и dis_par_dat не будут изменены при записи в данный регистр	

1.4.1.7.4.4.2.5 *FREQ_0_RX – FREQ_15_RX (0x0c40 с шагом+4)*

Описание полей регистров *FREQ_0_RX – FREQ_15_RX* представлено в таблице 553.

Таблица 553 – Поля регистров *FREQ_0_RX – FREQ_15_RX*

Поле	Биты	Описание поля	
freq_rx	[12:0]	Значение коэффициента пересчета частоты контроллера в удвоенную частоту последовательной линии приемника минус два, начальная настройка - 0x01F2. Коэффициент пересчета $K=50000/f$ (кГц) - 2 в десятичной арифметике (f=100, 50, 12,5)	
offset_rx	[25:13]	Значение коэффициента пересчета частоты контроллера во временной интервал отступа от переднего фронта первого бита данных до момента приема этого бита в последовательной линии приемника, начальная настройка - 0x00F8. Время отступа T в мкс, $K=100*T$	
ptimer_rx	[28:26]	При записи. Значение максимальной межсловной паузы в тактах линии приемника, деленное на число 8, минус 4, начальная настройка - проверка выключена (0x7) (32, 40, 48, 56, 64, 72, 80, (88 - любая) - значения в тактах, которые можно установить); превышение паузы в линии приводит к установке бита integrity_bit в соответствующем статусном регистре	При чтении в эти биты заносится длительность паузы в тактах, деленная на два
v3_rx	[29]	При записи. Если этот бит в нуле, то поле freq_rx не будет изменено при записи в данный регистр	

					ЮФКВ.431268.020РЭ	Лист 412
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Поле	Биты	Описание поля
v2_rx	[30]	При записи. Если этот бит в нуле, то поле offset_rx не будет изменено при записи в данный регистр
v1_rx	[31]	При записи. Если этот бит в нуле, то поле rtimer_rx не будет изменено при записи в данный регистр

1.4.1.7.4.4.2.6 SELF_0_RX – SELF_15_RX (0x0c80 с шагом+4)

Регистры приемников, по которым определяется, какие из передатчиков находятся в режиме внутренней петли.

Описание полей регистров SELF_0_RX – SELF_15_RX представлено в таблице 554.

Таблица 554 – Поля регистров SELF_0_RX – SELF_15_RX

Поле	Биты	Описание поля
number_tx_ch	[3:0]	Значение номера передатчика, внутренние выходы которого подключаются к приемнику вместо входной линии
self_test_en	[4]	Признак подключения внутренних выходов передатчика к приемнику с номером number_tx_ch вместо входной линии
disabled_dat	[5]	Признак отказа от приема поврежденных данных, если 1; если 0, то поврежденные данные записываются в FIFO-буфер
reserved	[31:6]	Резерв

1.4.1.7.4.4.2.7 CHANNEL_EN (0x0004)

Описание полей регистра CHANNEL_EN представлено в таблице 555.

Таблица 555 – Поля регистра CHANNEL_EN

Поле	Биты	Описание поля
ch_en_rx	[15:0]	Позиционно задаются признаки запуска приемников (0 бит - приемник с номером 0 и так далее), если соответствующий бит в нуле, то состояние запуска приемника не изменяется
ch_en_tx	[31:16]	Позиционно задаются признаки запуска передатчиков (16 бит - передатчик с номером 0 и так далее), если соответствующий бит в нуле, то состояние запуска передатчика не изменяется

1.4.1.7.4.4.2.8 CHANNEL_DIS (0x0008)

Описание полей регистра CHANNEL_DIS представлено в таблице 556.

Таблица 556 – Поля регистра CHANNEL_DIS

Поле	Биты	Описание поля
ch_dis_rx	[15:0]	Позиционно задаются признаки останова приемников (0 бит - приемник с номером 0 и так далее), если соответствующий бит в нуле, то состояние запуска приемника не изменяется
ch_dis_tx	[31:16]	Позиционно задаются признаки останова передатчиков (16 бит - передатчик с номером 0 и так далее), если соответствующий бит в нуле, то состояние запуска передатчика не изменяется

1.4.1.7.4.4.2.9 CHANNEL_RST (0x000c)

Описание полей регистра CHANNEL_RST представлено в таблице 557.

					ЮФКВ.431268.020РЭ		Лист
							413
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Таблица 557 – Поля регистра CHANNEL_RST

Поле	Биты	Описание поля
ch_rst_rx	[15:0]	Позиционно задаются признаки сброса в начальное состояние приемников (0 бит - приемник с номером 0 и так далее), если соответствующий бит в нуле, то сброс приемника не происходит. Если все 16 бит этого поля установлены в единицу, то сброс всех приемников аналогичен начальной установке
ch_rst_tx	[31:16]	Позиционно задаются признаки сброса в начальное состояние передатчиков (16 бит - передатчик с номером 0 и так далее), если соответствующий бит в нуле, то сброс передатчика не происходит. Если все 16 бит этого поля установлены в единицу, то сброс всех передатчиков аналогичен начальной установке

Данный регистр не сохраняет записанное в него значение.

1.4.1.7.4.4.2.10 PARITY_BIT (0x0010)

Описание полей регистра PARITY_BIT представлено в таблице 558.

Таблица 558 – Поля регистра PARITY_BIT

Поле	Биты	Описание поля
parity_bit_rx	[15:0]	Позиционно задаются признаки объявления 32-го бита слова данных битом свертки по модулю 2 для приемников (0 бит - приемник с номером 0 и так далее), иначе этот бит является обычным битом данных
parity_bit_tx	[31:16]	Позиционно задаются признаки объявления 32-го бита слова данных битом свертки по модулю 2 для передатчиков (16 бит - передатчик с номером 0 и так далее), иначе этот бит является обычным битом данных

1.4.1.7.4.4.2.11 PARITY_ODD (0x0014)

Описание полей регистра PARITY_ODD представлено в таблице 559.

Таблица 559 – Поля регистра PARITY_ODD

Поле	Биты	Описание поля
parity_odd_rx	[15:0]	Позиционно задаются признаки того, что свертка по модулю 2 рассматривается как нечетная для приемников (0 бит - приемник с номером 0 и так далее), иначе четная
parity_odd_tx	[31:16]	Позиционно задаются признаки того, что свертка по модулю 2 рассматривается как нечетная для передатчиков (16 бит - передатчик с номером 0 и так далее), иначе четная

1.4.1.7.4.4.2.12 TEST_EN (0x0018)

Описание полей регистра TEST_EN представлено в таблице 560.

Таблица 560 – Поля регистра TEST_EN

Поле	Биты	Описание поля
number_tx_test	[3:0]	Значение номера передатчика, внутренние выходы которого подключаются к внешним выводам как TESTA и TESTB
tx_test_en	[4]	Признак подключения внутренних выходов передатчика к внешним выводам как TESTA и TESTB (0 - TESTA и TESTB равны нулю, 1 - к TESTA и TESTB подключен передатчик с номером number_tx_test, но в кодировке с возвратом к единице)
reserved	[31:5]	Резерв

					ЮФКВ.431268.020РЭ		Лист 414
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.4.4.2.13 WAIT_TMR_TX (0x0028)

Описание полей регистра WAIT_TMR_TX представлено в таблице 561.

Таблица 561 – Поля регистра WAIT_TMR_TX

Поле	Биты	Описание поля
wait_tx	[15:0]	Позиционно задаются признаки того, что переключение на смежный DMA-буфер после успешного исчерпания текущего DMA-буфера происходит не сразу, а с ожиданием прихода сигнала от управляющей системы или сигнала от таймера для FIFO-буферов передатчиков (0 бит - FIFO-буфер с номером 0 и так далее до номера 15), иначе переход на смежный DMA-буфер происходит без ожидания
timer_tx	[31:16]	Признак разрешения приема сигнала от таймера для FIFO-буферов передатчиков позиционно (16 бит - FIFO-буфер с номером 0 и так далее), иначе сигнал от таймера игнорируется

1.4.1.7.4.4.2.14 AXI_CTRL (0x0034)

Описание полей регистра AXI_CTRL представлено в таблице 562.

Таблица 562 – Поля регистра AXI_CTRL

Поле	Биты	Описание поля
arlock	[1:0]	Задается ARLOCK управляющее поле шины AXI
arprot	[4:2]	Задается ARPROT управляющее поле шины AXI
arcache	[8:5]	Задается ARCACHE управляющее поле шины AXI (начальное значение 3)
awlock	[10:9]	Задается AWLOCK управляющее поле шины AXI
awprot	[13:11]	Задается AWPROT управляющее поле шины AXI
awcache	[17:14]	Задается AWCACHE управляющее поле шины AXI (начальное значение 3)
reserved	[31:18]	Резерв

1.4.1.7.4.4.2.15 FIFO_DIS_RX (0x0038)

Если приемник разрешен и работает с несколькими FIFO-буферами приемников, то запрет FIFO-буферов через данный регистр выключит только определенные в нем FIFO-буферы, а если выключить приемник (регистр CHANNEL_DIS), то выключатся все подключенные к нему FIFO-буферы.

Контроллер ARINC-429 позволяет добавить FIFO-буферы приемников к уже работающим путем установки регистра RNUM_x_RX данных буферов на тот же номер приемника и выдачи команды СТАРТ (регистр CHANNEL_EN) этому приемнику.

Чтобы была возможность обратного действия, добавлен данный регистр FIFO_DIS_RX.

Описание полей регистра FIFO_DIS_RX представлено в таблице 563.

Таблица 563 – Поля регистра FIFO_DIS_RX

Поле	Биты	Описание поля
fifo_dis_rx	[31:0]	Задаются при записи в этот регистр признаки останова буферов приемников позиционно, 0 бит означает 0-й FIFO-буфер приемников, 31 бит означает 31-й FIFO-буфер приемников
fifo_en_rx	[31:0]	Читается регистр признаков запуска (1 - FIFO-буфер запущен, 0 - FIFO-буфер

					Лист
					415
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhell</i> 24.10.2019		34203-2	
			Подп. и дата		

Поле	Биты	Описание поля
		выключен) буферов приемников позиционно, 0 бит означает 0-й FIFO-буфер приемников, 31 бит означает 31-й FIFO-буфер приемников

1.4.1.7.4.4.2.16 LAST_WD_TMR (0x003c)

Описание полей регистра LAST_WD_TMR представлено в таблице 564.

Таблица 564 – Поля регистра LAST_WD_TMR

Поле	Биты	Описание поля
last_wd_tmr	[15:0]	Если бит содержит 0, то фиксируется момент попадания последнего слова, принятого из DMA-буфера, в FIFO-буфер передатчика, если же 1, то фиксируется время ухода этого же слова в последовательную линию передатчика. Номер передатчика задается позиционно, 0-й бит означает 0-й передатчик, 15-й бит -15 передатчик
reserved	[31:16]	Резерв

1.4.1.7.4.4.2.17 INT_LONG (0x0058)

Два режима выдачи сигнала прерывания INT_ARINC требуется для универсализации использования данного контроллера.

Описание полей регистра INT_LONG представлено в таблице 565.

Таблица 565 – Поля регистра INT_LONG

Поле	Биты	Описание поля
int_long	[0]	Признак выдачи сигнала прерывания INT_ARINC потенциально до прихода команды от управляющей системы (запись в регистр INT_DIS), иначе, если 0, то сигнал прерывания INT_ARINC выдается импульсом и ответной реакции не требуется. При начальной установке - единица
reserved	[31:1]	Резерв

1.4.1.7.4.4.3 Таблицы состояний статусных регистров контроллера ARINC-429 во времени

Статусные регистры STAT0_E_TX ,..., STAT15_E_TX, STAT0_O_TX ,..., STAT15_O_TX, STAT0_E_RX ,..., STAT31_E_RX, STAT0_O_RX ,..., STAT31_O_RX имеют шесть битов, определяющих собственно статус FIFO передатчиков и приемников и поле количества реально переданных слов информации.

В таблицах 566, 567, 568, 569 приведены типовые переходы статусных битов в разных режимах работы приемопередатчиков.

Таблица 566 – Запуск без ожидания и отсутствие сигнала от управляющей системы

success_bit	work_bit	signal_bit	wait_bit	integrity_bit	rd/wr_complt
0	0	0	0	0	0
0	1	0	0	0	0
1	1	0	0	0	0
1	0	0	0	0	1 (может и не возникнуть)
1	0	0	0	0	0
0	0	0	0	0	0

					Лист	
					416	
					ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Таблица 567 – Запуск с приходом сигнала от управляющей системы, который прервал завершение текущего обмена

success_bit	work_bit	signal_bit	wait_bit	integrity_bit	rd/wr_complt
0	0	0	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
0	0	1	0	0	1 (может и не возникнуть)
0	0	1	0	0	0
0	0	0	0	0	0

Таблица 568 – Запуск без ожидания в случае, когда пришел сигнал от управляющей системы, который не изменил завершение текущего обмена

success_bit	work_bit	signal_bit	wait_bit	integrity_bit	rd/wr_complt
0	0	0	0	0	0
0	1	0	0	0	0
1	1	0	0	0	0
1	1	1	0	0	0
1	0	1	0	0	1 (может и не возникнуть)
1	0	1	0	0	0
0	0	0	0	0	0

Таблица 569 – Запуск с ожиданием в случае, когда пришел сигнала от управляющей системы, который не изменил завершение текущего обмена (сигнал пришел после установки wait_bit)

success_bit	work_bit	signal_bit	wait_bit	integrity_bit	rd/wr_complt
0	0	0	0	0	0
0	1	0	0	0	0
1	1	0	0	0	0
1	1	0	1	0	1 (может и не возникнуть)
1	1	0	1	0	0
1	0 (по сигналу от системы)	0	1	0	0
0	0	0	0	0	0

1.4.1.7.5 Контроллер CAN 2.0В

1.4.1.7.5.1 Описание контроллера CAN 2.0В

Контроллер CAN 2.0В осуществляет передачу данных в соответствии с протоколом CAN 2.0В. Контроллер может программно конфигурироваться для отправки и передачи данных для скоростей от 50 кбит/с до 1Мбит/с.

Основные особенности контроллера CAN 2.0В:

- Поддержка протокола CAN 2.0В;
- Прием и передача сообщений с длиной идентификатора 11 и 29 бит;
- Диапазон скоростей передачи данных от 50 кбит/с до 1Мбит/с;

										Лист
										417
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
34203-3		<i>Редько</i> 24.10.2019		34203-2						

- Четыре очереди передачи конфигулируемого размера до 96 сообщений;
- Механизм учета приоритета очередей передачи;
- Механизм контроля устаревания исходящих и входящих сообщений;
- Первая очередь событий конфигулируемого размера до 128 сообщений, осуществляющая сбор принятых сообщений и событий на шине;
- 16 программируемых 29-разрядных фильтров принятых сообщений (acceptance filtering);
- Генерация маскируемых прерываний по приему, передаче и ошибкам на шине CAN;
- Возможность приема, передачи и считывания состояния шины CAN 2.0B со стороны внешнего CPU;
- Режим отключения автоматической ретрансляции сообщения (single-shot);
- Тестовые режимы: «только слушать», самотестирования, петля.

1.4.1.7.5.2 Схема контроллера CAN 2.0B

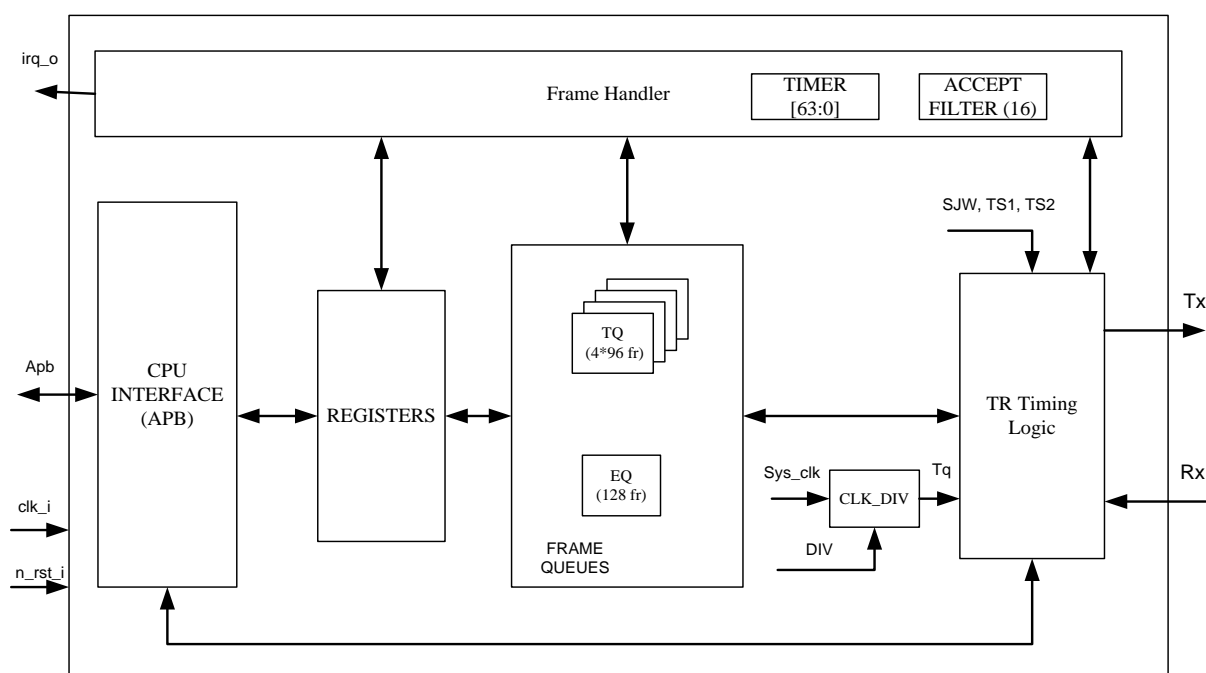


Рисунок 110 – Схема контроллера CAN 2.0B

Контроллер CAN 2.0B изображен на рисунке 110 и состоит из блоков, описанных в таблице 570.

Таблица 570 – Описание блоков на структурной схеме контроллера CAN 2.0B

Название блока	Назначение
Блок приемопередатчика (TR Timing Logic)	Осуществляет прием и передачу сообщений в соответствии с протоколом CAN 2.0B
Делитель частоты (Clk_Div)	Генерирует пониженную частоту для управления блоком приемопередатчика
Очереди сообщений (Frame queues)	Накапливают отправляемые, принятые кадры, прошедшие процедуру фильтрации, и историю событий на шине
Блок регистров (Registers)	Содержит конфигурационные, управляющие и статусные регистры контроллера CAN
Обработчик сообщений (Frame handler)	Автомат состояний, обеспечивающий передачу сообщений между очередями и приемопередатчиком, а также генерацию прерываний
Интерфейс внешнего управляющего ЦПУ (CPU Interface)	Осуществляет прием и передачу данных и конфигурационной информации между контроллером CAN и CPU по протоколу AMBA APB

					Лист	
					418	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата	
34203-3	<i>Redhall</i> 24.10.2019		34203-2			

1.4.1.7.5.3 Принципы функционирования контроллера CAN 2.0В

В протоколе CAN 2.0В принято следующее обозначение логического нуля и логической единицы:

- логический ноль – доминантное значение;
- логическая единица – рецессивное значение.

1.4.1.7.5.3.1 Формат сообщений

Сообщения по шине CAN 2.0В передаются кадрами фиксированного формата различной, но ограниченной длины. Под сообщением стандартного формата понимают кадр с 11-битным идентификатором. Сообщением расширенного формата называют кадр с 29-битным идентификатором. Существует четыре основных типа кадров:

- 1) Кадр данных (Data Frame);
- 2) Кадр удаленного запроса (Remote Frame);
- 3) Кадр ошибки (Error Frame);
- 4) Кадр перегрузки (Overload Frame).

Также существует вспомогательный междукадровый промежуток (Interframe spacing) произвольной длины, следующий после кадров данных и удаленного запроса.

1.4.1.7.5.3.1.1 Кадр данных

Кадр данных состоит из семи полей:

- 1) Начало кадра (SOF – Start of frame);
- 2) Поле арбитража (Arbitration field);
- 3) Поле управления (Control field);
- 4) Поле данных (Data field);
- 5) Поле CRC (CRC field);
- 6) Поле подтверждения (ACK – Acknowledge field);
- 7) Поле окончания (EOF – End of frame).

На рисунке 111 схематично изображена структура кадра данных

SOF	Arbitration field	Control field	Data field	CRC field	ACK	EOF
-----	-------------------	---------------	------------	-----------	-----	-----

Рисунок 111 – Структура кадра данных

1.4.1.7.5.3.1.1.1 Начало кадра

Поле SOF состоит из одного доминантного бита. Это поле сигнализирует о старте передачи кадра одним или несколькими узлами сети. Передача может начинаться только во время поля свободного состояния шины (см. п. 1.4.1.7.5.3.1.5).

1.4.1.7.5.3.1.1.2 Поле арбитража и поле управления стандартного формата

Поля арбитража и управления имеют отличия для кадров стандартного и расширенного форматов. На рисунке 112 схематично изображены поля арбитража и контроля для стандартного формата кадра.

Поле арбитража				Поле управления			
Base ID [28:18]				RTR	IDE	r0	DLC[3:0]
28	27	...	18				3 2 1 0

Рисунок 112 – Поля арбитража и управления для кадра стандартного формата

Поле арбитража кадра стандартного формата состоит из идентификатора и бита RTR.

Base ID – базовый идентификатор. Состоит из 11 бит, первым передается MSB бит [28]. Семь старших бит Base ID[28:22] не могут одновременно принимать рецессивное значение.

RTR (Remote Transmission Request) – запрос удаленной передачи. В кадре данных бит передается доминантным уровнем, а в кадре удаленного запроса – рецессивным.

					ЮФКВ.431268.020РЭ				Лист
									419
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

Поле управления кадра стандартного формата состоит из бита IDE, резервного бита и поля DLC.

IDE (Identifier Extension Bit) – бит расширения идентификатора. Для кадра стандартного формата принимает доминантное значение.

r0 – резервный бит. Передатчик транслирует в сеть доминантное значение, однако, приемник к нему безразличен и может принимать любое значение.

DLC (Data Length Code) – поле, обозначающее количество байт, передаваемых в кадре. Может варьироваться от 0 до 8. Состоит из четырех бит, которые передаются по правилу MSB.

1.4.1.7.5.3.1.1.3 Поле арбитража и поле управления расширенного формата

На рисунке 113 схематично изображены поля арбитража и контроля для расширенного формата кадра.

Поле арбитража										Поле управления						
Base ID [28:18]				SRR	IDE	Extended ID [17:0]				RTR	r0	r1	DLC[3:0]			
28	27	...	18			17	16	...	0				3	2	1	0

Рисунок 113 – Поля арбитража и управления для кадра расширенного формата

Поле арбитража кадра расширенного формата состоит из базового и расширенного идентификаторов, битов SRR, IDE и RTR.

Base ID – аналогично стандартному формату.

SRR (Substitute Remote Request) – бит подмены запроса на передачу. Передается на месте бита RTR кадра стандартного формата. Принимает рецессивное значение.

IDE (Identifier Extension Bit) – бит расширения идентификатора. Для кадра расширенного формата принимает рецессивное значение.

Extended ID – расширенный идентификатор. Состоит из 18 бит, первым передается MSB бит [17].

RTR (Remote Transmission Request) – аналогично стандартному формату.

Поле управления кадра расширенного формата состоит из двух резервных бит и поля DLC.

r0, r1 – аналогично стандартному формату.

DLC (Data Length Code) – аналогично стандартному формату.

1.4.1.7.5.3.1.1.4 Поле данных

Поле данных содержит информацию, передаваемую кадром размером от 0 до 8 байт. Байты передаются в порядке LSB, биты в байте передаются в порядке MSB. Наглядно поле данных изображено на рисунке 114.

Поле данных				
Byte 0		Byte 1	...	Byte 7
7	6	...	0	

Рисунок 114 – Поле данных

1.4.1.7.5.3.1.1.5 Поле CRC

Поле CRC содержит последовательность CRC длиной 15 бит и разделитель. На рисунке 115 наглядно изображено Поле CRC.

Поле CRC				
CRC Sequence				CRC Delimiter
14	13	...	0	1 рецессивный бит

Рисунок 115 – Поле CRC

					ЮФКВ.431268.020РЭ		Лист
							420
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhall</i> 24.10.2019		34203-2			

CRC Sequence – последовательность CRC. Вычисляется на основе полей: начало кадра, арбитража, управления, данных. Передается в порядке MSB.

CRC Delimiter – разделитель CRC. Состоит из одного рецессивного бита.

1.4.1.7.5.3.1.1.6 Поле подтверждения и поле окончания

Поле подтверждения содержит бит ACK Slot и разделитель. Поле окончания содержит семь рецессивных бит. На рисунке 116 наглядно изображены поля подтверждения и окончания.

Поле подтверждения		Поле окончания
ACK Slot	ACK Delimiter	7 рецессивных бит

Рисунок 116 – Поля подтверждения и окончания

ACK Slot – интервал ACK. Передатчик отправляет в сеть рецессивное значение. Каждый приемник, успешно получивший корректное сообщение, отправляет в сеть доминантное значение.

ACK Delimiter – разделитель поля подтверждения. Состоит из одного рецессивного бита. Поле окончания состоит из семи рецессивных бит.

1.4.1.7.5.3.1.2 Кадр удаленного запроса

Узел, желающий принять кадр с определенным идентификатором, может запросить его с помощью отправки кадра удаленного запроса. Он может быть как с 11-битным, так и с 29-битным идентификатором.

Кадр удаленного запроса состоит из шести полей:

- 1) Начало кадра (SOF – Start of frame);
- 2) Поле арбитража (Arbitration field);
- 3) Поле управления (Control field);
- 4) Поле CRC (CRC field);
- 5) Поле подтверждения (Acknowledge field);
- 6) Поле окончания (EOF – End of frame).

Отличия от кадра данных:

- бит RTR является рецессивным;
- отсутствует поле данных.

1.4.1.7.5.3.1.3 Кадр ошибки

Любой узел, обнаруживший ошибку на шине, начинает передавать кадр ошибки. Он передается сразу же после обнаружения и накладывается на текущий передаваемый кадр, разрывая его.

Кадр ошибки состоит из двух полей:

- 1) Поле флага ошибки (Error flag);
- 2) Поле разделителя ошибки (Error delimiter).

На рисунке 117 наглядно изображены поля флага и разделителя ошибки.

Поле флага ошибки	Поле разделителя ошибки
Флаг ошибки/Суперпозиция флагов ошибки	
6...12 бит	8 рецессивных бит

Рисунок 117 – Поля флага и разделителя ошибки

					ЮФКВ.431268.020РЭ			Лист
								421
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhell</i> 24.10.2019		34203-2				

Поле флага ошибки (Error flag) – любой узел, обнаруживший ошибку на шине, начинает передавать флаг ошибки.

Флаг ошибки бывает двух типов:

- 1) Флаг активной ошибки (Error active flag);
- 2) Флаг пассивной ошибки (Error passive flag).

Флаг активной ошибки передается любым активным к ошибкам узлом (error active), состоит из шести доминантных бит.

Флаг пассивной ошибки передается любым пассивным к ошибкам узлом (error passive), состоит из шести рецессивных бит.

Флаг ошибки нарушает правило вставки дополняющих бит. Поэтому другие узлы также обнаружат ошибку на шине и начнут передавать флаг ошибки. Общая последовательность флага ошибки на шине является суперпозицией разных флагов, пересылаемых разными узлами. Общая длина этой последовательности варьируется от 6 до 12 бит.

Пассивный к ошибкам узел, обнаруживший ошибку на шине, начинает выдачу флага пассивной ошибки. Одновременно с этим он продолжает слушать шину и ожидает шесть последовательных бит одинаковой полярности. После этого прекращается отсылка пассивного флага ошибки.

Поле разделителя ошибки (Error delimiter) - после отправки поля флага ошибки любой узел отправляет один рецессивный бит и начинает ждать на шине рецессивный бит. После его получения узел отправляет еще семь рецессивных бит.

1.4.1.7.5.3.1.4 Кадр перегрузки

Кадр перегрузки обеспечивает дополнительную задержку между предыдущим и последующим кадром данных или кадром удаленного запроса. Кадр перегрузки может быть отправлен в четырех случаях:

- 1) Внутреннее состояние приемника, требующее задержки перед приемом следующего кадра данных или удаленного запроса;
- 2) Обнаружение доминантного бита во время первых двух битов поля паузы (Intermission);
- 3) Обнаружение приемником доминантного бита на месте последнего бита EOF;
- 4) Обнаружение доминантного бита на месте последнего бита разделителя ошибки или перегрузки.

Кадр перегрузки по внутреннему состоянию приемника должен начинаться с первого бита ожидаемого поля паузы (Intermission). В остальных случаях кадры перегрузки должны генерироваться через один бит после обнаруженного доминантного бита.

Кадр перегрузки состоит из двух полей:

- 1) Поле флага перегрузки (Overload flag);
- 2) Поле разделителя перегрузки (Overload delimiter).

На рисунке 118 наглядно изображены поля флага и разделителя перегрузки.

Поле флага перегрузки	Поле разделителя перегрузки
Флаг перегрузки/Суперпозиция флагов перегрузки	
6...12 бит	8 рецессивных бит

Рисунок 118 – Поля флага и разделителя перегрузки

Поле флага перегрузки (Overload flag) состоит из шести доминантных бит. Флаг перегрузки разрушает поле паузы (Intermission). Поэтому другие узлы также обнаружат перегрузку на шине и начнут передавать флаг перегрузки. Общая последовательность флага перегрузки на шине является суперпозицией разных флагов, пересылаемых разными узлами. Общая длина этой последовательности варьируется от 6 до 12 бит.

									Лист
									422
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redell</i> 24.10.2019		34203-2						

Поле разделителя перегрузки (Overload delimiter) - после отправки поля флага перегрузки любой узел отправляет один рецессивный бит и начинает ждать на шине рецессивный бит. После его получения узел отправляет еще семь рецессивных бит.

1.4.1.7.5.3.1.5 Междукадровый промежуток

Кадры данных и удаленного запроса должны быть отделены от любых предыдущих кадров. Для этого введен специальный вспомогательный междукадровый промежуток.

Междукадровый промежуток состоит из двух или трех полей:

- 1) Поле паузы (Intermission);
- 2) Поле отложенной передачи (Suspend Transmission);
- 3) Поле свободного состояния шины (Bus Idle).

Для любых приемников и передатчиков предыдущего кадра, не находящихся в состоянии Error Passive, принята структура междукадрового промежутка, наглядно демонстрируемая на рисунке 119.

Междукадровый промежуток	
Intermission	Bus Idle
3 рецессивных бита	Несколько рецессивных бит

Рисунок 119 – Междукадровый промежуток для любых приемников и передатчиков предыдущего кадра, не находящихся в состоянии Error Passive

Поле паузы (Intermission) состоит из трех рецессивных бит. В течение этого поля может возникнуть только сигнал о перегрузке (Overload frame). Ни один узел не должен начинать передачу следующего кадра данных или удаленного запроса.

Если обнаружен доминантный бит во время третьего бита поля паузы, то он интерпретируется как начало следующего кадра данных или удаленного запроса (SOF).

Поле свободного состояния шины (Bus Idle) состоит из произвольного числа рецессивных бит. Любой узел может получить доступ к шине и начать передачу. Доминантный бит на шине интерпретируется как SOF.

Для узлов, передававших предыдущий кадр и находящихся в состоянии Error Passive, принята структура междукадрового промежутка, наглядно демонстрируемая на рисунке 120.

Междукадровый промежуток		
Intermission	Suspend transmission	Bus Idle
3 рецессивных бита	8 рецессивных бит	Несколько рецессивных бит

Рисунок 120 – Междукадровый промежуток для передатчиков предыдущего кадра, находящихся в состоянии Error Passive

Поле отложенной передачи (Suspend transmission) состоит из восьми рецессивных бит. Передатчик, находящийся в состоянии Error Passive, должен завершить отправку этого поля, чтобы начать передавать следующий кадр. Если в течение этого поля пришел доминантный бит, то такой узел становится приемником.

1.4.1.7.5.3.2 Арбитраж на шине

Арбитраж на шине – процесс, в результате которого два или более узла решают, кто будет передатчиком кадра в данный момент.

Любой узел, готовый к передаче следующего кадра, может начать отправку, если шина свободна. Поэтому одновременно могут начать передачу несколько узлов. Конфликт должен быть разрешен путем арбитража по содержимому при помощи идентификатора. На шине останется только один передатчик, пересылающий сообщение с идентификатором, имеющим наиболее высокий приоритет. В протоколе CAN 2.0В наибольший приоритет имеет сообщение с наименьшим значением идентификатора. Узел, первым отправивший доминантный бит,

									Лист
									423
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
34203-3	<i>Redhell</i> 24.10.2019		34203-2						

выиграет доступ к шине и станет передатчиком. Все остальные узлы станут приемниками. Узлы, проигравшие доступ к шине, передадут свои сообщения позже.

Кадр стандартного формата выиграет доступ у кадра расширенного формата при равных базовых идентификаторах.

Механизм арбитража гарантирует отсутствие потерь информации.

Важным условием является то, что два узла не могут отправлять сообщения с одинаковым полем арбитража.

1.4.1.7.5.3.3 Скорость передачи и точка оцифровки сигнала шины (Sample Point)

1.4.1.7.5.3.3.1 Битовый интервал

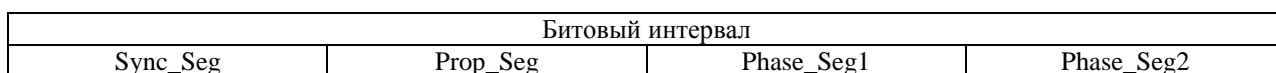
Все узлы шины должны быть настроены на одну скорость приема и передачи данных. Диапазон скоростей варьируется от 50 кбит/с до 1Мбит/с. Пусть скорость передачи данных – BR (bit rate). Тогда битовый интервал (TB) можно вычислить по формуле:

$$TB = \frac{1}{BR}$$

Битовый интервал разделен на четыре части:

- 1) сегмент синхронизации (Sync_Seg);
- 2) сегмент прохождения сигнала (Prop_Seg);
- 3) сегмент фазового буфера 1 (Phase_Seg1);
- 4) сегмент фазового буфера 2 (Phase_Seg2).

На рисунке 121 наглядно представлен битовый интервал и точка оцифровки сигнала шины:



Точка оцифровки сигнала
шины (Sample Point)



Рисунок 121 – Битовый интервал и точка оцифровки сигнала шины

Сегмент синхронизации (Sync_Seg) – часть битового интервала, используемая для синхронизации различных узлов на шине. В пределах этого сегмента ожидается фронт сигнала.

Сегмент прохождения сигнала (Prop_Seg) – часть битового интервала, используемая для компенсации времен физических задержек в сети. Времена задержек состоят из времени прохождения сигнала по шине и внутренних времен задержек узлов.

Сегменты фазового буфера (Phase_Seg1 и Phase_Seg2) – части битового интервала, предназначенные для компенсации ошибок фазы фронта. Эти сегменты могут расширяться или сокращаться при помощи повторной синхронизации.

Ширина скачка повторной синхронизации (SJW - (Re)synchronisation Jump Width) – это вспомогательный временной отрезок, который может расширить Phase_Seg1 или сократить Phase_Seg2.

1.4.1.7.5.3.3.2 Программирование битового интервала

Программирование битового интервала осуществляется при помощи настройки величины кванта времени и настройки временных промежутков до и после оцифровки сигнала шины (см. таблицу 571: TR Timing Register[TS1], TR Timing Register[TS2], TR Timing Register[SJW], TR Timing Register[DIV], DIV Extension Register[DIVE]).

					ЮФКВ.431268.020РЭ	Лист 424
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhell</i> 24.10.2019		34203-2		

Квант времени является фиксированной единицей времени, полученной из периода системной тактовой частоты. В контроллере реализован программируемый делитель частоты на целочисленные значения в диапазоне от 1 до 1024. Пусть F_{can} - тактовая частота, а $CDIV$ – коэффициент деления, образующийся при помощи конкатенации полей DIV Extension Register[$DIVE$] и TR Timing Register[DIV] - { $DIVE$, DIV }. Тогда квант времени - TQ (time quantum) – можно вычислить по формуле

$$TQ = \frac{CDIV}{FS}$$

Допустим, $BR = 1000$ кбит/с, $F_{can} = 200$ МГц. Допустимый диапазон положения точки оцифровки сигнала шины – 75-90 % от битового интервала. Необходимо рассчитать значения, записываемые в поля регистра TR Timing Register.

Так как $BR = 1000$ кбит/с, то $TB = 1000$ нс.

Пусть $CDIV = 10$, тогда квант времени равен

$$TQ = \frac{10}{200 \text{ МГц}} = 50 \text{ нс.}$$

Тогда положение точки оцифровки сигнала шины (время до оцифровки сигнала шины) – $800 \text{ нс} = 16 * 50 \text{ нс}$. Тогда время после оцифровки сигнала шины – $200 \text{ нс} = 4 * 50 \text{ нс}$.

Тогда поля регистра TR Timing Register надо заполнить следующими значениями, учитывая, что:

- аппаратура будет использовать значение на единицу больше записанного;
- интервал до оцифровки сигнала шины включает в себя еще один квант времени, зарезервированный для SOF.

Тогда поле TR Timing Register[DIV] = $(5-1)_6$

TR Timing Register[SJW] = $(1-1)_2$

TR Timing Register[$TS1$] = $(16-2)_4$

TR Timing Register[$TS2$] = $(4-1)_3$

В результате конкатенации полей в регистр TR Timing Register надо записать:

TR Timing Register = { $(3)_3$, $(14)_4$, $(0)_2$, $(4)_6$ } = $0x00003E04$

А в поле регистра DIV Extension Register:

DIV Extension Register = $(0)_4 = 0x00000000$

1.4.1.7.5.3.3.3 Программирование битового интервала и точки оцифровки сигнала шины (Sample Point)

$F_{can} = 64$ МГц, $T_{can} = 15,625$ нс.

$SJW_p = 0$, $SJW_{real} = 1$.

Таблица 571 – Программирование битового интервала и точки оцифровки сигнала шины

BR, кбит/с	TB, нс	SP диа- пазон, нс	Рекомен- дованная SP, нс	{DIVE, DIV}		TQ, нс	Возмож- ная SP, нс	TS1		TS2	
				real (max1024)	prog			real (max16)	prog	real (max8)	pr og
1000	1000	750- 900	875	4	3	62,5	875	13	12	2	1
800	1250	937,5- 1125	1062,5	4	3	62,5	1062,5	16	15	3	2
			1093,75	5	4	78,125	1093,75	13	12	2	1
500	2000	1700- 1800	1750	8	7	125	1750	13	12	2	1
250	4000	3400- 3600	3500	16	15	250	3500	13	12	2	1

					ЮФКВ.431268.020РЭ					Лист
										425
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

BR, кбит/с	TB, нс	SP диа- пазон, нс	Рекомен- дованная SP, нс	{DIVE, DIV}		TQ, нс	Возмож- ная SP, нс	TS1		TS2	
				real (max1024)	prog			real (max16)	prog	real (max8)	pr og
125	8000	6800- 7200	7000	32	31	500	7000	13	12	2	1
50	2000 0	17000- 18000	17500	64	63	1000	17000	16	15	3	2
				80	79	1250	17500	13	12	2	1

1.4.1.7.5.3.4 Механизмы обработки ошибок

1.4.1.7.5.3.4.1 Типы ошибок

Существует пять типов ошибок:

- 1) Ошибка бита (Bit error);
- 2) Ошибка вставки (Stuff error);
- 3) Ошибка CRC (CRC error);
- 4) Ошибка формата (Form error);
- 5) Ошибка подтверждения (Acknowledgement error).

1.4.1.7.5.3.4.1.1 Ошибка бита

Контроллер, осуществляющий передачу сообщения в сеть, продолжает слушать шину. Если на линии приема обнаружено не то значение, которое передавалось, то генерируется флаг ошибки. Тип ошибки можно узнать по значению поля Status Register[BEС]. Если Status Register[BEС] = 1, то это означает, что передатчик, пересылая рецессивный бит, обнаружил на шине доминантный бит. Если Status Register[BEС] = 2, то это означает, что передатчик, пересылая доминантный бит, обнаружил на шине рецессивный бит.

Существует два исключения:

- 1) Если передатчик обнаруживает доминантный бит, отправляя рецессивный бит, во время поля арбитража (Arbitration field) или интервала ACK (ACK SLOT), то ошибка не генерируется;
- 2) Если передатчик, отправляя Passive error flag, обнаруживает доминантный бит, то ошибка не генерируется.

1.4.1.7.5.3.4.1.2 Ошибка вставки

Протокол CAN требует передатчик осуществлять вставку комплементарного бита после передачи пяти одинаковых бит для полей SOF, Arbitration, Control, Data, и CRC Sequence кадров данных и удаленного запроса. Этот метод называют вставкой бит (bit stuffing). Ошибка вставки генерируется, если приемником обнаружено шесть последовательных одинаковых бит в той части сообщения, которая должна быть закодирована с помощью метода вставки бит. Значение Status Register[BEС] = 3 сигнализирует об ошибке вставки.

1.4.1.7.5.3.4.1.3 Ошибка CRC

Ошибка CRC генерируется, если CRC, вычисленный приемником, не совпадает с принятым. Значение Status Register[BEС] = 4 сигнализирует об ошибке CRC.

1.4.1.7.5.3.4.1.4 Ошибка формата

Ошибка формата генерируется, если принятые приемником поля фиксированного формата нарушены. К таким полям относятся разделители CRC и ACK, End of frame, Intermission. Значение Status Register[BEС] = 5 сигнализирует об ошибке формата.

					ЮФКВ.431268.020РЭ		Лист
							426
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Существует исключение:

- Если приемник принял доминантный бит на месте последнего бита End of frame, то ошибка не генерируется.

1.4.1.7.5.3.4.1.5 Ошибка подтверждения

Ошибка подтверждения генерируется передатчиком, если он не обнаруживает доминантное значение во время поля ACK SLOT. Значение Status Register[BE0] = 6 сигнализирует об ошибке подтверждения.

1.4.1.7.5.3.4.2 Счетчики ошибок

1.4.1.7.5.3.4.2.1 Стандартные счетчики ошибок

Существует два стандартных счетчика ошибок в соответствии со спецификацией протокола CAN:

- 1) Счетчик ошибок передачи (TEC);
- 2) Счетчик ошибок приема (REC).

1.4.1.7.5.3.4.2.2 Дополнительные счетчики ошибок

Дополнительно введено N счетчиков ошибок:

- Общий счетчик канальных ошибок передачи (кроме ошибок арбитража);
- Общий счетчик канальных ошибок приема (кроме ошибок арбитража);
- Счетчик превышений уровня предупреждения (96) двумя стандартными счетчиками (TEC и REC);
- Счетчик переходов контроллера в состояние Error Passive;
- Счетчик переходов контроллера в состояние Bus Off;
- Счетчик неотправленных сообщений по причине устаревания;
- Счетчик неотправленных сообщений режима Single Shot;
- Счетчик неотправленных сообщений по причине перехода в состояние Bus Off.

1.4.1.7.5.3.4.3 Предотвращение ошибок

Узел может находиться в трех состояниях для предотвращения ошибок в зависимости от уровней счетчиков ошибок:

- 1) активность к ошибкам (Error active);
- 2) пассивность к ошибкам (Error passive);
- 3) отключение от шины (Bus off).

Узел активный к ошибкам принимает нормальное участие в коммуникации по шине и отправляет флаг активной ошибки при обнаружении ошибки.

Узел пассивный к ошибкам также принимает нормальное участие в коммуникации по шине, но отправляет флаг пассивной ошибки при обнаружении ошибки. Более того, если такой узел выступал передатчиком последнего сообщения, то в междукладочный промежуток будет добавлено поле отложенной передачи.

Узел, находящийся в состоянии Bus off, никак не воздействует на шину.

Для предотвращения ошибок существует несколько правил изменения стандартных счетчиков приема и передачи:

- 1) Когда приемник обнаруживает ошибку, REC увеличивается на единицу, за исключением случая обнаружения ошибки бита (Bit error) в момент отправки флага активной ошибки или флага перегрузки.

					ЮФКВ.431268.020РЭ			Лист
								427
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2				

- 2) Когда приемник обнаруживает доминантный бит на позиции первого бита после флага ошибки, показания REC должны увеличиться на 8.
- 3) Когда передатчик пересылает флаг ошибки, ТЕС должен увеличиться на 8. Существует два исключения, при которых ТЕС остается неизменным:
 - а) Исключение 1: если передатчик находится в состоянии Error passive и обнаруживает ошибку подтверждения из-за отсутствия доминантного бита в поле АСК slot и отсутствия доминантного бита при передаче флага пассивной ошибки (Error passive flag);
 - б) Исключение 2: если передатчик пересылает флаг ошибки из-за ошибки вставки (Stuff error), возникшей во время арбитража, при этом бит заполнения должен быть рецессивным и должен пересылаться как рецессивный, но наблюдаться как доминантный.
- 4) Если передатчик обнаруживает ошибку бита (Bit error) во время пересылки флага активной ошибки или флага перегрузки, ТЕС должен увеличиться на 8.
- 5) Если приемник обнаруживает ошибку бита (Bit error) во время пересылки флага активной ошибки или флага перегрузки, REC должен увеличиться на 8.
- 6) Любой узел должен допускать пересылку до семи последовательных доминантных бит после пересылки активного флага ошибки, пассивного флага ошибки или флага перегрузки. После обнаружения 14 последовательных доминантных бит в случае флага активной ошибки или флага перегрузки, либо после обнаружения восьми последовательных доминантных вслед за пассивным флагом ошибки и после каждой серии из дополнительных последовательных доминантных бит каждый передатчик должен увеличить ТЕС на 8, а каждый приемник – REC на 8.
- 7) После успешной передачи кадра (получение АСК и отсутствия обнаруженных ошибок до завершения EOF) ТЕС должен уменьшиться на 1, если он не равен 0.
- 8) После успешного приема кадра (прием в отсутствие ошибок в поле АСК и успешная передача бита АСК) REC должен уменьшиться на 1, если он равен от 1 до 127. Если REC равен 0, то значение сохраняется, а если был больше 127, то должен принять значение от 119 до 127.
- 9) Узел находится в пассивном к ошибкам состоянии (Error passive), если ТЕС или REC превышают 127. Ошибка, вызывающая переход узла в состояние Error passive, должна сопровождаться пересылкой флага активной ошибки.
- 10) Узел находится в состоянии отключения от шины (Bus off), если ТЕС превышает 255.
- 11) Пассивный к ошибкам узел становится активным к ошибкам, когда оба счетчика – ТЕС и REC становятся меньше 128.
- 12) Узел, отключенный от шины, становится вновь активным к ошибкам после 128 последовательных 11 рецессивных бит. Счетчики ошибок при этом сбрасываются.

На рисунке 122 наглядно изображены диаграмма перехода состояния узла.

										Лист
										428
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

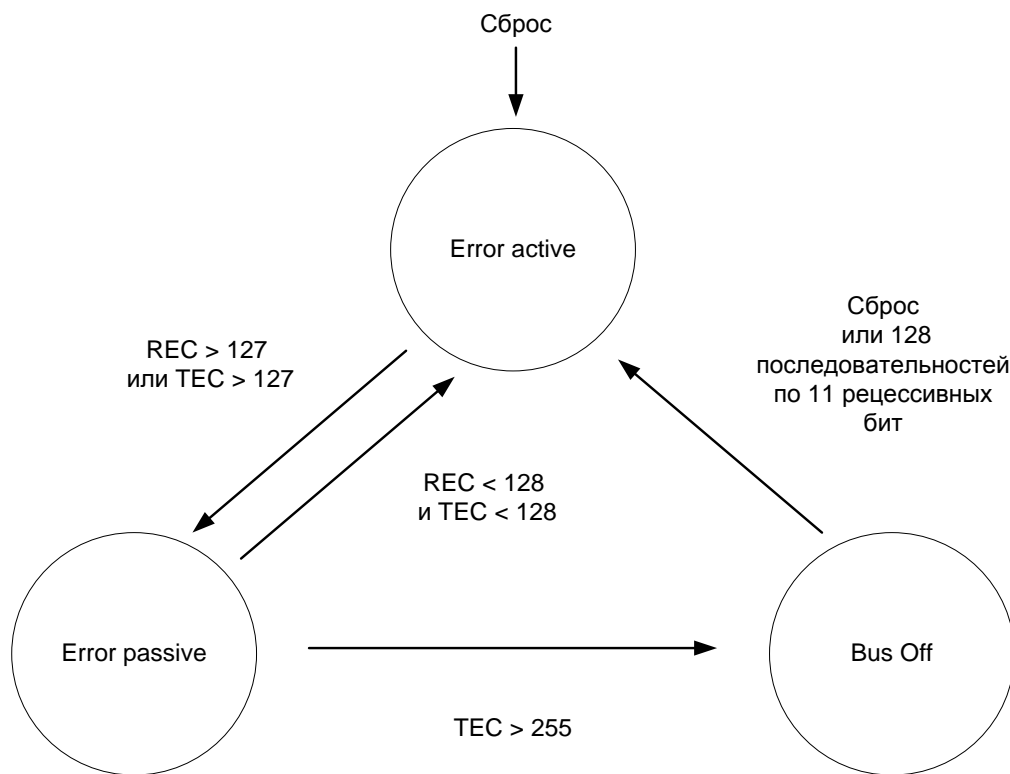


Рисунок 122 – Диаграмма переходов состояния узла

1.4.1.7.5.3.4.4 Способы сигнализации об ошибках

Узел, обнаруживший ошибку, сообщает об этом в сеть путем пересылки флага ошибки. Узел, активный к ошибкам, пересылает в сеть флаг активной ошибки. Узел, пассивный к ошибкам, пересылает в сеть флаг пассивной ошибки. При обнаружении ошибок бита, вставки, формата, подтверждения флаг ошибки генерируется незамедлительно, в следующем бите. При обнаружении ошибки CRC флаг ошибки начинается после ACK Delimiter, если только уже не начата передача флага ошибки по другой причине.

1.4.1.7.5.3.5 Соответствие битов кадров полям состояния канала

1.4.1.7.5.3.5.1 Передача сообщения

1.4.1.7.5.3.5.1.1 Стандартный формат

Соответствие битов кадра полям состояния канала при передаче сообщения в стандартном формате для кадра данных (Data frame) представлено в таблице 572, для кадра удаленного запроса (Remote Frame) - в таблице 573.

Таблица 572 – Кадр данных (Data frame)

STE[4:0]	20				17			16	18	21		24		29
BCNT[6:0]	13	12 : 2	1	0	4	3 : 0	63(DLC=8): 0	14 : 0	1	0	7	6 : 0	2 : 0	
FIELD	SO F	Arbitration		Ctrl			Data	CRC		ACK		EOF	Inter mission	
BIT_NAME	SO F	bI D	RTR	I D E	r0	DL C	Data	CRC_Seq	CRC_Del	Ack_Slot	Ack_Del	EOF		
BIT_NUM (DLC=8)	1	2 : 12	13	1 4	1 5	16 : 19	20 : 83	84 : 98	99	100	101	102 : 108		
BIT_NUM (DLC)	1	2 : 12	13	1 4	1 5	16 : 19	20 : (8*DLC+1 9)	(8*DLC+2 0) : (8*DLC+3 4)	8*DLC+ 35	8*DLC+ 36	8*DLC+ 37	(8*DLC+3 8) : (8*DLC+4 4)		

					ЮФКВ.431268.020РЭ				Лист	
									429	
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

Таблица 573 – Кадр удаленного запроса (Remote Frame)

STE[4:0]	20				17			18		21			24		29	
BCNT[6:0]	13	12 : 2	1	0	4	3 : 0	14 : 0		1	0	7	6 : 0	2 : 0			
FIELD	SOF	Arbitration			Ctrl			CRC			ACK		EOF	Intermission		
BIT_NAME	SOF	bID	RTR	IDE	r0	DLC		CRC_Seq	CRC_Del	Ack_Slot	Ack_Del	EOF				
BIT_NUM	1	2 : 12	13	14	15	16 : 19	20 : 34		35	36	37	38 : 44				

1.4.1.7.5.3.5.1.2 Расширенный формат

Соответствие битов кадра полям состояния канала при передаче сообщения в расширенном формате для кадра данных (Data frame) представлено в таблице 574, для кадра удаленного запроса (Remote Frame) - в таблице 575.

Таблица 574 – Кадр данных (Data Frame)

STE[4:0]	20				22			17		16		18		21		24	
BCNT[6:0]	13	12 : 2	1	0	18 : 1	0	5 : 4	3 : 0	63(DLC=8) : 0		14 : 0	1	0	7	6 : 0		
FIELD	SOF	Arbitration					Ctrl		Data		CRC		ACK		EOF		
BIT_NAME	SOF	bID	SRR	IDE	eID	RTR	r0,r1	DLC	Data		CRC_Seq	CRC_Del	Ack_Slot	Ack_De	EOF		
BIT_NUM(DLC=8)	1	2 : 12	13	14	15 : 32	33	34 : 35	36:39	40 : 103		104 : 118	119	120	121	122:128		
BIT_NUM(DLC)	1	2 : 12	13	14	15 : 32	33	34 : 35	36:39	40 : (8*DLC+39)		(8*DLC+40) : (8*DLC+54)	8*DLC+55	8*DLC+56	8*DLC+57	(8*DLC+58) : (8*DLC+64)		

Таблица 575 – Кадр удаленного запроса (Remote Frame)

STE[4:0]	20				22			17		18		21		24	
BCNT[6:0]	13	12 : 2	1	0	18 : 1	0	5 : 4	3 : 0	14 : 0		1	0	6 : 0		
FIELD	SOF	Arbitration					Ctrl		CRC			ACK		EOF	
BIT_NAME	SOF	bID	SRR	IDE	eID	RTR	r0,r1	DLC	CRC_Seq	CRC_Del	Ack_Slot	Ack_De	EOF		
BIT_NUM(DLC=8)	1	2 : 12	13	14	15 : 32	33	34 : 35	36:39	40 : 54	55	56	57	58 : 64		

1.4.1.7.5.3.5.2 Прием сообщения

1.4.1.7.5.3.5.2.1 Стандартный формат

Соответствие битов кадра полям состояния канала при приеме сообщения в стандартном формате для кадра данных (Data frame) представлено в таблице 576, для кадра удаленного запроса (Remote Frame) - в таблице 577.

Таблица 576 – Кадр данных (Data Frame)

STE[4:0]	13				11			10		8		6		4		5	
BCNT[6:0]	13	12 : 2	1	0	4	3 : 0	63(DLC=8) : 0		14 : 0		1	0	7	6 : 0	2 : 0		
FIELD	SOF	Arbitration			Ctrl			Data		CRC		ACK		EOF	Intermission		
BIT_NAME	SOF	bID	RT	IDE	r0	DL	Data		CRC_Seq	CRC_Del	Ack_Slot	Ack_Del	EOF				
BIT_NUM(DLC=8)	1	2 : 12	13	14	15 : 19	16 : 19	20 : 83		84 : 98	99	100	101	102 : 108				
BIT_NUM(DLC)	1	2 : 12	13	14	15 : 19	16 : 19	20 : (8*DLC+19)		(8*DLC+20) : (8*DLC+34)	8*DLC+35	8*DLC+36	8*DLC+37	(8*DLC+38) : (8*DLC+44)				

											Лист
											430
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019			34203-2						

Таблица 577 – Кадр удаленного запроса (Remote Frame)

STE[4:0]	13				11		8		6		4		5	
BCNT[6:0]	13	12 : 2	1	0	4	3 : 0	14 : 0		1	0	7	6 : 0		2 : 0
FIELD	SOF	Arbitration			Ctrl			CRC		ACK			EOF	Intermission
BIT_NAME	SOF	bID	RTR	IDE	r0	DLC	CRC_Seq		CRC_Del	Ack_Slot	Ack_Del	EOF		
BIT_NUM	1	2 : 12	13	14	15	16 : 19	20 : 34		35	36	37	38 : 44		

1.4.1.7.5.3.5.2.2 Расширенный формат

Соответствие битов кадра полям состояния канала при приеме сообщения в расширенном формате для кадра данных (Data frame) представлено в таблице 578, для кадра удаленного запроса (Remote Frame) - в таблице 579.

Таблица 578 – Кадр данных (Data Frame)

STE[4:0]	13				9		11		10	8	6		4	
BCNT[6:0]	13	12 : 2	1	0	18 : 1	0	5 : 4	3 : 0	63 (DLC=8) : 0	14 : 0	1	0	7	6 : 0
FIELD	SOF	Arbitration				Ctrl		Data	CRC		ACK		EOF	
BIT_NAME	SOF	bID	SRR	IDE	eID	RTR	r0,r1	DLC	Data	CRC_Seq	CRC_Del	Ack_Slot	Ack_Del	EOF
BIT_NUM (DLC=8)	1	2 : 12	13	14	15 : 32	33	34 : 35	36 : 39	40 : 103	104 : 118	119	120	121	122 : 128
BIT_NUM (DLC)	1	2 : 12	13	14	15 : 32	33	34 : 35	36 : 39	40 : (8*DL C+39)	(8*D LC+ 40) : (8*D LC+ 54)	8*DLC +55	8*D LC+ 56	8*D LC+ 57	(8*D LC+ 58) : (8*D LC+ 64)

Таблица 579 – Кадр удаленного запроса (Remote Frame)

STE[4:0]	13				9		11		8	6		4	
BCNT[6:0]	13	12 : 2	1	0	18 : 1	0	5 : 4	3 : 0	14 : 0	1	0	7	6 : 0
FIELD	SOF	Arbitration				Ctrl		CRC		ACK		EOF	
BIT_NAME	SOF	bID	SRR	IDE	eID	RTR	r0,r1	DLC	CRC_Seq	CRC_Del	Ack_Slot	Ack_Del	EOF
BIT_NUM	1	2 : 12	13	14	15 : 32	33	34 : 35	36 : 39	40 : 54	55	56	57	58 : 64

1.4.1.7.5.3.6 Прерывания

Контроллер реализует возможность генерации маскируемого прерывания по приему, передаче и ошибкам на шине CAN. Маска прерываний находится в Interrupt Enable Register. Поле Interrupt Enable Register[GBIE] является общей маской всех прерываний. Установка его в 0 означает маскирование любых прерываний контроллера вне зависимости от значений других масок.

Причина, вызвавшая генерацию последнего прерывания, отражается в регистре Interrupt Flag Register. После чтения этого регистра прерывание будет снято, а значения всех полей регистра Interrupt Flag Register сброшено. При этом значения полей регистра Status Register не изменятся до тех пор, пока не изменится состояние, в котором находится контроллер или не сбросятся программно биты, открытые для записи.

1.4.1.7.5.3.7 Очереди передачи и передача сообщений

Для пересылки сообщений в контроллере реализованы четыре очереди передачи (TQ0, TQ1, TQ2, TQ3). Каждая из них представляет собой FIFO-буфер. Очереди передачи имеют конфигурируемый размер до 96 сообщений стандартного или расширенного формата.

					ЮФКВ.431268.020РЭ					Лист
										431
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

Конфигурация размера выполняется записью в регистр Size TQx значения от 1 до 96 для каждой очереди. По умолчанию размер каждой очереди равен 96. Каждая очередь имеет счетчик свободных позиций Empty Frames Counter TQx. Контроллер имеет счетчик всех успешно отправленных сообщений Successful Transmit Counter.

Запись передаваемых данных осуществляется по любому адресу из диапазона соответствующей очереди передачи Data to TQx.

Выбор сообщения на отправку в сеть осуществляется в соответствии с готовностью сообщений в очередях передачи и с приоритетом очередей. Наивысшим приоритетом обладает очередь с наибольшим порядковым номером – TQ3. Если контроллер готов к передаче данных и есть хотя бы одно готовое к передаче сообщение, то начнется его трансляция в сеть. При готовности сообщений в нескольких очередях передачи первым будет выбрано сообщение из очереди с наивысшим приоритетом. Очередность передачи сообщений будет определяться устройством управления очередями (QMU). На рисунке 123 показана схема распределения сообщений по очередям размера n и выбор сообщения для передачи.

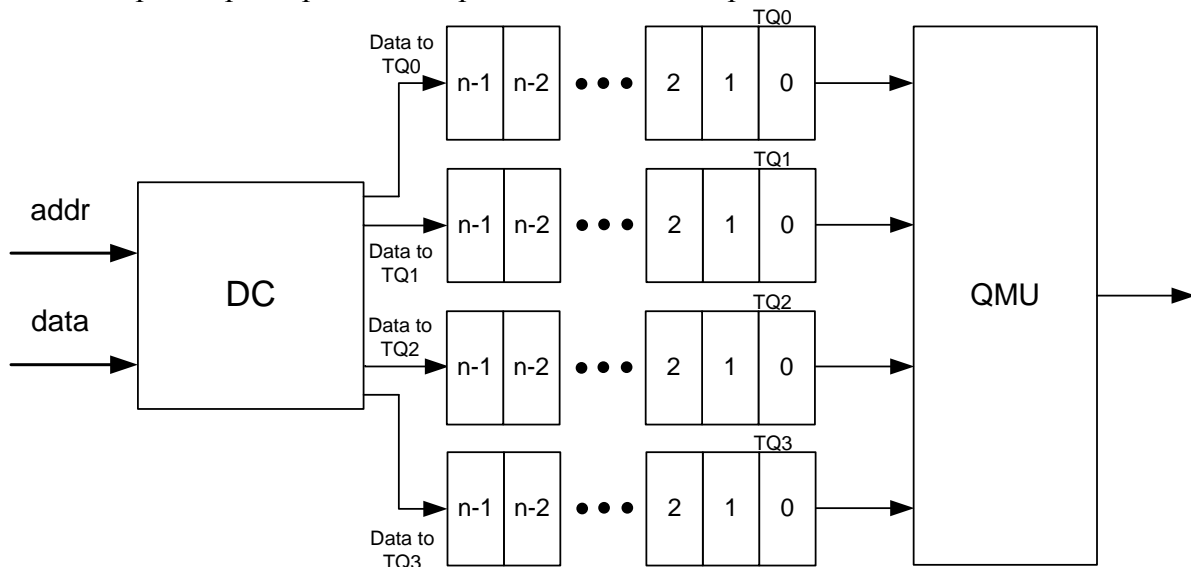


Рисунок 123 – Распределение сообщений по очередям передачи и схема выбора для передачи

Существует возможность отменить передачу текущего передаваемого сообщения, выставив запрос в Control TQx[TC] = 1 (Регистр предусмотрен для каждой очереди передачи). Также предусмотрен бит Global Transmit Cancel[GTC] аналогичного функционала, но влияющего на любое сообщение вне зависимости от очереди передачи. Текущая передача сообщения не будет прервана, однако, если сообщение передано не будет (из-за проигранного арбитража или ошибки на шине), повторная передача будет отменена и сообщение будет удалено из очереди передачи.

Существует возможность очистить очередь передачи, выставив запрос в Control TQx[QC] = 1. В режиме инициализации очередь передачи будет очищена мгновенно. Если в данный момент передается сообщение, то передача продолжится, однако, если сообщение передано не будет (проигрыш арбитража или ошибка на шине), повторная передача будет отменена. После окончания текущей передачи очередь передачи будет очищена.

Счетчик Global Transmit Cancel Counter инкрементируется на число сообщений, отмененных для передачи в связи с запросами в Control TQx[TC], Control TQx[QC] и Global Transmit Cancel[GTC].

Если контроллер получит запрос на переход в режим инициализации в момент отправки сообщения, то текущая передача сообщения не будет прервана, однако, если сообщение передано не будет (из-за проигранного арбитража или ошибки на шине), повторная передача

					Лист
					432
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
ЮФКВ.431268.020РЭ					

будет отменена и сообщение будет удалено из очереди передачи. Счетчик Transmit Cancel Init Mode Counter будет инкрементирован.

Если контроллер перейдет в состояние Bus Off в результате отправки сообщения, то сообщение будет отброшено из очереди передачи. Счетчик Transmit Cancel Bus Off Counter будет инкрементирован.

После выхода из режима инициализации или восстановления контроллера после состояния Bus Off, все сообщения сохраняются в очередях передачи за исключением последнего отброшенного.

Для записи сообщения в очередь передачи необходимо:

- Записать в поле Size TQx желаемый размер очереди (если еще не прописан);
- Убедиться, что выбранная очередь передачи заполнена не целиком – Empty Frames Counter TQx != 0;
- Произвести восемь последовательных записей по любому адресу из диапазона соответствующей очереди передачи Data to TQx. Порядок записи данных приведен в таблице 580.

Таблица 580 – Очередь транзакции при передаче

№ транзакции	Распределение полей в 32-битной транзакции				
1	TT [31:0]				
	31:0				
2	TT [63:32]				
	31:0				
3	IDE	bID[28:18]	eID[17:0]	RTR	unused
	31	30:20	19:2	1	0
4	DLC[3:0]	SISH	ROF	TR	unused
	31:28	27	26	25	24:0
5	Byte3[7:0]	Byte2[7:0]	Byte1[7:0]	Byte0[7:0]	
	31:24	23:16	15:8	7:0	
6	Byte7[7:0]	Byte6[7:0]	Byte5[7:0]	Byte4[7:0]	
	31:24	23:16	15:8	7:0	
7	PID [31:0]				
	31:0				
8	unused				
	31:0				

Для кадра стандартного формата (IDE = 0) поле расширенного идентификатора eID[17:0] игнорируется.

Для кадров с DLC[3:0] меньше 8 старшие байты игнорируются.

TT (Threshold time) – порог устаревания сообщения. Если значение внутреннего таймера превысило порог устаревания выбранного для передачи сообщения, то такое сообщение отбрасывается.

SISH (Single shot) – флаг запрета ретрансляции сообщения. Сообщение будет ретранслировано в случае неуспешной передачи при условии, что SISH = 0 и сообщение еще не устарело.

ROF (Receive own frame) – флаг приема собственного сообщения. Успешно отправленное сообщение будет записано в собственную очередь событий, если ROF = 1. Без учета механизма фильтрации.

TR (Transmission report) – флаг необходимости формирования отчета об отправке. Отчет об отправке будет сформирован в очереди событий, если TR = 1.

PID (Program ID) – программный идентификатор.

Остальные поля имеют аналогичный смысл в соответствии с полями кадра.

									Лист
									433
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redhell</i> 24.10.2019		34203-2						

1.4.1.7.5.3.7.1 Флаги DMA-событий

Для информирования DMA контроллера о наличии свободных позиций в очередях передачи контроллер CAN снабжен четырьмя (по одному для каждой очереди передачи) выходными сигналами – tqx_wm_o.

Флаг DMA события будет активирован в том случае, если количество свободных позиций в очереди передачи больше, чем значение, прописанное в регистре WatermarkTQx. Примеры значений приведены в таблице 581.

Таблица 581 – Флаги DMA-событий при передаче

	Количество свободных позиций в TQx	WatermarkTQx	Флаг DMA события
по умолчанию	96	0	1
примеры рабочего состояния	90	50	1
	25	40	0
	30	10	1

1.4.1.7.5.3.8 Очередь событий и прием сообщений

Очередь событий осуществляет запись входящих сообщений и историю событий, произошедших с контроллером и каналом. Очередь событий имеет конфигурируемый размер до 128 элементов и представляет собой FIFO-буфер. Конфигурация размера выполняется записью в регистр Size EQ0 значения от 1 до 128. По умолчанию размер очереди равен 128. Заполнение очереди отражено в поле Frames Counter EQ0. Контроллер имеет счетчик успешно принятых сообщений Successful Receive Counter.

Три типа элементов могут содержаться в очереди событий:

- 1) Отчет об отправке (Transmission report);
- 2) Состояние канала (Bus status);
- 3) Входящее сообщение (Received Message).

Каждый из типов элемента отличается уникальным ID, указанным в таблице 582.

Таблица 582 – ID элементов очереди

	ID
Transmission report	0x5AD912C3
Bus status	0x7E39B6E8
Received Message	0x92DC79A5

Сообщения, полученные и прошедшие фильтрацию, а также события типа «Отчет об отправке» или «Состояние канала» при полностью заполненной очереди событий отбрасываются. При этом увеличиваются значения соответствующих счетчиков:

- Overflow EQ RM Counter;
- Overflow EQ TR Counter;
- Overflow EQ BS Counter.

Для чтения элемента из очереди событий необходимо произвести восемь последовательных операций чтения по любому из адресов диапазона Data from EQ0. Данные будут считаны в порядке следования полей в соответствующем элементе.

1.4.1.7.5.3.8.1 Отчет об отправке

Элемент формируется при наличии в элементе очереди передачи активного флага необходимости формирования отчета об отправке (TR = 1).

Отчет об отправке описан в таблице 583.

					ЮФКВ.431268.020РЭ	Лист 434
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 583 – Отчет об отправке

№ транзакции	Распределение полей в 32-битной транзакции				
1	Transmission report – ID[31:0]				
	31:0				
2	unused	TRSL[3:0]			
	31:4	3:0			
3	IDE	bID[28:18]	eID[17:0]	RTR	unused
	31	30:20	19:2	1	0
4	PID [31:0]				
	31:0				
5	TS [31:0]				
	31:0				
6	TS [63:32]				
	31:0				
7	unused				
	31:0				
8	unused				
	31:0				

TRSL (Transmission result) – код результата отправки. Значения полей приведены в таблице 584.

Таблица 584 – Значения полей кода результата отправки

TRSL[3:0]	Описание
0, 9-15	Без статуса
1	Успешно отправлено
2	Отправка отменена по причине устаревания
3	Не отправлено; повторная отправка запрещена по причине того, что в момент отправки получен запрос от ПО хоста об отмене передачи
4	Не отправлено; повторная отправка запрещена по причине того, что в момент отправки получен запрос от ПО хоста об очистке очереди передачи
5	Не отправлено; повторная отправка запрещена по причине того, что в момент отправки получен запрос от ПО хоста о переходе в режим инициализации
6	Не отправлено; повторная отправка запрещена по причине того, что в момент отправки контроллер перешел в состояние Bus Off
7	Ошибка передачи сообщения режима Single Shot
8	Ошибка формата элемента очереди передачи

IDE, bID, eID, RTR – соответствующие поля передаваемого сообщения.

TS (Timestamp) – временная метка, соответствующая моменту выдачи в канал бита SOF (кроме случаев «Отправка отменена по причине устаревания» и «Ошибка формата элемента очереди передачи» - для них метка соответствует моменту формирования элемента).

PID (Program ID) – программный идентификатор отправленного сообщения.

При неудачной попытке отправки сообщения поле TRSL будет заполнено в соответствии с приоритетом, описанным в таблице 585.

Таблица 585 – Приоритет ошибок передачи

Ошибка передачи сообщения режима Single Shot	
Контроллер перешел в состояние Bus Off	
Получен запрос от ПО хоста о переходе в режим инициализации	
Получен запрос от ПО хоста об очистке очереди передачи	
Получен запрос от ПО хоста об отмене передачи	Наименьший приоритет

									Лист
									435
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redhell</i> 24.10.2019		34203-2						

Отчет об отправке типа «Ошибка формата элемента очереди передачи» может быть сгенерирован для неустаревшего сообщения и при следующих нарушениях:

- Для кадра стандартного формата (IDE = 0) поле eID[17:0] != 0;
- DLC > 8.

Отчет об отправке типа «Ошибка формата элемента очереди передачи» генерируется при соответствующем разрешении блокировки передачи сообщения с неверным форматом в регистре TQ Format Enable, при TR = 1 и для не устаревшего сообщения.

1.4.1.7.5.3.8.2 Состояние канала

Элемент формируется при появлении соответствующего состояния на шине и при разрешении генерации элемента очереди событий соответствующего состояния канала (см. таблицу 586) при помощи маски Bus Status Enable Register.

Таблица 586 – Состояние канала

№ транзакции	Распределение полей в 32-битной транзакции				
	1	Bus status – ID[31:0]			
	31:0				
2	unused [31:20]	BCNT[6:0] [19:13]	STE[4:0] [12:8]	ERT[3:0] [7:4]	BSC[3:0] [3:0]
3	TS [31:0]				
	31:0				
4	TS [63:32]				
	31:0				
5	unused				
	31:0				
6	unused				
	31:0				
7	unused				
	31:0				
8	unused				
	31:0				

BSC (Bus status code) – код события на шине. Значения полей приведены в таблице 587.

Таблица 587 – Коды события на шине

BSC[3:0]	Описание	Дополнительная информация
0, 10-15	Без статуса	-
1	Ошибка арбитража	Номер бита
2	Канальная ошибка при передаче	Тип ошибки и номер бита
3	Канальная ошибка при приеме	Тип ошибки и номер бита
4	Превышение хотя бы одного стандартного счетчика уровня предупреждения (96)	-
5	Переход из состояние Error active в Error passive	-
6	Переход из состояния Error passive в Error active	-
7	Переход в режим инициализации по обнаружению состояния Bus Off	-
8	Успешное завершение восстановления после состояния Bus Off	-
9	Успешное завершение синхронизации с сетью после программного снятия режима «инициализация»	-

Событие на шине «Успешное завершение восстановления после состояния Bus Off» подразумевает успешную синхронизацию с сетью, однако дополнительного элемента в очередь событий добавлено не будет.

ERT (Error type) – тип ошибки на шине. Является дополнительной информацией для событий типа канальная ошибка. Значения полей приведены в таблице 588.

									Лист
									436
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redhell</i> 24.10.2019		34203-2						

Таблица 588 – Типы ошибок на шине

ERT[3:0]	Описание
0	Ошибки нет
1	Ошибка вставки в принимаемом сообщении
2	Ошибка фиксированного формата принимаемого сообщения
3	Ошибки подтверждения. Отсутствует ACK
4	Контроллер передавал 1, но в сети детектировал 0 (за исключением проигрыша арбитража)
5	Контроллер передавал 0, но в сети детектировал 1. В течение процесса восстановления после состояния Bus Off этот статус выставляется, как только обнаружены 11 последовательных рецессивных бит
6	Ошибка CRC. Рассчитанное приемником CRC значение не совпало с полученным
7 - 15	Не используется

STE (State) – код состояния контроллера. Является дополнительной информацией для событий типа канальная ошибка и ошибка арбитража. Значения полей приведены в таблице 589.

Таблица 589 – Коды состояния контроллера

STE[4:0]	Описание
0	Bus Off. Режим инициализации
1	Передача поля отложенной передачи - Suspend (Error Passive only)
2	Шина свободна. Контроллер готов передавать или принимать сообщения
3	Шина свободна. Контроллер готов передавать или принимать сообщения
4	Прием поля окончания – End of frame
5	Приемник в состоянии междукадрового промежутка - Intermission
6	Приемник отправляет бит подтверждения - Acknowledge
7	Восстановление после Bus Off
8	Прием CRC
9	Прием расширенного ID
10	Прием поля данных
11	Прием поля управления
12	Приемник передает поле разделителя ошибки
13	Прием базового ID
14	Приемник передает флаг перегрузки
15	Приемник передает флаг ошибки
16	Передача поля данных
17	Передача поля управления
18	Передача CRC
19	Передатчик передает флаг перегрузки
20	Передача базового ID
21	Передатчик в ожидании подтверждения
22	Передача расширенного ID
23	Передатчик передает флаг ошибки
24	Передача поля окончания – End of frame
25	Передача поля разделителя ошибки
26	-
27	-
28	Передатчик ожидает поля разделителя ошибок – суперпозиция флагов ошибки
29	Передатчик в состоянии междукадрового промежутка - Intermission
30	Приемник ожидает поля разделителя ошибок – суперпозиция флагов ошибки
31	Приемник передает флаг разделителя перегрузки

BCNT (Bit counter) – номер бита. Является дополнительной информацией для событий типа канальная ошибка и ошибка арбитража.

Поля STE и BCNT дают информацию о передаваемом на шине бите во время зафиксированного очередью событием. В приложении А приводится соответствие между битами стандартных сообщений, определяемых в ISO 11898-1 и полями состояния канала STE и BCNT.

TS (Timestamp) – временная метка, соответствующая моменту формирования элемента.

					ЮФКВ.431268.020РЭ		Лист
							437
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

1.4.1.7.5.3.8.3 Входящее сообщение

Элемент содержит принятые и прошедшие фильтрацию сообщения или собственные успешно переданные сообщения, обладающие признаком приема собственного сообщения. Описание отчета о приеме приведено в таблице 590.

Таблица 590 – Отчет о приеме

№ транзакции	Распределение полей в 32-битной транзакции				
	1	Received Message – ID[31:0]			
31:0					
2	unused/PID (for Own frame)				
	31:0				
3	IDE	bID[28:18]	eID[17:0]	RTR	unused
	31	30:20	19:2	1	0
4	DLC[3:0]	Own frame	unused		
	31:28	27	26:0		
5	Byte3[7:0]	Byte2[7:0]	Byte1[7:0]	Byte0[7:0]	
	31:24	23:16	15:8	7:0	
6	Byte7[7:0]	Byte6[7:0]	Byte5[7:0]	Byte4[7:0]	
	31:24	23:16	15:8	7:0	
7	TS [31:0]				
	31:0				
8	TS [63:32]				
	31:0				

Для кадра стандартного формата (IDE = 0) поле расширенного идентификатора eID[17:0] игнорируется.

Для кадров с DLC[3:0] меньше 8 старшие байты игнорируются.

Если Own frame = 1, то принятое сообщение - собственное.

TS (Timestamp) – временная метка, соответствующая моменту выдачи в канал бита SOF.

1.4.1.7.5.3.8.4 Флаг DMA-события

Для информирования DMA контроллера о степени заполнения очереди приема контроллер CAN снабжен выходным сигналом – eq0_wm_o.

Флаг DMA события будет активирован в том случае, если количество занятых позиций в очереди приема больше, чем значение, прописанное в регистре WatermarkEQ0. Примеры значений приведены в таблице 591.

Таблица 591 – Флаги DMA-событий при приеме

	Количество занятых позиций в EQ0	WatermarkEQ0	Флаг DMA события
По умолчанию	0	128	0
Примеры рабочего состояния	20	64	0
	64	64	0
	80	70	1

1.4.1.7.5.3.9 Режим инициализации

В режиме инициализации контроллер CAN окажется в нескольких случаях:

- после системного сброса;
- после Soft Reset;
- после перехода контроллера CAN в состояние Bus Off;
- после программной установки.

					ЮФКВ.431268.020РЭ		Лист
							438
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Редько</i> 24.10.2019		34203-2			

Пока CAN Mode Register[IM] = 1, прекращены все операции приемопередатчика с сообщениями, выход Tx установлен в рецессивное состояние. Аппаратно не изменяются счетчики контроля ошибок и конфигурационные регистры.

Для программной установки режима инициализации необходимо:

- Выставить запрос на переход в режим инициализации Init Mode Change Request[IMCR] = 1;
- Дождаться перехода контроллера в режим инициализации. Контроль осуществляется чтением CAN Mode Register[IM] = 1.

Для программного снятия режима инициализации необходимо:

- Выставить запрос на снятие режима инициализации Init Mode Change Request[IMCR] = 2;
- Дождаться выхода контроллера из режима инициализации. Контроль осуществляется чтением CAN Mode Register[IM] = 0.

1.4.1.7.5.3.10 Подготовка к работе

После системного сброса или Soft Reset контроллер в течение N тактов будет производить внутреннюю аппаратную инициализацию. В это время контроллер не чувствителен к операциям записи. Затем контроллер окажется в режиме инициализации.

Для начала работы контроллера CAN в сети необходимо настроить скорость передачи и момент оцифровки сигнала шины (Sample Point). Для этого необходимо прописать все поля регистров TR Timing Register и DIV Extension. После записи новых данных в регистры TR Timing Register и DIV Extension необходимо дождаться их появления в контроллере. Контроль осуществляется чтением. Поля регистров подробно описаны в п. 1.4.1.7.5.3.3 (Скорость передачи и точка оцифровки шины). После системного сброса или Soft Reset выставлены значения в соответствии с п. 1.4.1.7.5.4.1.7 (TR Timing Register). Изменение регистров TR Timing Register и DIV Extension возможно только в режиме инициализации и при CAN Mode Register[TRCE] = 1.

Для того чтобы начать работу в сети, необходимо вывести контроллер из режима инициализации. После выхода из режима инициализации блок приемопередатчика самостоятельно синхронизируется с сетью, ожидая 11 последовательных рецессивных бит. Когда это произойдет, то в статусном регистре выставится соответствующий флаг: Status Register[Bus Idle] = 1. После этого контроллер может участвовать в работе сети: отправлять и принимать сообщения.

Возможности заполнения очередей передачи и чтения из очереди событий не зависят от значения CAN Mode Register[IM].

1.4.1.7.5.3.11 Тестовый режим

Контроллер CAN переходит в тестовый режим установкой CAN Mode Register[TME] = 1. Поле доступно для записи только в режиме инициализации. После записи новых данных в регистры Test Register и Tx Test Request необходимо дождаться их появления в контроллере. Контроль осуществляется чтением.

В тестовом режиме при помощи регистра Test Register возможно:

- управление выходом Tx;
- наблюдение Sample Point на Tx;
- наблюдение текущего состояния Rx;
- работа в режиме «только слушать»;
- работа в режиме самотестирования;
- работа в режиме «петля».

Изменения в Test Register[SNT] и Test Register[LBK] осуществляются в режиме инициализации и при CAN Mode Register[TME] = 1.

Изменения в Test Register[Tx] осуществляются через запрос в Tx Test Request только в тестовом режиме CAN Mode Register[TME] = 1.

					Лист
					439
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhall</i> 24.10.2019		34203-2	Подп. и дата

1.4.1.7.5.3.11.1 Режим «только слушать»

Контроллер начинает работать в режиме «только слушать» после установки Test Register[SNT] = 1. Контроллер слушает сеть, но на выход Tx всегда подается рецессивный бит (Tx=1). Передача сообщений в сеть невозможна. Внутри приемопередатчика выход Tx замкнут на собственный вход Rx. Если контроллер должен передать в сеть доминантный бит (Tx=0), значение будет перенаправлено на Rx, хотя сеть может в тот же самый момент оставаться в рецессивном значении. Режим «только слушать» может использоваться для наблюдения трафика по сети без воздействия на нее. На рисунке 124 показано соединение внутренних и внешних сигналов в приемопередатчике.

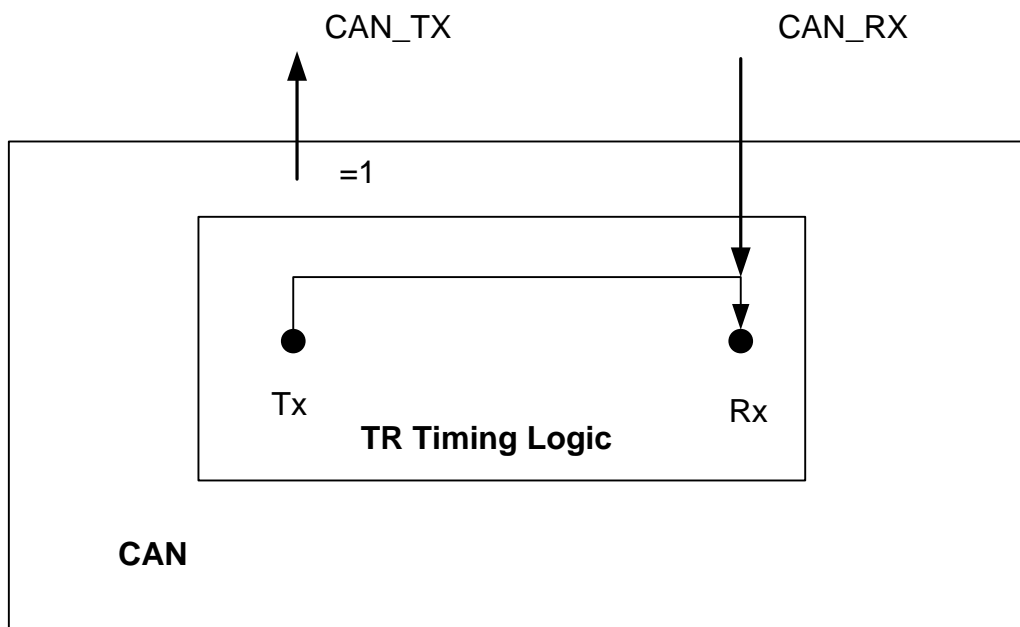


Рисунок 124 – Режим «только слушать»

1.4.1.7.5.3.11.2 Режим самотестирования

Контроллер начинает работать в режиме самотестирования после установки Test Register[LBK] = 1. Контроллер отправляет свои сообщения в сеть, но отключен от внешнего входа Rx. Вместо этого вход Rx замкнут на выход Tx. Таким образом осуществляется самотестирование. Наглядно режим изображен на рисунке 125.

					ЮФКВ.431268.020РЭ		Лист 440
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

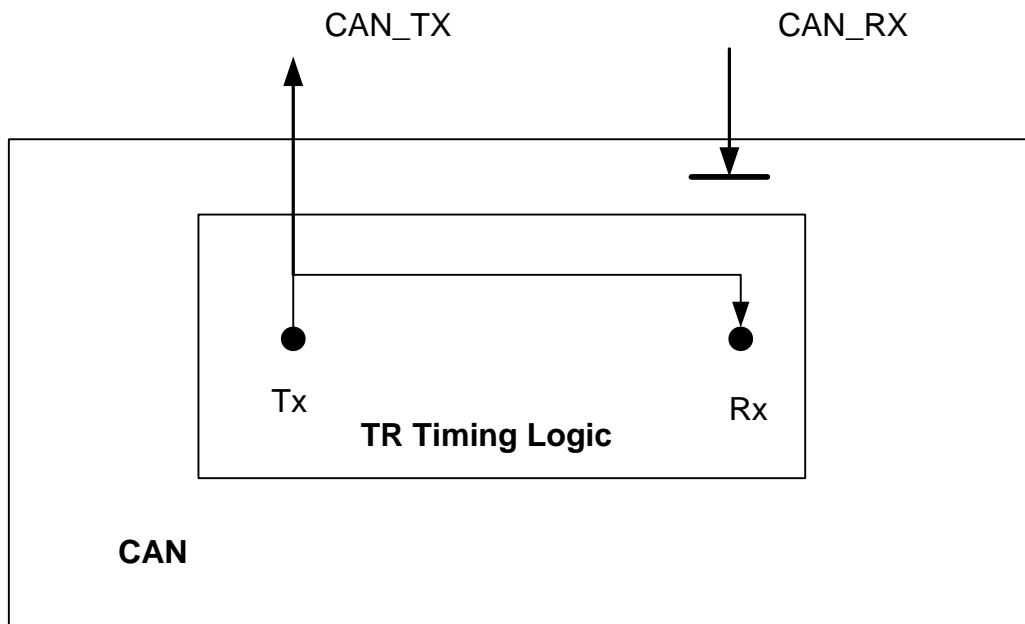


Рисунок 125 – Режим самотестирования

1.4.1.7.5.3.11.3 Режим «петля»

При комбинации режимов «только слушать» Test Register[SNT] = 1 и самотестирования Test Register[LBK] = 1 контроллер работает в тестовом режиме «петля». Наглядно режим изображен на рисунке 126.

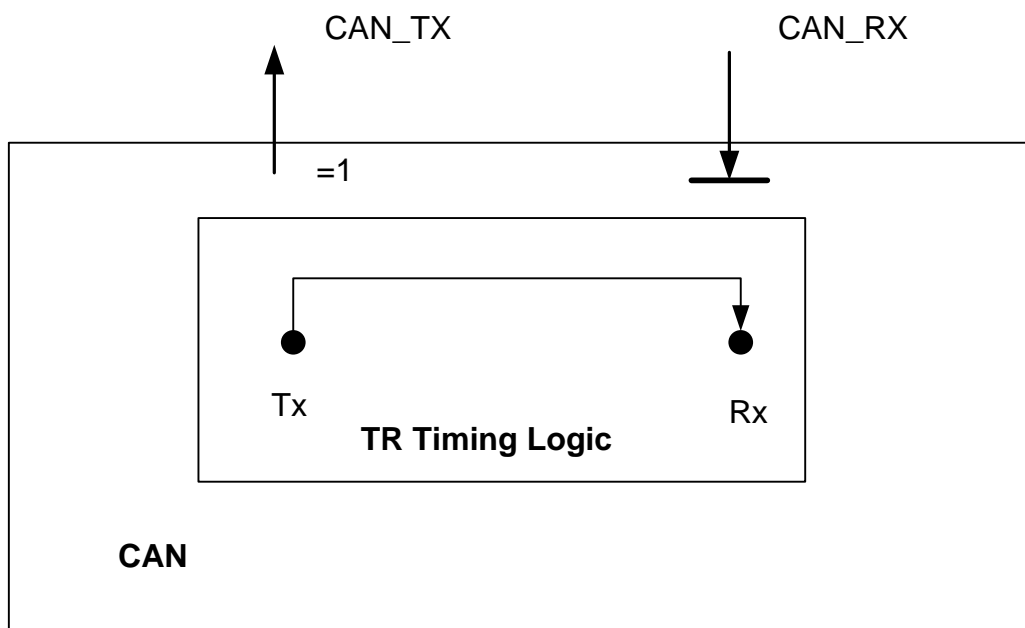


Рисунок 126 – Режим «петля»

1.4.1.7.5.4 Описание регистров контроллера CAN 2.0B

1.4.1.7.5.4.1 Карта регистров контроллера CAN 2.0B

Карта регистров приведена в таблице 592.

					ЮФКВ.431268.020РЭ			Лист
								441
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhell</i> 24.10.2019		34203-2				

Таблица 592 – Карта регистров контроллера CAN 2.0B

Адрес	Имя	Описание
0x0000	CAN Mode Register	Регистр режимов
0x0004	Init Mode Change Request	Запрос на изменение состояния Init Mode
0x0008	Interrupt Enable Register	Регистр масок прерываний
0x000C	Test Register	Регистр управления тестовым режимом. Активен только при CAN Mode Register[TME] = 1
0x0010	Bus Status Enable Register	Регистр масок генерации событий типа «состояние канала»
0x0014	TR Timing Register	Регистр конфигурации делителя системной частоты и точки оцифровки (sample point). Перезапись возможна только при CAN Mode Register[IM] = 1 и CAN Mode Register[TRCE] = 1
0x0018	DIV Extension Register	Регистр расширения поля DIV
0x001C	Soft Reset Register	Регистр программного сброса
0x0020	TQ Format Enable	Регистр блокировки передачи сообщения с неверным форматом
0x0024	Overall Transmit Error Counter	Счетчик канальных ошибок передачи
0x0028	Overall Receive Error Counter	Счетчик канальных ошибок приема
0x002C	TR Warning Level Counter	Счетчик превышений уровня предупреждения стандартным счетчиком
0x0030	Error Passive Counter	Счетчик переходов в состояние Error Passive
0x0034	Bus Off Counter	Счетчик переходов в состояние Bus Off
0x0038	Successful Transmit Counter	Счетчик успешно переданных сообщений
0x003C	Timeout Frames Counter	Счетчик неотправленных сообщений по причине устаревания
0x0040	Single Shot Frames Error Counter	Счетчик неотправленных сообщений режима Single Shot
0x0044	Successful Receive Counter	Счетчик успешно принятых сообщений
0x0048	Overflow EQ RM Counter	Счетчик отброшенных принятых сообщений по причине переполнения очереди событий
0x004C	Status Register	Регистр статуса
0x0050	Interrupt Flag Register	Регистр флагов причин прерываний
0x0054	Tx Test Request	Запрос на изменение режимом управления Tx в Test Register
0x0058	Overflow EQ TR Counter	Счетчик отброшенных отчетов об отправке по причине переполнения очереди событий
0x005C	Overflow EQ BS Counter	Счетчик отброшенных событий типа «состояние канала» по причине переполнения очереди событий
0x0060	Global Transmit Cancel	Отмена передачи сообщения из любой очереди передачи
0x0064	Global Transmit Cancel Counter	Счетчик отмененных для передачи сообщений
0x0068-0x006C		Резерв
0x0070	Standard Error Counters Register	Регистр стандартных счетчиков ошибок
0x0074	TQ Format Error Counter	Счетчик зафиксированных отклонений формата элементов очереди передачи
0x0078	Transmit Cancel Init Mode Counter	Счетчик отброшенных передаваемых сообщений по причине запроса ПО на переход в режим инициализации
0x007C	Transmit Cancel Bus Off Counter	Счетчик отброшенных передаваемых сообщений по причине перехода контроллера в состояние Bus Off
0x0080	Size TQ0	Размер очереди передачи 0
0x0084	Control TQ0	Регистр контроля очереди передачи 0
0x0088	Empty Frames Counter TQ0	Счетчик свободных позиций очереди передачи 0
0x008C	Watermark TQ0	Граница флага DMA события очереди передачи 0
0x0090-0x009C	TQ1	Аналогично TQ0

					Лист
					442
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	Подп. и дата

Адрес	Имя	Описание
0x00A0 - 0x00AC	TQ2	Аналогично TQ0
0x00B0 - 0x00BC	TQ3	Аналогично TQ0
0x00C0 - 0x00FC		Резерв
0x0100	Size EQ0	Размер очереди событий 0
0x0104	Frames Counter EQ0	Счетчик элементов очереди событий 0
0x0108	Watermark EQ0	Граница флага DMA события очереди событий 0
0x010C		Резерв
0x0110- 0x01FC		Резерв
0x0200	Filter F0	Фильтр приема 0
0x0204	Mask F0	Маска фильтра приема 0
0x0208- 0x027C	Filter Mask F1-F15	Аналогично F0
0x0280- 0x0FFF		Резерв
0x1000- 0x1FFF	Data to TQ0	Канал записи данных в очередь передачи 0
0x2000- 0x2FFF	Data to TQ1	Канал записи данных в очередь передачи 1
0x3000- 0x3FFF	Data to TQ2	Канал записи данных в очередь передачи 2
0x4000- 0x4FFF	Data to TQ3	Канал записи данных в очередь передачи 3
0x5000- 0x5FFF	Data from EQ0	Канал чтения данных из очереди событий 0
0x6000- 0x6FFF		Резерв

1.4.1.7.5.4.1.1 CAN Mode Register(0x0000)

CAN Mode Register[IM] – отражает реальное состояние контроллера в данный момент и доступен только на чтение (см. таблицу 593). Инициировать изменение (включить или выключить режим инициализации) можно посредством регистра Init Mode Change Request.

Биты CAN Mode Register[TRCE] и CAN Mode Register[TME] доступны на запись только в режиме инициализации.

Таблица 593 – Поля регистра CAN Mode Register

Поле	Биты	Доступ	Сброс	Описание
IM (Init Mode)	0	RO	1	Режим инициализации 1 – включен 0 – выключен
	5:1			Резерв
TRCE (Timing Register Configuration Enable)	6	R/W	0	Разрешение конфигурации регистров, отвечающих за скорость приема и передачи данных (TR_Timing_Register) 1 – разрешено 0 – запрещено Запись только в режиме инициализации
TME (Test Mode Enable)	7	R/W	0	Управление тестовым режимом 1 – включен 0 – выключен Запись только в режиме инициализации
	31:8			Резерв

					ЮФКВ.431268.020РЭ	Лист 443
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

1.4.1.7.5.4.1.2 Init Mode Change Request(0x0004)

Запрос на изменение режима «инициализация» (см. таблицу 594). Если CAN Mode Register[IM] = 0, то запись 1 в регистр выставит запрос на установление режима. Если CAN Mode Register[IM] = 1, то запись 2 в регистр выставит запрос на снятие режима. Чтение из регистра 1 или 2 означает, что запрос пока не обработан.

Таблица 594 – Поля регистра Init Mode Change Request

Поле	Биты	Доступ	Сброс	Описание
IMCR (Init Mode Change Request)	1:0	R/W	0	Запрос на изменение Init Mode. 0 – нет запроса или новый не поступал после последнего обработанного 1 – запрос на переход в режим инициализации 2 – запрос на выход из режима инициализации 3 - резерв
	31:2			Резерв

1.4.1.7.5.4.1.3 Interrupt Enable Register(0x0008)

Регистр масок прерываний (см. таблицу 595). Прерывание по любому из событий будет сгенерировано, если в соответствующем поле будет прописано значение 1. После сброса все прерывания запрещены. Если Interrupt Enable Register[GBIE] = 0, то значения остальных масок не играют роли – все прерывания запрещены.

Таблица 595 – Поля регистра Interrupt Enable Register

Поле	Биты	Доступ	Сброс	Описание
BEIE (Bus Error Interrupt Enable)	0	R/W	0	Маска прерывания обнаружения ошибки на шине, код ошибки находится в Status Register
	2:1			Резерв
TIE (Transmission Interrupt Enable)	3	R/W	0	Маска прерывания успешного завершения передачи сообщения
RIE (Receiving Interrupt Enable)	4	R/W	0	Маска прерывания успешного завершения приема сообщения
EPIE (Error Passive Interrupt Enable)	5	R/W	0	Маска прерывания перехода в состояние Error Passive
WLIE (Warning Level Interrupt Enable)	6	R/W	0	Маска прерывания превышения хотя бы одного стандартного счетчика (ТЕС или REC) уровня предупреждения
BOIE (Bus Off Interrupt Enable)	7	R/W	0	Маска прерывания перехода в состояние Bus Off
BIIE (Bus Idle Interrupt Enable)	8	R/W	0	Маска прерывания синхронизации контроллера с сетью после программного снятия режима «инициализация»
GBIE (Global Interrupt Enable)	9	R/W	0	Маска любого прерывания
	31:10			Резерв

1.4.1.7.5.4.1.4 Status Register(0x004C)

Отражает статус контроллера в данный момент (см. таблицу 596). Прерывания будут генерироваться только в соответствии с появлением немаскированного события в Interrupt Enable Register. Сброс прерывания осуществляется чтением регистра Interrupt Flag Register. Сброс прерывания не повлияет на значения в этом регистре. Сброс R/W бит этого регистра осуществляется записью. Сброс RO бит осуществляется аппаратно вследствие изменений стандартных счетчиков ошибок.

Таблица 596 – Поля регистра Status Register

Поле	Биты	Доступ	Сброс	Описание
BEC (Bus Error Code)	2:0	R/W	0	Тип последней ошибки на шине CAN: 0 – отсутствие ошибки 1 – Приемник обнаружил шесть последовательных одинаковых бит, в частях сообщения, кодируемых с помощью вставки бит 2 – Нарушение формата принимаемого сообщения.

					Лист
					444
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Редько</i> 24.10.2019		34203-2	
			Подп. и дата		

Поле	Биты	Доступ	Сброс	Описание
				Исключение для 2: Если приемник принял доминантный бит на месте последнего бита End of frame, то ошибка не генерируется 3 - Передатчик не обнаружил доминантный бит во время ACK SLOT 4 - Передатчик, пересылая рецессивный бит, обнаружил на шине доминантный бит 5 - Передатчик, пересылая доминантный бит, обнаружил на шине рецессивный бит Исключения для 4-5: - Если передатчик обнаруживает доминантный бит, отправляя рецессивный бит, во время поля арбитража (ARBITRATION FIELD) или ACK SLOT, то ошибка не генерируется; - Если передатчик, отправляя Passive error flag, обнаруживает доминантный бит, то ошибка не генерируется 6 – CRC, вычисленный приемником, не совпадает с полученным 7 – Не используется
TxOK (Transmitted Message Successfully)	3	R/W	0	Флаг успешной отправки сообщения. 1 – Хотя бы одно сообщение было успешно отправлено с того момента, как последний раз поле было сброшено 0 – Ни одно сообщение не было успешно отправлено с того момента, как последний раз поле было сброшено
RxOK (Received Message Successfully)	4	R/W	0	Флаг успешного приема сообщения. 1 – Хотя бы одно сообщение было успешно принято с того момента, как последний раз поле было сброшено 0 – Ни одно сообщение не было успешно принято с того момента, как последний раз поле было сброшено
EPS (Error Passive)	5	RO	0	Флаг состояния Error Passive 1 – Контроллер CAN в состоянии Error Passive 0 – Контроллер CAN в состоянии Error Active
EWL (Error Warning Level)	6	RO	0	Флаг превышения уровня предупреждения одного из стандартных счетчиков. 1 – Один из стандартных счетчиков (TEC или REC) превысил уровень предупреждения 0 – Оба стандартных счетчика (TEC или REC) находятся ниже уровня предупреждения
BOS (Bus Off Status)	7	RO	0	Состояние Bus Off. 1 – Контроллер находится в состоянии Bus Off 0 - Контроллер не находится в состоянии Bus Off
BI (Bus Idle)	8	R/W	0	Флаг синхронизации контроллера с сетью после программного снятия режима «инициализация». 1 – Хотя бы один раз контроллер успешно синхронизовался с сетью с того момента, как последний раз поле было сброшено 0 – Ни один раз контроллер успешно не синхронизовался с сетью с того момента, как последний раз поле было сброшено
	31:9			Резерв

1.4.1.7.5.4.1.5 Interrupt Flag Register(0x0050)

Отражает причину последнего прерывания (см. таблицу 597). Чтение 1 из полей этого регистра или значащего кода ошибки на участке (Interrupt Flag Register[BEС]) означает причину, вызвавшую последнее прерывание. Чтение из этого регистра сбрасывает прерывание и сбрасывает значения в этом регистре, но не изменяет значений Status Register.

									Лист
									445
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019			34203-2				

Таблица 597 – Поля регистра Interrupt Flag Register

Поле	Биты	Доступ	Сброс	Описание
BEC (Bus Error Code)	2:0	RO	0	Прерывание вызвано ошибкой на шине. Коды ошибок аналогичны Status Reg[BEC]
TxOK (Transmitted Message Successfully)	3	RO	0	Прерывание вызвано успешной отправкой сообщения
RxOK (Received Message Successfully)	4	RO	0	Прерывание вызвано успешным приемом сообщения
EPS (Error Passive)	5	RO	0	Прерывание вызвано переходом в состояние Error Passive
EWL (Error Warning Level)	6	RO	0	Прерывание вызвано превышением уровня предупреждения одного из стандартных счетчиков
BOS (Bus Off Status)	7	RO	0	Прерывание вызвано переходом в состояние Bus Off
BIS (Bus Idle Status)	8	RO	0	Прерывание вызвано синхронизацией контроллера с сетью после программного снятия режима «инициализация»
	31:9			Резерв

1.4.1.7.5.4.1.6 Bus Status Enable Register(0x0010)

Регистр масок генерации событий типа «состояние канала» (см. таблицу 598). Элемент в очереди событий будет сгенерирован, если в соответствующем поле будет прописано значение 1. После сброса генерация любого события запрещена.

Таблица 598 – Поля регистра Bus Status Enable Register

Поле	Биты	Доступ	Сброс	Описание
LARB (Lost arbitration)	0	R/W	0	Маска генерации состояния канала типа «ошибка арбитража»
TER (Transmit error)	1	R/W	0	Маска генерации состояния канала типа «канальная ошибка при передаче»
RER (Receive error)	2	R/W	0	Маска генерации состояния канала типа «канальная ошибка при приеме»
EWRN (Error warning level)	3	R/W	0	Маска генерации состояния канала типа «превышение стандартным счетчиком уровня предупреждения»
EAEP (Error active – Error passive)	4	R/W	0	Маска генерации состояния канала типа «переход из состояния Error active в состояние Error passive»
EPEA (Error passive - Error active)	5	R/W	0	Маска генерации состояния канала типа «переход из состояния Error passive в состояние Error active»
BO (Bus Off)	6	R/W	0	Маска генерации состояния канала типа «переход в режим инициализации из-за перехода в состояние Bus Off»
BOR (Bus Off Recovery)	7	R/W	0	Маска генерации состояния канала типа «успешное восстановление после состояния Bus Off»
BI (Bus Idle)	8	R/W	0	Маска генерации состояния канала типа «успешное завершение синхронизации с сетью после программного снятия режима инициализации»
	31:9			Резерв

1.4.1.7.5.4.1.7 TR Timing Register(0x0014)

Описание полей регистра TR Timing Register приведено в таблице 599.

Величины, используемые аппаратурой для делителя частоты и вычисления частей битового интервала, в действительности больше на 1, чем программируемые. Запись осуществляется только в режиме инициализации CAN Mode Register[IM] = 1 и режиме разрешения конфигурации регистров, отвечающих за скорость приема и передачи данных CAN Mode Register[TRCE] = 1. После записи новых данных необходимо дождаться их появления в регистре при помощи операции чтения.

Таблица 599 – Поля регистра TR Timing Register

Поле	Биты	Доступ	Сброс	Описание
DIV (Frequency divider)	5:0	R/W	1	Величина, на которую будет поделена системная частота для генерации Tq. Этой частотой будет тактироваться блок приемопередатчика

					Лист
					446
		ЮФКВ.431268.020РЭ			
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	
		Подп. и дата			

Поле	Биты	Доступ	Сброс	Описание
SJW (Re)synchronisation Jump Width)	7:6	R/W	0	Ширина скачка повторной синхронизации (ISO 11898-1, 12.4.1.1)
TS1 (Timing Segment 1)	11:8	R/W	3	Время до момента оцифровки сигнала шины CAN, sample point
TS2 (Timing Segment 2)	14:12	R/W	2	Время после момента оцифровки сигнала шины CAN, sample point
	31:15			Резерв

1.4.1.7.5.4.1.8 DIV Extension Register(0x0018)

Описание полей регистра DIV Extension Register приведено в таблице 600.

После записи новых данных необходимо дождаться их появления в регистре при помощи операции чтения.

Таблица 600 – Поля регистра DIV Extension Register

Поле	Биты	Доступ	Сброс	Описание
DIVE (DIV Extension)	3:0	R/W	0	Поле расширяет поле TR Timing Register[DIV]. Значение делителя может быть доведено до 1024
	31:4			Резерв

1.4.1.7.5.4.1.9 Soft Reset Register(0x001C)

Описание полей регистра Soft Reset Register приведено в таблице 601.

Таблица 601 – Поля регистра Soft Reset Register

Поле	Биты	Доступ	Сброс	Описание
SRR (Soft Reset Register)	2:0	R/W	0	Запись значения 5 приведет к сбросу регистров контроллера в начальное состояние. Для снятия необходимо записать любое другое значение. Soft Reset выполнится только в режиме инициализации
	31:3			Резерв

1.4.1.7.5.4.1.10 Standard Error Counters Register(0x0070)

Описание полей регистра Standard Error Counters Register приведено в таблице 602.

Таблица 602 – Поля регистра Standard Error Counters Register

Поле	Биты	Доступ	Сброс	Описание
TEC (Transmit Error Counter)	7:0	RO	0	Счетчик ошибок передачи
REC (Receive Error Counter)	14:8	RO	0	Счетчик ошибок приема
REP (REC Error Passive)	15	RO	0	Флаг перехода счетчика ошибок приема в состояние Error Passive. 1 – счетчик ошибок приема > 127 – контроллер в состоянии Error Passive 0 - счетчик ошибок приема > 127 – контроллер в состоянии Error Active (если TEC < 128)
	31:16			Резерв

1.4.1.7.5.4.1.11 Overall Transmit Error Counter(0x0024)

Описание полей регистра Overall Transmit Error Counter приведено в таблице 603.

Таблица 603 – Поля регистра Overall Transmit Error Counter

Поле	Биты	Доступ	Сброс	Описание
OTEC (Overall Transmit Error Counter)	31:0	R/W	0	Общий счетчик канальных ошибок передачи (кроме ошибок арбитража). Запись интерпретируется как сброс

1.4.1.7.5.4.1.12 Overall Receive Error Counter(0x0028)

Описание полей регистра Overall Receive Error Counter приведено в таблице 604.

					Лист	
					447	
					ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 604 – Поля регистра Overall Receive Error Counter

Поле	Биты	Доступ	Сброс	Описание
OREC (Overall Receive Error Counter)	31:0	R/W	0	Общий счетчик канальных ошибок приема (кроме ошибок арбитража). Запись интерпретируется как сброс

1.4.1.7.5.4.1.13 TR Warning Level Counter(0x002C)

Описание полей регистра TR Warning Level Counter приведено в таблице 605.

Таблица 605 – Поля регистра TR Warning Level Counter

Поле	Биты	Доступ	Сброс	Описание
TRWLC (TR Warning Level Counter)	31:0	R/W	0	Счетчик превышений уровня предупреждения двумя стандартными счетчиками (ТЕС или REC). Запись интерпретируется как сброс

1.4.1.7.5.4.1.14 Error Passive Counter(0x0030)

Описание полей регистра Error Passive Counter приведено в таблице 606.

Таблица 606 – Поля регистра Error Passive Counter

Поле	Биты	Доступ	Сброс	Описание
EPC (Error Passive Counter)	31:0	R/W	0	Счетчик переходов контроллера в состояние Error Passive. Запись интерпретируется как сброс

1.4.1.7.5.4.1.15 Bus Off Counter(0x0034)

Описание полей регистра Bus Off Counter приведено в таблице 607.

Таблица 607 – Поля регистра Bus Off Counter

Поле	Биты	Доступ	Сброс	Описание
BOC (Bus Off Counter)	31:0	R/W	0	Счетчик переходов контроллера в состояние Bus Off. Запись интерпретируется как сброс

1.4.1.7.5.4.1.16 Successful Transmit Counter(0x0038)

Описание полей регистра Successful Transmit Counter приведено в таблице 608.

Таблица 608 – Поля регистра Successful Transmit Counter

Поле	Биты	Доступ	Сброс	Описание
STC (Successful Transmit Counter)	31:0	R/W	0	Счетчик успешно отправленных сообщений. Запись интерпретируется как сброс

1.4.1.7.5.4.1.17 Timeout Frames Counter(0x003C)

Описание полей регистра Timeout Frames Counter приведено в таблице 609.

Таблица 609 – Поля регистра Timeout Frames Counter

Поле	Биты	Доступ	Сброс	Описание
TFC (Timeout Frames Counter)	31:0	R/W	0	Счетчик отброшенных сообщений по причине устаревания. Запись интерпретируется как сброс

1.4.1.7.5.4.1.18 Single Shot Frames Error Counter(0x0040)

Описание полей регистра Single Shot Frames Error Counter приведено в таблице 610.

Таблица 610 – Поля регистра Single Shot Frames Error Counter

Поле	Биты	Доступ	Сброс	Описание
SSFEC (Single Shot Frames Error Counter)	31:0	R/W	0	Счетчик неотправленных сообщений режима single shot по причине ошибок канала или потери арбитража. Запись интерпретируется как сброс

1.4.1.7.5.4.1.19 Successful Receive Counter(0x0044)

Описание полей регистра Successful Receive Counter приведено в таблице 611.

					Лист	
					448	
					ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Таблица 611 – Поля регистра Successful Receive Counter

Поле	Биты	Доступ	Сброс	Описание
SRC (Successful Receive Counter)	31:0	R/W	0	Счетчик успешно принятых сообщений. Запись интерпретируется как сброс

1.4.1.7.5.4.1.20 Overflow EQ RM Counter(0x0048)

Описание полей регистра Overflow EQ RM Counter приведено в таблице 612.

Таблица 612 – Поля регистра Overflow EQ RM Counter

Поле	Биты	Доступ	Сброс	Описание
OEQRMC (Overflow EQ RM Counter)	31:0	R/W	0	Счетчик отброшенных принятых сообщений по причине переполнения очереди событий. Запись интерпретируется как сброс

1.4.1.7.5.4.1.21 Overflow EQ TR Counter(0x0058)

Описание полей регистра Overflow EQ TR Counter приведено в таблице 613.

Таблица 613 – Поля регистра Overflow EQ TR Counter

Поле	Биты	Доступ	Сброс	Описание
OEQTRC (Overflow EQ TR Counter)	31:0	R/W	0	Счетчик отброшенных отчетов об отправке по причине переполнения очереди событий. Запись интерпретируется как сброс

1.4.1.7.5.4.1.22 Overflow EQ BS Counter(0x005C)

Описание полей регистра Overflow EQ BS Counter приведено в таблице 614.

Таблица 614 – Поля регистра Overflow EQ BS Counter

Поле	Биты	Доступ	Сброс	Описание
OEQBSC (Overflow EQ BS Counter)	31:0	R/W	0	Счетчик отброшенных событий типа «состояние канала» по причине переполнения очереди событий. Запись интерпретируется как сброс

1.4.1.7.5.4.1.23 Test Register(0x000C)

Описание полей регистра Test Register приведено в таблице 615.

Регистр отражает реальное состояние тестового регистра в тестовом режиме. Запись осуществляется только в режиме инициализации CAN Mode Register[IM] = 1 и тестовом режиме CAN Mode Register[TME] = 1. После записи новых данных необходимо дождаться их появления в регистре при помощи операции чтения.

Таблица 615 – Поля регистра Test Register

Поле	Биты	Доступ	Сброс	Описание
-	2:0			Резерв
SNT (Silent Mode)	3	R/W	0	Режим «только слушать» 1 – включен 0 – выключен Запись только в режиме инициализации и в тестовом режиме
LBK (Loop Back Mode)	4	R/W	0	Режим самотестирования 1 – включен 0 – выключен Запись только в режиме инициализации и в тестовом режиме
Tx	6:5	RO	0	Управление выходом контроллера Tx 0 – Tx управляется блоком приемопередатчика 1 – Sample Point отображается на Tx 2 – Tx в доминантном состоянии (Tx=0) 3 – Tx в рецессивном состоянии (Tx=1)
Rx	7	RO	0	Значение на входе контроллера Rx 1 – рецессивное значение 0 – доминантное значение

					ЮФКВ.431268.020РЭ		Лист 449
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Поле	Биты	Доступ	Сброс	Описание
	31:8			Резерв

1.4.1.7.5.4.1.24 Tx Test Request(0x0054)

Запрос на изменение режима управления выходом контроллера Tx (см. таблицу 616). Запись осуществляется только в тестовом режиме CAN Mode Register[TME] = 1. После записи новых данных необходимо дождаться их появления в регистре при помощи операции чтения.

Таблица 616 – Поля регистра Tx Test Request

Поле	Биты	Доступ	Сброс	Описание
	4:0			Резерв
Tx	6:5	R/W	0	Желаемый режим управления выходом контроллера Tx. 0 – Tx управляется блоком приемопередатчика 1 – Sample Point отображается на Tx 2 – Tx в доминантном состоянии (Tx=0) 3 – Tx в рецессивном состоянии (Tx=1)
TxR (Tx Request)	7	R/W	0	Запрос на изменение режима управления выходом контроллера Tx. 1 – запрос выставлен и пока не обработан. Состояние Tx должно поменяться на указанное в Tx Test Request[Tx] 0 – запрос не поступал или новый запрос не поступал после последнего обработанного
	31:8			Резерв

1.4.1.7.5.4.1.25 Data to TQx(0 - 0x1000-0x1FFF, 1 - 0x2000-0x2FFF, 2 - 0x3000-0x3FFF, 3 - 0x4000-0x4FFF)

Описание полей регистра Data to TQx приведено в таблице 617.

Таблица 617 – Поля регистра Data to TQx

Поле	Биты	Доступ	Сброс	Описание
Data to TQx	31:0	WO	-	Канал записи данных в очередь передачи x

1.4.1.7.5.4.1.26 Size TQx(0 - 0x0080; 1 – 0x0090; 2 – 0x00A0; 3 – 0x00B0)

Описание полей регистра Size TQx приведено в таблице 618.

Таблица 618 – Поля регистра Size TQx

Поле	Биты	Доступ	Сброс	Описание
Size TQx	6:0	R/W	96	Размер очереди передачи x 0, 1 - 1 элемент 2-95 – 2-95 элемента (-ов) 96-127 – 96 элементов
	31:7			Резерв

1.4.1.7.5.4.1.27 Control TQx(0 - 0x0084; 1 – 0x0094; 2 – 0x00A4; 3 – 0x00B4)

Описание полей регистра Control TQx приведено в таблице 619.

Таблица 619 – Поля регистра Control TQx

Поле	Биты	Доступ	Сброс	Описание
TC (Transmit Cancel)	0	R/W	0	Запрос на отмену пересылки сообщения из очереди передачи x. Если сообщение в данный момент не отправляется, то запрос сбрасывается
QC (Queue Cleaning)	1	R/W	0	Запрос на очистку очереди передачи x
	31:2			Резерв

1.4.1.7.5.4.1.28 Empty Frames Counter TQx(0 - 0x0088; 1 – 0x0098; 2 – 0x00A8; 3 – 0x00B8)

Описание полей регистра Empty Frames Counter TQx приведено в таблице 620.

					Лист	
					450	
					ЮФКВ.431268.020РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Таблица 620 – Поля регистра Empty Frames Counter TQx

Поле	Биты	Доступ	Сброс	Описание
EFC (Empty Frames Counter)	6:0	RO	96	Счетчик свободных позиций в очереди передачи х. 0 - очередь заполнена 1 - 95 кол-во свободных позиций в очереди 96 - 127 – 96 свободных позиций, пустая очередь
	31:7			Резерв

1.4.1.7.5.4.1.29 Watermark TQx(0 - 0x008C; 1 – 0x009C; 2 – 0x00AC; 3 – 0x00BC)

Граница активации флага DMA события (tqx_wm) очереди передачи х (см. таблицу 621). Tqx_wm будет принимать следующие значения:

0 – количество свободных позиций в очереди передачи х меньше или равно границе;

1 – количество свободных позиций в очереди передачи х больше, чем граница;

Таблица 621 – Поля регистра Watermark TQx

Поле	Биты	Доступ	Сброс	Описание
WM (Watermark)	6:0	RO	0	Граница активации флага DMA события очереди передачи х
	31:7			Резерв

1.4.1.7.5.4.1.30 Data from EQ0(0x5000 – 0x5FFF)

Описание полей регистра Data from EQ0 приведено в таблице 622.

Таблица 622 – Поля регистра Data from EQ0

Поле	Биты	Доступ	Сброс	Описание
Data from EQ0	31:0	RO	0	Канал чтения данных из очереди событий

1.4.1.7.5.4.1.31 Size EQ0(0x0100)

Описание полей регистра Size EQ0 приведено в таблице 623.

Таблица 623 – Поля регистра Size EQ0

Поле	Биты	Доступ	Сброс	Описание
Size EQ0	7:0	R/W	128	Размер очереди событий 0, 1 – 1 элемент 2-127 – 2-127 элемента (-ов) 128-255 – 128 элементов
	31:8			Резерв

1.4.1.7.5.4.1.32 Frames Counter EQ0(0x0104)

Описание полей регистра Frames Counter EQ0 приведено в таблице 624.

Таблица 624 – Поля регистра Frames Counter EQ0

Поле	Биты	Доступ	Сброс	Описание
FC (Frames Counter)	7:0	RO	0	Счетчик элементов очереди событий. 0 – пустая очередь 1 - 127 – 1 - 127 элемент(-а, -ов) 128-255 – заполненная очередь
	31:8			Резерв

1.4.1.7.5.4.1.33 Watermark EQ0(0x0108)

Граница активации флага DMA события (eq0_wm) очереди событий 0 (см. Таблица 625). Eq0_wm будет принимать следующие значения:

0 – количество занятых позиций в очереди событий 0 меньше или равно границе;

1 – количество занятых позиций в очереди событий 0 больше, чем граница;

Таблица 625 – Поля регистра Watermark EQ0

Поле	Биты	Доступ	Сброс	Описание
WM (Watermark)	6:0	RO	128	Граница активации флага DMA события очереди событий 0
	31:7			Резерв

					Лист
					451
ЮФКВ.431268.020РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redell</i> 24.10.2019		34203-2	Подп. и дата

1.4.1.7.5.4.1.34 *Filter Fx(0x0200)*

Описание полей регистра Filter Fx приведено в таблице 626.

Для кадра стандартного формата расширенный фильтр Filter Fx[17:0] игнорируется.

Таблица 626 – Поля регистра Filter Fx

Поле	Биты	Доступ	Сброс	Описание
Filter EFx	17:0	R/W	0	Фильтр ID расширенного формата принимаемого сообщения x
Filter STFx	28:18	R/W	0	Фильтр ID стандартного формата принимаемого сообщения x
Filter IDEx	29	R/W	0	Фильтр IDE (признака формата) принимаемого сообщения x
	31:30			Резерв

1.4.1.7.5.4.1.35 *Mask Fx(0x0204)*

Регистр маски фильтра приема сообщений (см. таблицу 627). Фильтрация по определенному биту будет осуществляться, если в соответствующем поле будет прописано значение 1. После сброса все биты фильтра выключены (т. е. любое сообщение будет записано в очередь приема).

Таблица 627 – Поля регистра Mask Fx

Поле	Биты	Доступ	Сброс	Описание
Mask EFx	17:0	R/W	0	Маска фильтра ID расширенного формата приема сообщений x
Mask STFx	28:18	R/W	0	Маска фильтра ID стандартного формата приема сообщений x
Mask IDEx	29	R/W	0	Маска фильтра IDE (признака формата) принимаемого сообщения x
	31:30			Резерв

1.4.1.7.5.4.1.36 *Global Transmit Cancel(0x0060)*

Описание полей регистра Global Transmit Cancel приведено в таблице 628.

Таблица 628 – Поля регистра Global Transmit Cancel

Название	Биты	Доступ	Сброс	Описание
GTC (Global Transmit Cancel)	0	R/W	0	Запрос на отмену пересылки сообщения из любой очереди передачи. Если сообщение в данный момент не отправляется, то запрос сбрасывается
	31:1			Резерв

1.4.1.7.5.4.1.37 *Global Transmit Cancel Counter(0x0064)*

Описание полей регистра Global Transmit Cancel Counter приведено в таблице 629.

Таблица 629 – Поля регистра Global Transmit Cancel Counter

Поле	Биты	Доступ	Сброс	Описание
GTCC (Global Transmit Cancel Counter)	31:0	R/W	0	Счетчик отмененных для передачи сообщений. Запись интерпретируется как сброс

1.4.1.7.5.4.1.38 *TQ Format Enable(0x0020)*

Регистр блокировки передачи сообщения с неверным форматом (см. таблицу 630).

Если из очереди исходящих сообщений выбирается для отправки сообщение, которое имеет стандартный формат (IDE=0) и у которого поле eID[17:0] не равно 0, то в зависимости от бита TQ Format Enable[EID] выполняется следующее:

- если бит EID=0 (блокировка выключена), то выполняется инкремент счетчика

TQ Format Error Counter с иницированием отправки сообщения стандартного формата в CAN. При этом ненулевое поле битов расширенного идентификатора eID[17:0] контроллером игнорируется;

- если бит EID=1 (блокировка включена), то выполняется инкремент счетчика **TQ Format Error Counter**. Отправка сообщения в CAN не выполняется (отменяется). Если в сообщении установлен бит TR, то формируется отчет об отправке с кодом «Ошибка формата элемента очереди передачи».

									Лист
									452
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

Если из очереди исходящих сообщений выбирается для отправки сообщение, у которого значение поля $DLC > 8$, то в зависимости от бита TQ Format Enable [DLCC] выполняется следующее:

- если бит $DLCC = 0$ (блокировка выключена), то выполняется инкремент счетчика **TQ Format Error Counter** с иницированием отправки сообщения в CAN. При этом на CAN формируется сообщение с полем $DLC = 8$ и с количеством байт данных = 8;

- если бит $DLCC = 1$ (блокировка включена), то выполняется инкремент счетчика **TQ Format Error Counter**. Отправка сообщения в CAN не выполняется (отменяется). Если в сообщении установлен бит TR, то формируется отчет об отправке с кодом «Ошибка формата элемента очереди передачи».

Таблица 630 – Поля регистра TQ Format Enable

Поле	Биты	Доступ	Сброс	Описание
EID (Extension ID)	0	R/W	0	0-блокировка выключена; 1-блокировка включена
DLCC (Data Length Code Check)	1	R/W	0	0-блокировка выключена; 1-блокировка включена
	31:2			Резерв

1.4.1.7.5.4.1.39 TQ Format Error Counter(0x0074)

Счетчик зафиксированных отклонений формата элементов очереди передачи (см. Таблица 631). Инкрементируется в соответствии с п. 1.4.1.7.5.4.1.38 (TQ Format Enable).

Таблица 631 – Поля регистра TQ Format Error Counter

Поле	Биты	Доступ	Сброс	Описание
TQ Format Error Counter (TQFEC)	31:0	R/W	0	Счетчик зафиксированных отклонений формата элементов очереди передачи. Запись интерпретируется как сброс

1.4.1.7.5.4.1.40 Transmit Cancel Init Mode Counter(0x0078)

Описание полей регистра Transmit Cancel Init Mode Counter приведено в таблице 632.

Таблица 632 – Поля регистра Transmit Cancel Init Mode Counter

Поле	Биты	Доступ	Сброс	Описание
ТСИМС (Transmit Cancel Init Mode Counter)	31:0	R/W	0	Счетчик отброшенных для передачи сообщений по причине запроса на переход в режим инициализации. Запись интерпретируется как сброс

1.4.1.7.5.4.1.41 Transmit Cancel Bus Off Counter(0x007C)

Описание полей регистра Transmit Cancel Bus Off Counter приведено в таблице 633.

Таблица 633 – Поля регистра Transmit Cancel Bus Off Counter

Поле	Биты	Доступ	Сброс	Описание
ТСВОС (Transmit Cancel Bus Off Counter)	31:0	R/W	0	Счетчик отброшенных для передачи сообщений по причине перехода контроллера в состояние Bus Off. Запись интерпретируется как сброс

1.4.1.7.6 Контроллер I²C

Контроллер I²C обеспечивает интерфейс между шиной AMBA APB и физическим интерфейсом I²C. Контроллер I²C является ведомым устройством на шине AMBA APB (данный шинный интерфейс используется для связи с периферией).

1.4.1.7.6.1 Общее описание контроллера I²C

Контроллер I²C обеспечивает:

- 7- и 10-битную адресацию устройств;
- Арбитраж на шине;

					ЮФКВ.431268.020РЭ	Лист 453
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

- Режим мультимастер;
- Скорости передачи данных 100 кбит/с, 400 кбит/с и 1 Мбит/с;
- Синхронизацию тактового сигнала;
- Программируемые «пакетные» транзакции размером до 256 байт;
- Программируемое прерывание по различным событиям на шине;
- Статический фильтр сигналов.

Структурная схема контроллера I²C представлена на рисунке 127. Описание блоков на структурной схеме контроллера I²C представлено в таблице 634.

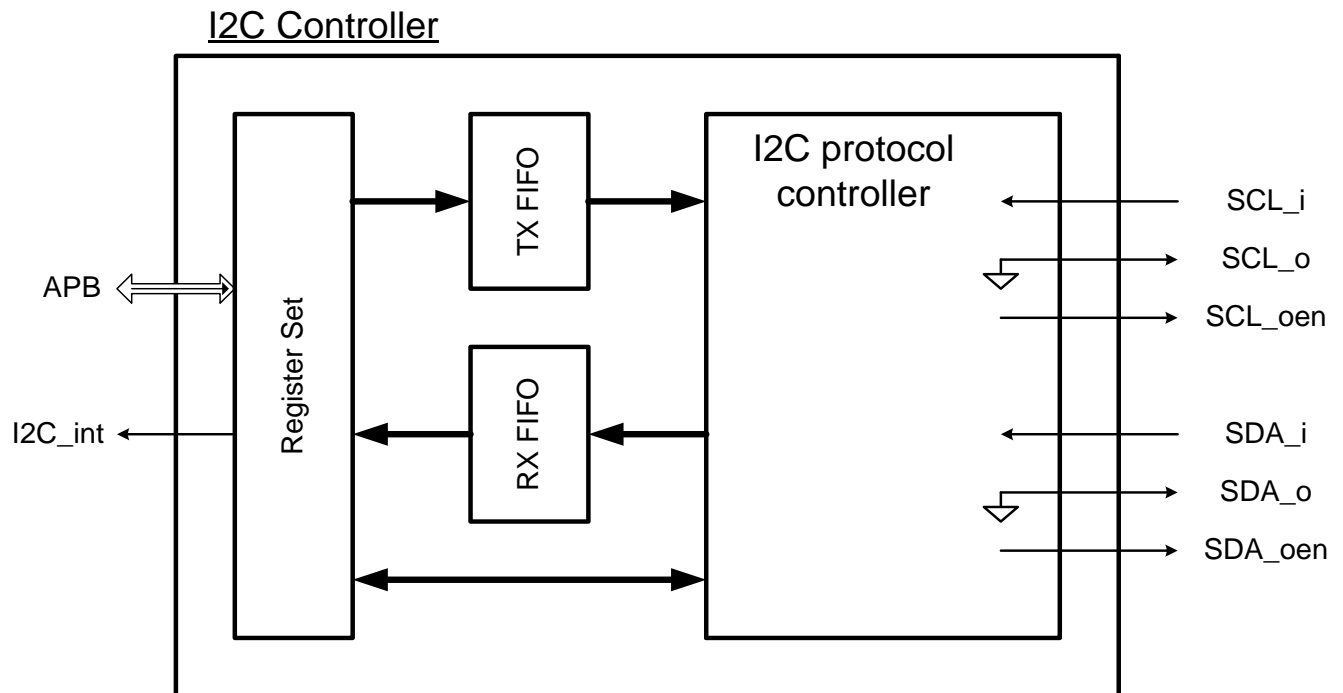


Рисунок 127 – Структурная схема контроллера интерфейса I²C

Таблица 634 – Описание блоков на структурной схеме контроллера I²C

Название блока	Назначение и основные функции
Register Set	Система управляющих программно доступных регистров
TX FIFO	Буфер передаваемых на шину I ² C данных
RX FIFO	Буфер принимаемых от шины I ² C данных
I2C protocol controller	Контроллер протокола I ² C

1.4.1.7.6.2 Принципы функционирования контроллера I²C

1.4.1.7.6.2.1 Скорость интерфейса

Контроллер интерфейса может быть только мастером на шине I²C.

Поддерживаются три скорости передачи данных:

- 1) Standard-mode - 100 кбит/с;
- 2) Fast-mode - 400 кбит/с;
- 3) Fast-mode Plus - 1 Мбит/с.

Выбор нужной скорости осуществляется установкой регистра CLKPR. Этот регистр должен быть настроен до включения контроллера. При изменении системной частоты контроллер должен быть выключен, значение параметра изменено.

					Лист	
					454	
ЮФКВ.431268.020РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redchell</i> 24.10.2019		34203-2		

Скорость рассчитывается по следующей формуле:

$$CLKPR = \frac{\text{Частота шины APB}}{5 * \text{Частота шины I2C}} - 1$$

Например, частота шины APB по умолчанию 100 МГц, то для скорости 100 кбит/с CLKPR = 0xС7, для 400 кбит/с - 0x31, для 1 Мбит/с - 0x13.

После включения контроллера можно приступить к организации транзакций.

1.4.1.7.6.2.2 Транзакции на шине I²C

После включения контроллера можно приступить к организации передачи и приема данных, для этого необходимо заполнить память TX FIFO. Ширина данных TX FIFO составляет 8 бит. Размер памяти TX FIFO 256 байт. Каждому байту данных/массиву данных TX FIFO соответствует одна команда (запись/чтение), содержащаяся в управляющем регистре CR. В таблице 635 указаны коды операций байтового контроллера I²C и их назначение.

Во многих SLAVE-устройствах для работы по шине I²C применяются комбинированные операции, составленные на основе приведенных ниже базовых транзакций.

1.4.1.7.6.2.2.1 Старт транзакции

Чтобы начать любую транзакцию, необходимо установить бит start в регистре CR, установив также бит wr или rd в регистре CR. Предварительно в буфер TX FIFO должен быть записан первый адресный байт.

Контроллер никак не модифицирует данные TX FIFO перед их выдачей на шину I²C. Поэтому они должны иметь нужный формат при записи. Например, если байт – первый адресный, то его формат:

[7:1] биты – адрес slave-устройства,

[0] бит – признак чтения/записи:

0 – запись,

1 – чтение.

При предварительной установке бита start контроллер захватит шину и выдаст один байт из TX FIFO (см. рисунок 128). Далее через любой интервал времени можно произвести передачу или прием данных.

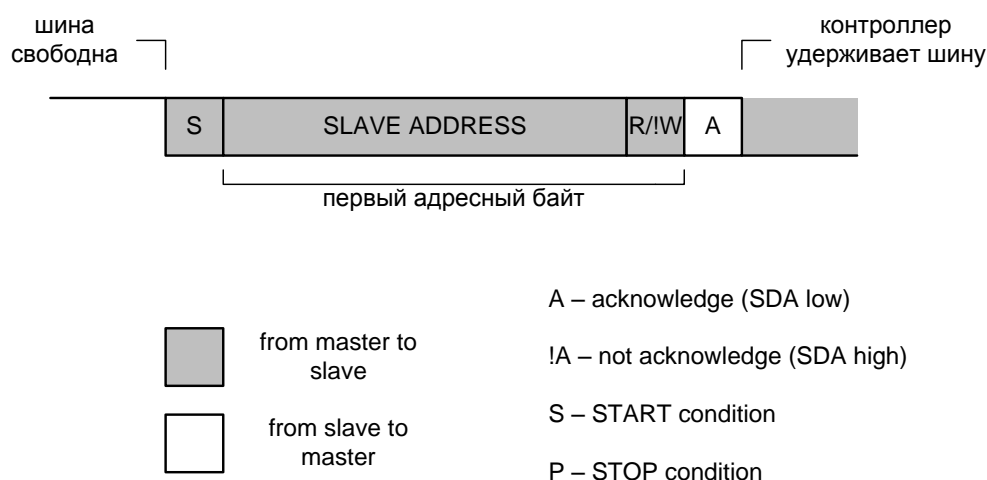


Рисунок 128 – Временная диаграмма первой транзакции по шине I²C

									Лист
									455
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020PЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2					

Контроллер I²C устанавливает флаг `trn_empty = 1` после того, как первый байт будет выдан в линию из TX FIFO.

Если в TX FIFO предварительно загружено более одного байта, то при установке бита `start` последовательность, приведенная на рисунке 128, будет сразу продолжена последовательностью записи или чтения данных.

1.4.1.7.6.2.2 Запись данных

Запуск операции записи данных осуществляется установкой бита `wr` в регистре CR. Одновременно (или предварительно) в том же регистре должен быть установлен бит `start`, запускающий последовательность старта.

Контроллер последовательно передает на шину I²C все байты, записанные в буфер TX FIFO. Эти байты могут быть:

- вторым байтом адреса I²C slave-устройства (в случае 10-битной адресации);
- адресом ячейки внутри выбранного I²C slave-устройства;
- передаваемыми данными.

TX FIFO заполняется данными при программной записи в регистр TRANSMIT. Каждая запись добавляет 1 байт. Размер памяти TX FIFO – 256 байт. Для контроля состояния буфера имеются три флага в регистре SR:

- 1) `trn_empty_alm` – буфер почти пуст, есть аналогичное прерывание;
- 2) `trn_empty` – буфер пуст, есть аналогичное прерывание;
- 3) `trn_full` – буфер полон.

После установки бита `wr` контроллер будет выдавать данные на шину I²C до тех пор, пока TX FIFO не опустошится. Выдать на шину только часть записанных в буфер данных нельзя. Запрещено добавлять данные в буфер после старта передачи.

Окончание передачи можно отслеживать по биту `trn_empty` регистра SR или по прерыванию `int_trn_empty`.

1.4.1.7.6.2.3 Чтение данных

Вначале необходимо записать количество принимаемых данных в регистре NUMBR контроллером I²C, записываются в память RX FIFO, размер которого 256 байт.

Запуск операции чтения данных осуществляется установкой бита `rd` в регистре CR. Одновременно (или предварительно) в том же регистре должен быть установлен бит `start`, запускающий последовательность старта.

Во время чтения RX FIFO заполняется принимаемыми данными. Их можно считывать оттуда по адресу регистра RECEIVE по мере поступления. Для контроля состояния буфера имеются три флага в регистре SR:

- 1) `rcv_full_alm` – буфер почти полон, есть аналогичное прерывание;
- 2) `rcv_full` – буфер полон, есть аналогичное прерывание;
- 3) `rcv_empty` – буфер пуст.

Также для отслеживания окончания чтения всех запрошенных данных имеется прерывание `int_rcv_finish`.

Чтобы осуществить операцию чтения с 10-битным адресом (10-bit addressing) или из памяти (random read), перед чтением надо произвести передачу требуемых данных. Также в этом случае при установке бита `rd` надо установить бит `repeat` в регистре CR, что вызовет последовательность повторного старта (`Sr – repeated start condition`). При этом в буфере TX FIFO должен быть один байт (обычно это первый адресный байт (адрес устройства), который будет послан повторно.

									Лист
									456
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019			34203-2				

1.4.1.7.6.2.2.4 Останов

Для прекращения любой транзакции и освобождения шины I2C следует установить бит stop в регистре CR.

Возможны два варианта его использования:

- 1) установка в начале передачи/приема одновременно с установкой бита wr или rd. Тогда завершение передачи или приема и отключение контроллера и освобождение шины I2C отслеживается битом int_busy_end;
- 2) установка в конце. Тогда, по завершении записи данных, следует или подождать int_busy_end, или выполнить следующую последовательность:
 - а) сброс регистра SR;
 - б) установка бита stop;
 - в) ожидание установки бита done регистра SR.

Бит stop для операции чтения всегда задается в команде чтение, например, в последнем принимаемом байте.

После выполнения операции останов можно приступить к следующей транзакции либо выключить контроллер.

1.4.1.7.6.2.3 Описание работы контроллера

В таблице 635 представлены коды команд и их назначение.

Таблица 635 – Коды команд и их назначение

Команда							fifo_data	Назначение
cr[6]	cr[5]	cr[4]	cr[3]	cr[2]	cr[1]	cr[0]	7..0	
Stop	Rpt	wr	rd	rst_tx_fifo	Start	en	Data	
0	0	1	0	0	1	1	tx_data	Операция записи со стартом
0	0	0	1	0	1	1	rx_data	Операция чтения со стартом
0	0	1	0	0	0	1	tx_data	Операция записи после старта
0	0	0	1	0	0	1	rx_data	Операция чтения после старта
0	1	1	0	0	1	1	tx_data	Операция записи с повтором
0	1	0	1	0	1	1	rx_data	Операция чтения с повтором
0	0	0	0	1	0	1	-	Обнулить TX_FIFO
1	0	1	0	0	0	1	-	Останов при записи
1	0	0	1	0	0	1	-	Останов при чтении
1	0	0	0	0	0	1	-	Останов

Примечание - Операция останов для команды запись может быть выполнена как во время записи, так и после записи как отдельная операция. Операция останов для команды чтения выполняется во время операции чтения.

В таблице 636 представлены примеры заполнения Tx FIFO.

Таблица 636 – Примеры заполнения TX FIFO

CR 6:0	Tx fifo 7:0	Назначение
Запись в устройство		
0x13	0xA2	Запись адреса 0xA2 ¹⁾ в устройство
0x11	0x12	Данные, которые необходимо записать в устройство
Чтение из устройства		
0x0B	0xA3	Чтение из устройства с адресом 0xA3
Запись в память EEPROM		
0x13	0xA0	Запись адреса 0xA0 ¹⁾ в устройство
0x11	0x10	Данные (в нашем случае - это адрес памяти)
0x11	0x01	Данные
..

					ЮФКВ.431268.020РЭ		Лист 457
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

CR	Tx fifo	Назначение
6:0	7:0	
0x11	0x0F	Данные
Чтение из EEPROM		
0x13	0xA4	Запись адреса 0xA4 ¹⁾
0x11	0x12	Данные (в нашем случае - это адрес памяти)
0x2B	0x54	Чтение
Запись в EEPROM		
0x13	0x55	Запись адреса 0x55 ¹⁾
0x11	0x01	Данные (в нашем случае - это старший адрес памяти)
0x11	0x02	Данные (в нашем случае - это младший адрес памяти)
0x2B	0x55	Чтение с rs (repeat start)
Запись в устройство с 10-битной адресацией		
0x13	0x78	Запись старшей части адреса устройства, (1111 0xx), где xx=00
0x11	0x02	Запись младшей части адреса устройства
0x11	0x12	Данные, которые необходимо записать в устройство
Чтение памяти из устройства с 10-битной адресацией		
0x13	0x78	Запись старшей части адреса устройства, (1111 0xx), где xx=00
0x11	0x01	Запись младшей части адреса устройства
0x2B	0x78	Чтение с rs (repeat start)
¹⁾ Адрес I2C устройства 7-битный, восьмой бит игнорируется контроллером.		

Состояние памяти RX FIFO и TX FIFO отображается в статусном регистре SR контроллера.

Контроллер шины I²C функционирует по алгоритму, изображенному на рисунке 129.

В начальный момент контроллер (MASTER) находится в режиме ожидания команды.

В этом состоянии производится запись адреса SLAVE-устройства, а также в зависимости от типа устройства адреса (адресов) памяти устройства (если SLAVE представляет собой массив памяти) и данных для записи в SLAVE-устройство (для команды WRITE).

Рассмотрим более подробно выполнение команды WRITE.

Перед выполнением запуска команды необходимо записать адрес устройства (начальное смещение для устройств памяти) и данные в TX_FIFO буфер передатчика.

После записи команды WRITE в управляющий регистр контроллера автомат состояний контроллера переходит в состояние СТАРТ и в интерфейс I2C передается СТАРТ_бит. После передачи первого байта, если адреса совпадают, SLAVE-устройство передает по шине I2C подтверждение по той же линии (SDA), но в противоположном направлении - от SLAVE к контроллеру, и так каждый раз при получении очередного байта.

Контроллер анализирует состояние передающего FIFO (TX_FIFO). Если TX_FIFO пусто, то передача в линию приостанавливается. Если при этом был установлен бит СТОП в управляющем регистре, то в интерфейс I²C выдается бит СТОП и команда заканчивается и освобождается интерфейс I²C.

Если TX_FIFO пусто, бит СТОП не установлен, то команда не закончится и будет продолжена при заполнении TX_FIFO данными, при этом контроллер продолжает занимать шину I2C, в регистре состояния не сбрасывается бит BUSY, SCLK не выдается (равен 0).

Если бит СТОП установлен в команде, и неожиданно произошла приостановка передачи по шине APB для контроллера, и буфер успел опустошиться (trn_empty), но весь массив не передан, то команда закончится. Чтобы этого избежать, бит СТОП в команде желательно выставлять после исчерпания передачи массива.

Перед выполнением команды READ и запуском команды, в TX_FIFO буфер передатчика необходимо загрузить адрес устройства, а также адрес (OFFSET), если SLAVE представляет собой память.

					Лист	
					458	
ЮФКВ.431268.020PЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2		

Для команды READ прием данных заканчивается после исчерпания количества байтов, указанных в регистре NUMBR. Выполнение команды СТОП также приведет к окончанию приема и выдаче NACK от мастера в I²C интерфейс.

При приеме данных происходит проверка состояния RX FIFO, если буфер заполнен (или почти заполнен), то в случае если счетчик количества байтов в регистре количества (NUMBR) не равен 0, переход в следующее состояние не происходит, контроллер ожидает следующего чтения буфера RX FIFO в память по прерыванию “rcv_full/rcv_full_alm”. Если счетчик количества равен 0 и установлен бит СТОП в управляющем регистре, контроллер переходит в состояние СТОП и освобождает шину I²C.

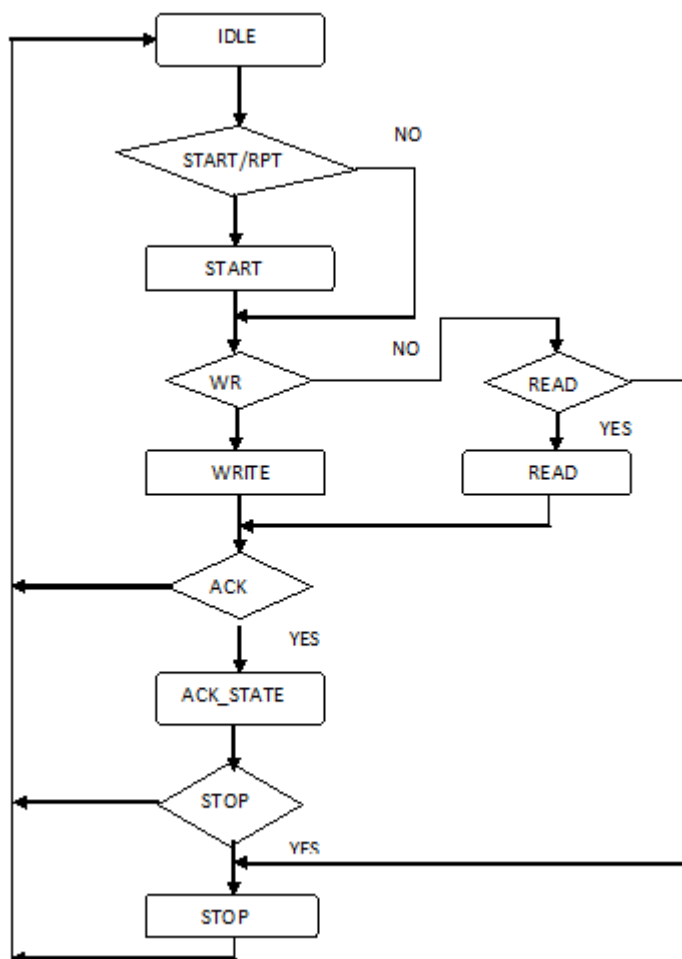


Рисунок 129 – Алгоритм конечного автомата контроллера I²C

В комбинированном режиме, который требуется для устройств с 10-битным адресом и микросхем памяти, если выполняется команда RANDOM READ, то сначала должна быть задана команда WRITE, в которой указывается адрес SLAVE устройства и адреса памяти и после того, как она будет выдана в интерфейс I²C (прерывание trn_empty), в передающее FIFO можно записать адрес устройства и в управляющий регистр CR будет загружена команда READ с битами REPEAT, READ, START, EN. При этом автомат состояний перейдет после состояния СТАРТ и подтверждения ACK_STATE в состояние WRITE и после подтверждения ACK_STATE в состояние READ.

					Лист
					459
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
34203-3	<i>Redhall</i> 24.10.2019		34203-2		

После завершения приема данных, т. е. окончания команды чтения, автомат переходит в состояние STOP (если бит СТОП задан в регистре CR), с установкой состояния стоп на шине I²C, а затем автомат переходит в состояние ожидания IDLE.

В режиме МУЛЬТИМАСТЕР, если второй мастер пытается захватить шину, когда она уже занята, выдается сигнал потери арбитража (arbitration lost) в следующих случаях:

- Мастер выдает сигнал SDA в "1" (high), но в I²C интерфейсе он в "0" (low);
- Выдается стоп, который не запрашивался.

Если фазовый сдвиг синхросигнала SCL, вызванный подключением второго мастера, приводит к недопустимой длительности SCL, то может фиксироваться сигнал NACK и ошибка операции WRITE первого мастера, но это при условии, что в этот момент происходила передача байта по шине I²C. В остальных случаях передача не нарушается для первого мастера и выдается arbitration lost для второго мастера.

Если происходил синхронный запуск двух контроллеров в режиме МАСТЕР, то ошибка обнаружится при подтверждении данных, если они различны.

В контроллере предусмотрен программный сброс, для выполнения которого необходимо записать любое значение в регистр SOFTR. Программный сброс устанавливает во всех регистрах значение по умолчанию и сбрасывает память TX FIFO и RX FIFO. Контроллер при возникновении ошибки на шине (потеря арбитража, нет подтверждения адреса или данных) сбрасывает память TX FIFO, также предусмотрена возможность программного сброса памяти TX FIFO путем кратковременной установки бита tx_fifo_rst в регистре CR.

Контроллер прерываний отслеживает следующие события на шине: потеря арбитража, подтверждение адреса/данных, состояние передачи данных, состояние памяти (см. п. 1.4.1.7.6.4.1.2 ISR) и формирует прерывание по каждому из этих событий. Предусмотрена настройка контроллера прерываний с помощью маски прерываний (см. п. 1.4.1.7.6.4.1.3 IER). По умолчанию все прерывания запрещены.

1.4.1.7.6.3 Описание регистров контроллера I²C

1.4.1.7.6.3.1 Карта регистров контроллера I²C

Конфигурирование и отображение текущего состояния контроллера I²C ведется через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave).

При обращении к регистрам по зарезервированным адресам никаких ошибок не возникает. При этом операции записи игнорируются, операции чтения возвращают нулевое значение. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, однако, состояние регистров не изменяется.

Карта регистров контроллера I²C представлена в таблице 637.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям:

RO – поле доступно только для чтения. Запись данных в поле игнорируется;

WO – поле доступно только для записи. Чтение возвращает значение 0;

RW – поле доступно как для записи, так и для чтения.

Таблица 637 – Карта регистров контроллера I²C

Адрес	Название	Доступ	Значение после сброса	Описание
0x000	ID	RO	0x012c012c	Идентификатор устройства
0x004	ISR	RO	0x34	Состояние линии прерываний
0x008	IER	RW	0x0	Маска прерываний
0x00C	SOFTR	WO	0x0	Программный сброс
0x010	CR	RW	0x0	Регистр управления
0x018	SR	RO	0x0780009C	Регистр состояния

					ЮФКВ.431268.020РЭ	Лист 460
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Адрес	Название	Доступ	Значение после сброса	Описание
0x01C	NUMBR	RW	0x0	Количество байт
0x020	STATRST	RW	0x0	Регистр обнуления регистра состояния
0x024	CLKPR	RW	0x0	Регистр предустановки частоты
0x028	FIFOFIL	RW	0x0	Регистр предустановки заполнения FIFO
0x02C	FILTR	RO	0x0000007F	Регистр фильтрации
0x030 ¹⁾	TRANSMIT	WO	0x0	Регистр заполнения FIFO
0x430 ¹⁾	RECEIVE	RO	0x0	Регистр чтения FIFO

¹⁾ При задании адресов TRANSMIT и RECEIVE регистров с использованием устройства MDMA доступны диапазоны адресов: 0x30-0x42c и 0x430-0x82c соответственно.

1.4.1.7.6.4 Описание полей регистров контроллера I²C

1.4.1.7.6.4.1.1 ID (0x0)

Описание полей регистра ID представлено в таблице 638.

Таблица 638 – Поля регистра ID

Поле	Биты	Описание
ID	31:0	Идентификатор устройства, равен 0x012C012C

1.4.1.7.6.4.1.2 ISR (0x004)

Описание полей регистра ISR представлено в таблице 639.

Таблица 639 – Поля регистра ISR

Поле	Биты	Описание
int_done	0	Байтовая операция выполнена
int_al	1	Потеря арбитража
int_trn_empty	2	TX FIFO пуст (бит в 1)
int_rcv_full	3	RX FIFO почти полон (бит в 1)
int_trn_empty_alm	4	TX FIFO почти пуст (бит в 1), настраивается по water_line (см.FIFOFIL)
int_rcv_full_alm	5	RX FIFO почти полон (бит в 1), настраивается по water_line (см.FIFOFIL)
int_nack	6	Нет подтверждения данных/адреса (NACK) от устройства
int_rcv_finish	7	Устанавливается, если количество байтов, принятое в RX_FIFO, равно значению, записанному в RX_NUMBR, и если NUMBR не равно 0
int_busy_end	8	Обмен с устройством закончен и контроллер не занимает интерфейс I2C
	31:9	Резерв

1.4.1.7.6.4.1.3 IER (0x008)

Описание полей регистра IER представлено в таблице 640.

Таблица 640 – Поля регистра IER

Поле	Биты	Описание
en_int_done	0	Разрешение прерывания для побайтного режима прерываний
en_int_al	1	Разрешение прерывания при потере арбитража
en_int_trn_empty	2	Разрешение прерывания при успешном завершении передачи данных
en_int_rcv-full	3	Разрешение прерывания при успешном приеме данных
en_int_trn_empty_alm	4	Разрешение прерывания при почти пустом TX FIFO
en_int_rcv_full_alm	5	Разрешение прерывания при почти полном RX FIFO
en_int_nack	6	Разрешение прерывания при отсутствии подтверждения данных от устройства
en_int_rcv_finish	7	Разрешение прерывания int_rcv_finish
en_int_busy_end	8	Разрешение прерывания окончания обмена с устройством
-	31:9	Резерв

					ЮФКВ.431268.020РЭ		Лист 461
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.6.4.1.4 SOFTR (0x00C)

Описание полей регистра SOFTR представлено в таблице 641.

Таблица 641 – Поля регистра SOFTR

Поле	Биты	Описание
soft_rst	31:0	Программный сброс происходит при записи в регистр любого числа из 0x0 -0xFFFFFFFF

1.4.1.7.6.4.1.5 CR (0x010)

Описание полей регистра CR представлено в таблице 642.

Таблица 642 – Поля регистра CR

Поле	Биты	Описание
i2c_en	0	Включение контроллера I ² C
start	1	Старт операции чтения/записи на шине
tx_fifo_rst	2	Сброс TX FIFO
rd	3	Чтение rd =1
wr	4	Запись gw =1
repeat	5	Повтор операции
stop	6	Стоп операции чтения/записи на шине

1.4.1.7.6.4.1.6 SR (0x018)

Описание полей регистра SR представлено в таблице 643.

Таблица 643 – Поля регистра SR

Поле	Биты	Описание
ibusy	0	Шина I ² C занята
al	1	Потеря арбитража
trn_empty_alm	2	TX FIFO почти пуст
rcv_full_alm	3	RX FIFO почти полон
trn_empty	4	TX FIFO пуст
rcv_full	5	RX FIFO полон
trn_full	6	TX FIFO полон
rcv_empty	7	RX FIFO пуст
-	8	Резерв
nack	9	Нет подтверждения данных/адреса от устройства
done	10	Успешное завершение операции приема/передачи одного байта
state_cmd	14:11	Состояние конечного автомата команд state_cmd
cnt	22:15	Количество переданных/принятых байтов
I2c_interface	26:23	Интерфейсные сигналы SDA_oen,SDA_i,SCL_oen,SCL_i
резерв	31:27	Резерв

1.4.1.7.6.4.1.7 NUMBR (0x01C)

Описание полей регистра NUMBR представлено в таблице 644.

Таблица 644 – Поля регистра NUMBR

Поле	Биты	Описание
byte_cnt	7:0	Количество байт, которые необходимо принять (прочитать)

					ЮФКВ.431268.020РЭ		Лист
							462
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.6.4.1.8 STATRST (0x020)

Описание полей регистра STATRST представлено в таблице 645.

Таблица 645 – Поля регистра STATRST

Поле	Биты	Описание
reset_status	0	Установка в "1" вызывает сброс регистра статуса Установка в "0" вызывает отключение сброса регистра статуса и разрешает накопление битов статуса для следующего анализа регистра статуса
-	31:1	Резерв

1.4.1.7.6.4.1.9 CLKPR (0x24)

Описание полей регистра CLKPR представлено в таблице 646.

Таблица 646 – Поля регистра CLKPR

Поле	Биты	Описание
pr_scl	15:0	Предустановка частоты SCL
-	31:1	Резерв

1.4.1.7.6.4.1.10 FIFOFIL (0x28)

Описание полей регистра FIFOFIL представлено в таблице 647.

Таблица 647 – Поля регистра FIFOFIL

Поле	Биты	Описание
tx_fill_count	8:0	Количество байтов, вызывает прерывание TX FIFO almost empty
rx_fifo_count	23:16	Количество байтов, вызывает прерывание RX FIFO almost full
-	31:24	Резерв

1.4.1.7.6.4.1.11 FLTR (0x02c)

Описание полей регистра FLTR представлено в таблице 648.

Таблица 648 – Поля регистра FLTR

Поле	Биты	Описание
filt_bypass	0	Включение цифровой фильтрации входящих сигналов шины I2C 0 – включена 1 – выключена
filt_used_bits	10:1	Ширина цифрового фильтра входящих сигналов шины I2C. Необходимое значение вычисляется следующим образом: количество бит этого поля, которые надо установить, начиная с младшего, равно $50\text{ns}/\text{Tclk} + 1$, где Tclk – это период системной частоты в наносекундах (10ns по умолчанию)
-	31:11	Резерв

1.4.1.7.6.4.1.12 TX_FIFO (0x030)

Описание полей регистра TX_FIFO представлено в таблице 649.

Таблица 649 – Поля регистра TX_FIFO

Поле	Биты	Описание
tx_data	7:0	Передаваемые данные
-	31:8	Резерв

					ЮФКВ.431268.020РЭ		Лист
							463
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

1.4.1.7.6.4.1.13 *RX_FIFO* (0x430)

Описание полей регистра *RX_FIFO* представлено в таблице 650.

Таблица 650 – Поля регистра *RX_FIFO*

Поле	Биты	Описание
rx_data	7:0	Принятые данные
-	31:8	Резерв

1.4.1.7.7 Контроллер GPIO

1.4.1.7.7.1 Общее описание контроллера GPIO

GPIO (general-purpose input/output) — интерфейс ввода/вывода общего назначения, служит для связи между компонентами компьютерной системы, к примеру, микропроцессором и различными периферийными устройствами. Контакты GPIO могут выступать как в роли входа, так и в роли выхода.

Контроллер интерфейса GPIO интегрируется в систему с помощью системной шины AMBA 3.0 APB (APB slave), а также содержит выходной сигнал запроса прерывания (irq_o).

Один контроллер интерфейса GPIO обеспечивает управление восьмью буферами ввода/вывода. Каждый буфер ввода/вывода (PAD 0..7) может быть сконфигурирован независимо как вход или как выход. Для управления работой буфера используется сигнал dir_pad_o.

Контроллер интерфейса GPIO поддерживает маскируемые прерывания при возникновении следующих событий на каждой из линий интерфейса GPIO:

- Переключение из состояния “0” в состояние “1” (по фронту);
- Переключение из состояния “1” в состояние “0” (по срезу).

Шина AMBA 3.0 APB используется для задания конфигурации контроллера, вывода данных на интерфейс GPIO и чтения данных, принятых по GPIO.

1.4.1.7.7.2 Структурная схема контроллера GPIO

Структурная схема контроллера GPIO представлена на рисунке 130. Описание блоков на структурной схеме контроллера GPIO представлено в таблице 651.

										Лист
										464
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019			34203-2					

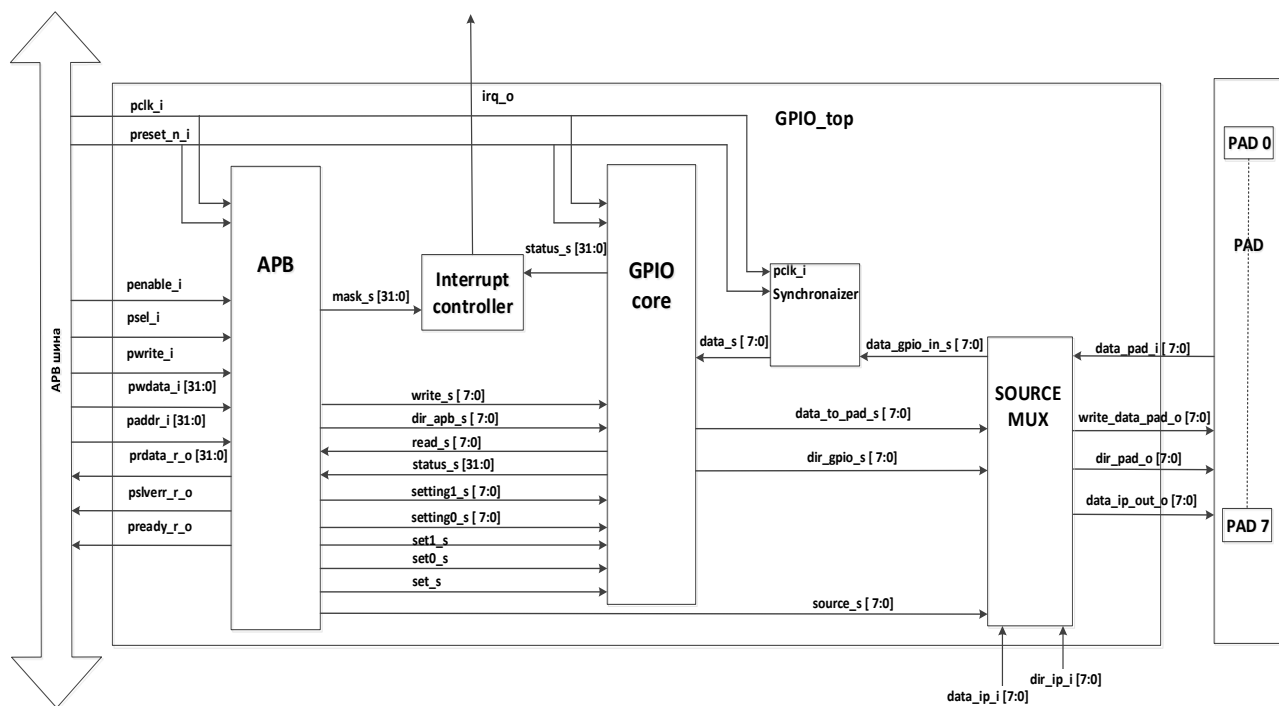


Рисунок 130 – Структурная схема GPIO-контроллера

Таблица 651 – Описание блоков на структурной схеме контроллера GPIO

Название блока	Назначение и основные функции
APB	Блок доступа к регистрам GPIO
GPIO_core	Блок передачи и приема данных
Interrupt controller	Контроллер прерываний
SYNCF2SRB	Синхронизатор сигнала с внешних PADов
SOURCE MUX	Блок разделения буферов ввода/вывода между контроллером GPIO и другими блоками

1.4.1.7.7.3 Принципы функционирования контроллера GPIO

Управление контроллером GPIO осуществляется посредством чтения и записи регистров по шине APB.

1.4.1.7.7.3.1 Конфигурация контроллера GPIO

Каждая линия контроллера GPIO может быть сконфигурирована как вход или как выход (SOFTTR (0x00C). Для конфигурации линии на выход нужно записать 1 в соответствующий бит регистра PAD_DIR. После сброса все линии контроллера GPIO сконфигурированы как входы (рисунок 131).

					Лист	
					465	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

ЮФКВ.431268.020РЭ

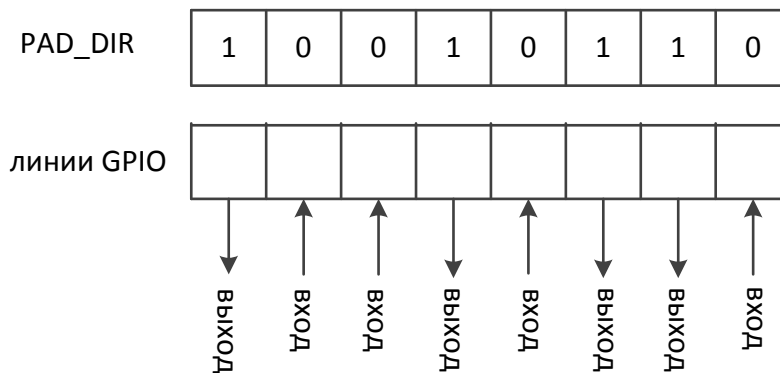


Рисунок 131 – Конфигурация линий GPIO в зависимости от управляющего сигнала

1.4.1.7.7.3.2 Прием данных

На входе контроллера GPIO установлены ячейки синхронизации во избежание возникновения состояния метастабильности.

Состояние линий контроллера отображается в регистре READ_PADtoAPB. Прием данных линиями GPIO, сконфигурированными как входы, продемонстрирован на рисунке 132.

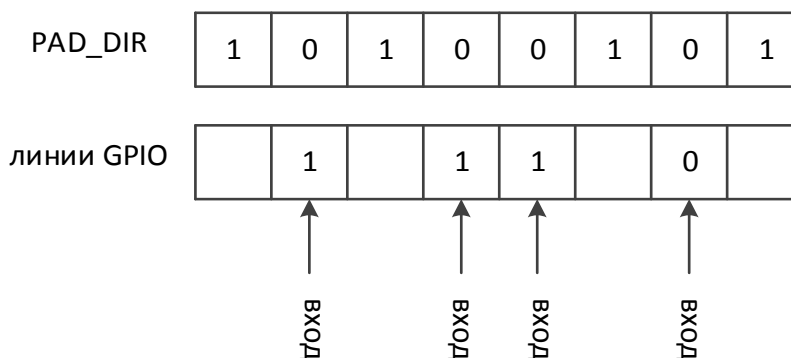


Рисунок 132 – Прием данных линиями GPIO, сконфигурированными как входы

1.4.1.7.7.3.3 Передача данных

Контроллер GPIO предоставляет два способа задания состояния линий, сконфигурированных как входные:

- 1) Прямое задание состояния всех линий;
- 2) Побитовая установка «0» и «1».

1.4.1.7.7.3.3.1 Прямое задание состояния линии данных

Для прямого задания состояния выходных линий контроллера GPIO необходимо записать требуемые значения на линиях в регистр WRITE_DATAtoPAD. Значения битов данного регистра будут отображены на выходные линии GPIO. Передача данных линиями GPIO, сконфигурированными как выходы, продемонстрирована на рисунке 133.

					ЮФКВ.431268.020РЭ	Лист 466
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

данных устанавливается «0». В линиях GPIO, соответствующих битам регистра SET0, в которых записаны «1», выходные данные остаются неизменными.

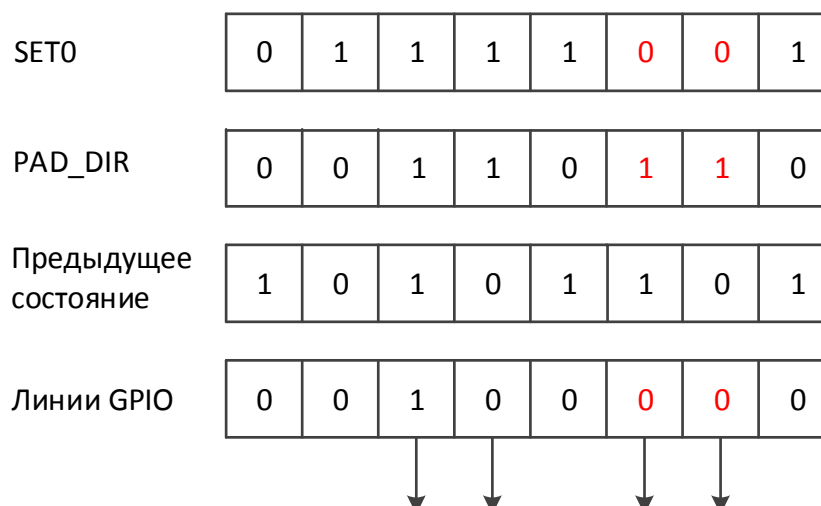


Рисунок 135 – Побитовая установка «0»

1.4.1.7.7.3.4 Прерывания

Контроллер GPIO может генерировать уровневый сигнал запроса прерывания irq_o. Для выработки прерывания необходимо задать маску в регистре MASK. Прерывания возникают при следующих событиях:

- Переключение линии из состояния «1» в состояние «0»;
- Переключение линии из состояния «0» в состояние «1».

В регистре STATUS контроллера отображаются все события прерываний. Если событие регистра STATUS соответствует установленной маске регистра MASK, то возникает прерывание. После чтения регистра STATUS прерывания сбрасываются.

Маска прерываний задается независимо для каждой линии GPIO. Допустима установка масок как отдельно по фронту или срезу, так и совместно, в этом случае прерывание будет выработываться при любом переключении сигнала

1.4.1.7.7.3.5 Особенности работы контроллера GPIO

Контроллер GPIO обладает следующей особенностью:

- Регистр RD_DATA отображает только состояния линий, которые настроены как входы, в полях, соответствующих выходным линиям, устанавливается значение 0;
- Регистры установки значений на линиях (WR_DATA, WR_DATA_SET1 и WR_DATA_SET0) при чтении возвращают то значение, которое было в них записано.

В связи с этим при изменении состояния линии с использованием различных механизмов (например, сначала задать линии значение 1 записью в регистр WR_DATA_SET1, а потом переключить линию в значение 0 записью в регистр WR_DATA_SET0) затруднительно будет определить реальное состояние линии.

					ЮФКВ.431268.020РЭ			Лист
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

Для того чтобы возникало меньше путаницы с состоянием линий GPIO при использовании регистров WR_DATA_SET1 и WR_DATA_SET0, рекомендуется следующий порядок операций:

- Для установки 1:
 - а) сначала записать 1 в соответствующий бит регистра WR_DATA_SET0 (это не приведёт к изменению состояния линии);
 - б) затем записать 1 в соответствующий бит регистра WR_DATA_SET1 (это переключит линию в 1).
- Для установки 0:
 - а) сначала записать 0 в соответствующий бит регистра WR_DATA_SET1 (это не приведёт к изменению состояния линии);
 - б) затем записать 0 в соответствующий бит регистра WR_DATA_SET0 (это переключит линию в 0).

При таком подходе регистры WR_DATA_SET1 и WR_DATA_SET0 будут содержать актуальное значение.

1.4.1.7.7.3.6 Механизм разделения буферов ввода/вывода GPIO с другими блоками

Для осуществления механизма разделения буферов ввода/вывода GPIO с другими блоками используется регистр SWITCH_SOURCE. Если в n-м бите регистра SWITCH_SOURCE записана «1», то соответствующий буфер ввода/вывода обменивается информацией посредством линий GPIO, если же в n-м бите регистра SWITCH_SOURCE записан «0», то соответствующий ему буфер ввода/вывода обменивается информацией с другим блоком. Механизм разделения буферов ввода/вывода с другими блоками продемонстрирован на рисунке 136.

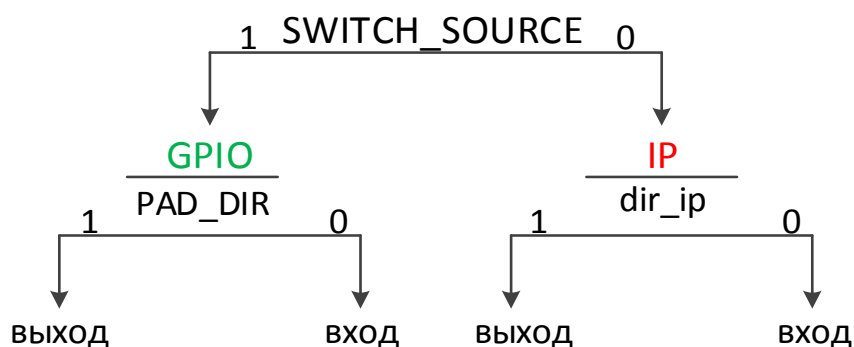


Рисунок 136 – Механизм разделения буферов ввода/вывода с другими блоками

1.4.1.7.7.4 Описание регистров контроллера GPIO

1.4.1.7.7.4.1 Карта регистров контроллера GPIO

Карта регистров контроллера GPIO представлена в таблице 652.

При описании полей регистров используется следующее обозначение режимов доступа пользователя к полям:

RO – поле доступно только для чтения;

RW – поле доступно как для записи, так и для чтения.

					ЮФКВ.431268.020РЭ			Лист
								469
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

Таблица 652 – Карта регистров контроллера GPIO

Адрес	Название	Доступ	Значение после сброса	Описание
0x000	ID	RO	32'h4f495047	Идентификатор устройства
0x004	VERSION	RO	32'h00000001	Номер версии устройства и конфигурация
0x008	PAD_DIR	RW	0x0	Регистр управляющего сигнала (32-разрядный, используется только младший байт)
0x00C	WRITE_APBtoPAD	RW	0x0	Регистр вывода данных (32-разрядный, используется только младший байт)
0x010	READ_PADtoAPB	RO	0x0	Регистр ввода данных (32-разрядный, используется только младший байт)
0x014	STATUS	RO	0x0	Статус прерываний контроллера
0x018	MASK	RW	0x0	Маска прерываний контроллера
0x01C	SET1	RW	0x0	Регистр установки 1 (32-разрядный, используется только младший байт)
0x020	SET0	RW	0x0	Регистр установки 0 (32-разрядный, используется только младший байт)
0x024	SWITCH_SOURCE	RW	0xff	Регистр выбора устройства при разделении PADов (32-разрядный, используется только младший байт)

1.4.1.7.7.4.2 Описание полей регистров контроллера GPIO

1.4.1.7.7.4.2.1 STATUS (0x014)

Описание полей регистра STATUS представлено в таблице 653.

Таблица 653 – Поля регистра STATUS

Поле	Биты	Описание
strob_posedge0	0	Переключение линии 0 по фронту (из 0→1)
strob_negedge0	1	Переключение линии 0 по срезу (из 1→0)
-	3:2	Резерв
strob_posedge1	4	Переключение линии 1 по фронту (из 0→1)
strob_negedge1	5	Переключение линии 1 по срезу (из 1→0)
-	7:6	Резерв
strob_posedge2	8	Переключение линии 2 по фронту (из 0→1)
strob_negedge2	9	Переключение линии 2 по срезу (из 1→0)
-	11:10	Резерв
strob_posedge3	12	Переключение линии 3 по фронту (из 0→1)
strob_negedge3	13	Переключение линии 3 по срезу (из 1→0)
-	15:14	Резерв
strob_posedge4	16	Переключение линии 4 по фронту (из 0→1)
strob_negedge4	17	Переключение линии 4 по срезу (из 1→0)
-	19:18	Резерв
strob_posedge5	20	переключение линии 5 по фронту (из 0→1)
strob_negedge5	21	Переключение линии 5 по срезу (из 1→0)
-	23:22	Резерв
strob_posedge6	24	Переключение линии 6 по фронту (из 0→1)
strob_negedge6	25	Переключение линии 6 по срезу (из 1→0)
-	27:26	Резерв
strob_posedge7	28	Переключение линии 7 по фронту (из 0→1)
strob_negedge7	29	Переключение линии 7 по срезу (из 1→0)
	31:30	Резерв

1.4.1.7.7.4.2.2 MASK (0x018)

Описание полей регистра MASK представлено в таблице 654.

					ЮФКВ.431268.020РЭ	Лист 470
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Редько</i> 24.10.2019		34203-2		

Таблица 654 – Поля регистра MASK

Поле	Биты	Описание
mask_posedge0	0	Маска прерывания по переключению линии 0 из 0→1
mask_negedge0	1	Маска прерывания по переключению линии 0 из 1→0
-	3:2	Резерв
mask_posedge1	4	Маска прерывания по переключению линии 1 из 0→1
mask_negedge1	5	Маска прерывания по переключению линии 1 из 1→0
-	7:6	Резерв
mask_posedge2	8	Маска прерывания по переключению линии 2 из 0→1
mask_negedge2	9	Маска прерывания по переключению линии 2 из 1→0
-	11:10	Резерв
mask_posedge3	12	Маска прерывания по переключению линии 3 из 0→1
mask_nrgedge3	13	Маска прерывания по переключению линии 3 из 1→0
-	15:14	Резерв
mask_posedge4	16	Маска прерывания по переключению линии 4 из 0→1
mask_negedge4	17	Маска прерывания по переключению линии 4 из 1→0
-	19:18	Резерв
mask_posedge5	20	маска прерывания по переключению линии 5 из 0→1
mask_negedge5	21	Маска прерывания по переключению линии 5 из 1→0
-	23:22	Резерв
mask_posedge6	24	Маска прерывания по переключению линии 6 из 0→1
mask_negedge6	25	Маска прерывания по переключению линии 6 из 1→0
-	27:26	Резерв
mask_posedge7	28	Маска прерывания по переключению линии 7 из 0→1
mask_negedge7	29	Маска прерывания по переключению линии 7 из 1→0
-	31:30	Резерв

1.4.1.7.8 Контроллер измерения температуры (датчик температуры)

1.4.1.7.8.1 Общее описание датчика температуры

Контроллер измерения температуры кристалла предназначен для формирования тактового сигнала датчика измерения температуры, управления датчиком и оценки результатов измерения в режиме реального времени. Измерение температуры производится в диапазоне от минус 40 до плюс 125 °С, с точностью ± 5 °С.

Датчик измерения температуры реализован на температурно-чувствительной ячейке, аналоговый выход которой непрерывно оцифровывается АЦП последовательного приближения с частотой оцифровки не более 50 кГц.

После фиксации значения температуры на выходе АЦП контроллер производит сравнение полученного значения с порогом, задаваемым программно. В случае превышения порога формируется прерывание по превышению температуры, которое может быть обработано стандартным образом.

Управление контроллером осуществляется по 32-разрядной шине AMBA APB спецификации 3.0. Работа блока контроллера тактируется тактовым сигналом шины APB.

1.4.1.7.8.2 Принципы функционирования датчика температуры

1.4.1.7.8.2.1 Процедура активизации датчика температуры

Процедура активизации датчика измерения температуры на кристалле приведена ниже.

Сначала необходимо задать тактовую частоту работы АЦП, записав значение делителя частоты в регистр TS_CLK_DIV. Значение делителя частоты должно быть таким, чтобы частота тактового сигнала АЦП не превышала 50 кГц.

Далее в регистре TS_LEVEL задается порог температуры, с которым будет сравниваться измеряемое значение температуры на выходе АЦП. Соответствие значения температуры на кристалле коду на выходе АЦП представлено в таблице 655.

					ЮФКВ.431268.020РЭ		Лист 471
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Таблица 655 – Соответствие измеренной температуры кристалла коду на выходе АЦП

Температура, °С	Код на выходе АЦП	Температура, °С	Код на выходе АЦП	Температура, °С	Код на выходе АЦП
- 40	3795	+ 20	3683	+ 80	3543
- 35	3787	+ 25	3673	+ 85	3529
- 30	3779	+ 30	3663	+ 90	3515
- 25	3769	+ 35	3651	+ 95	3501
- 20	3761	+ 40	3641	+ 100	3487
- 15	3751	+ 45	3629	+ 105	3471
- 10	3743	+ 50	3617	+ 110	3457
- 5	3733	+ 55	3605	+ 115	3441
0	3723	+ 60	3593	+ 120	3425
+ 5	3713	+ 65	3581	+ 125	3409
+ 10	3703	+ 70	3569		
+ 15	3693	+ 75	3555		

После установки порога АЦП датчика температуры выводится из режима пониженного потребления путем записи лог. «0» в регистр TS_PWDN. Измерение температуры начинается при установке в лог. «1» регистра TS_START.

Текущее значение температуры можно посмотреть, программно считав значение кода из регистра TS_DATA. Первое измеренное значение записывается в регистр TS_DATA через семь тактов частоты работы АЦП датчика температуры после перевода датчика из состояния пониженного потребления в рабочий режим.

1.4.1.7.8.2.2 Настройка АЦП датчика температуры

Тактовый сигнал, подаваемый на АЦП, формируется из тактового сигнала работы контроллера (т. е. тактового сигнала шины APB) путем деления на коэффициент, задаваемый в регистре TS_CLK_DIV. Частота тактового сигнала, подаваемого на АЦП, вычисляется по формуле

$$F_{\text{АЦП}} = \frac{F_{\text{APB}}}{2*(N+1)},$$

где $F_{\text{АЦП}}$ - тактовая частота АЦП датчика температуры;

F_{APB} - тактовая частота работы контроллера (тактовая частота шины APB);

N - значение, задаваемое в регистре TS_CLK_DIV.

Частота тактового сигнала, подаваемого на АЦП температурного датчика, не должна превышать 50 кГц.

1.4.1.7.8.2.3 Прерывания датчика температуры

Датчик температуры формирует следующий запрос на прерывание.

TSINT – запрос на прерывание по превышению температуры на кристалле порога, установленного в регистре TS_LEVEL. Прерывание маскируемое. Запрос на прерывание фиксируется в регистре TS_IR независимо от состояния маски. Сброс запроса на прерывание должен производиться программно.

1.4.1.7.8.3 Описание регистров датчика температуры

1.4.1.7.8.3.1 Карта регистров датчика температуры

Программно доступные регистры датчика температуры расположены в области памяти периферийных устройств. Карта регистров датчика температуры представлена в таблице 656.

									Лист
									472
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

Таблица 656 – Карта регистров датчика температуры

Адрес	Название	Доступ	Значение после сброса	Описание
0x00	TS_PWDN	RW	0x1	Регистр управления режимом пониженного потребления
0x04	TS_START	RW	0x0	Регистр управления режимом измерения температуры
0x08	TS_IR	RW	0x0	Регистр запроса на прерывание по превышению температуры
0x0C	TS_IM	RW	0x0	Регистр маски прерываний температурного датчика
0x10	TS_CLK_DIV	RW	0xHHH	Регистр делителя частоты АЦП температурного датчика
0x14	TS_LEVEL	RW	0xHHH	Регистр порога температуры
0x18	TS_DATA	RW	0x000	Регистр текущего значения температуры
0x1C	TS_ENZC	RW	0x0	Регистр управления режимом калибровки датчика
0x20 - 0x3FF	-	-	-	Резерв

1.4.1.7.8.3.2 Описание полей регистров датчика температуры

1.4.1.7.8.3.2.1 TS_PWDN (0x00)

Регистр TS_PWDN – регистр управления режимом пониженного потребления. Регистр доступен по чтению и записи и управляет режимом пониженного потребления датчика измерения температуры. В таблице 657 приведен формат регистра TS_PWDN.

Таблица 657 – Поля регистра TS_PWDN

Биты	Название	Описание
0	PWDN	0 – Датчик температуры находится в рабочем режиме 1 - Датчик температуры находится в режиме пониженного потребления
31:1	-	Резерв

1.4.1.7.8.3.2.2 TS_START (0x04)

Регистр TS_START – регистр управления режимом измерения температуры. В таблице 658 приведен формат регистра TS_START.

Таблица 658 – Поля регистра TS_START

Биты	Название	Описание
0	START	0 – контроллер находится в пассивном режиме 1 – контроллер находится в режиме измерения температуры
31:1	-	Резерв

1.4.1.7.8.3.2.3 TS_IR (0x08)

Регистр TS_IR - регистр запроса на прерывание по превышению температуры. Регистр доступен по чтению и по записи. В таблице 659 приведен формат регистра TS_IR.

Таблица 659 – Поля регистра TS_IR

Биты	Название	Описание
0	IR	Запрос на прерывание по превышению температуры
31:1	-	Резерв

1.4.1.7.8.3.2.4 TS_IM (0x0C)

Регистр TS_IM - регистр маски запроса на прерывание по превышению температуры. Регистр доступен по чтению и по записи. В таблице 660 приведен формат регистра TS_IM.

					ЮФКВ.431268.020РЭ		Лист
							473
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019		34203-2			

Таблица 660 – Поля регистра TS_IM

Биты	Название	Описание
0	IM	Маска прерывания по превышению температуры 0 – маска установлена 1 – маска сброшена
31:1	-	Резерв

1.4.1.7.8.3.2.5 TS_CLK_DIV (0x10)

Регистр TS_CLK_DIV – 12-битный регистр делителя частоты АЦП температурного датчика. Регистр доступен по чтению и по записи. Формат регистра представлен в таблице измерения температуры 661.

Таблица 661 – Поля регистра TS_CLK_DIV

Биты	Название	Описание
11:0	CLK_DIV	Значение делителя частоты
31:12	-	Резерв

1.4.1.7.8.3.2.6 TS_LEVEL (0x14)

Регистр TS_LEVEL – регистр порога температуры. Регистр доступен по чтению и по записи. В таблице измерения температуры 662 приведен формат регистра TS_LEVEL.

Таблица 662 – Поля регистра TS_LEVEL

Биты	Название	Описание
11:0	LEVEL	Значение порога температуры, с которым будет сравниваться выход АЦП температурного датчика
31:12	-	Резерв

1.4.1.7.8.3.2.7 TS_DATA (0x18)

Регистр TS_DATA - регистр текущего значения температуры. Регистр доступен по чтению и по записи. В таблице 663 приведено описание полей регистра TS_DATA.

Таблица 663 – Поля регистра TS_DATA

Биты	Название	Описание
11:0	DATA	Последний отчет значения температуры с выхода АЦП
31:12	-	Резерв

1.4.1.7.8.3.2.1 TS_ENZC (0x1C)

Регистр TS_ENZC – регистр управления режимом калибровки. Регистр доступен по чтению и записи и управляет режимом калибровки датчика. В таблице 664 приведен формат регистра TS_ENZC.

Таблица 664 – Поля регистра TS_ENZC

Биты	Название	Описание
[0]	ENZC	0 – контроллер находится в рабочем режиме 1 – контроллер находится в режиме калибровки
31:1	-	Резерв

1.4.1.7.9 Контроллер внутрисхемной отладки (JTAG)

СБИС МИ БИУС имеет в своем составе контроллер внутрисхемной отладки, реализующий доступ к внутреннему адресному пространству микросхемы.

									Лист
									474
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

Подключение к контроллеру осуществляется через выводы DBG_JTAG интерфейса микросхемы (см. п. 1.2.2).

Взаимодействие с контроллером производится через внешнее устройство RealView ICE и при помощи программного обеспечения RealView Development Suit компании ARM.

1.4.2 Процедура загрузки СБИС МИ БИУС

После снятия активного уровня сигнала системного сброса NRST_PON в СБИС МИ БИУС автоматически запускается процедура загрузки, реализуемая выполнением исполняемого кода на процессорном ядре Cortex-A5.

В общем случае, процедура загрузки СБИС МИ БИУС реализуется в два этапа:

- этап первичной загрузки – процессорное ядро выполняет код ПО встроенного загрузчика микросхемы интегральной 1888BC048 ЮФКВ.31053-01 (далее по тексту – ROM-Загрузчик), расположенный во встроенной в микросхему ПЗУ памяти;
- этап вторичной загрузки – выполнение исполняемого кода вторичного загрузчика, помещаемого в встроенное ОЗУ (ИМ0), в зависимости от режима работы первичного загрузчика, либо самим первичным загрузчиком путем копирования исполняемого кода вторичного загрузчика из внешней ППЗУ-памяти (SPI, SDIO, I2C), либо через хост-интерфейс.

1.4.2.1 Описание первичного загрузчика СБИС МИ БИУС

ROM-загрузчик является частью СБИС МИ БИУС и размещается в масочном ППЗУ СБИС МИ БИУС на этапе производства. Обновление программы ROM-загрузчика микросхемы не предусматривается.

1.4.2.1.1 Описание алгоритма работы первичного загрузчика СБИС МИ БИУС

Общий алгоритм работы ROM-загрузчика представлен на рисунке 137.

									Лист
									475
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
34203-3	<i>Redhal</i> 24.10.2019			34203-2					

Таблица 665 – Значения конфигурационных бит ВООТМ0-ВООТМ1

Условное обозначение	Буфер ввода-вывода СБИС МИ БИУС	Назначение
ВООТМ0	GPIO0[0]	Запускать процедуру самотестирования при старте 0 – не запускать, 1 – запускать
ВООТМ1	GPIO0[1]	Принудительный выбор хост-режима загрузки 0 – нормальный режим, 1 – режим загрузки с хоста
ВООТМ2	GPIO0[2]	Выбор частоты работы последовательного порта, используемого для вывода отладочных сообщений. 0 – 115200 bps, 1 – 6250000 bps

Краткое описание этапов представленного на рисунке 137 алгоритма работы первичного загрузчика приведено в таблице 666.

Таблица 666 – Описание этапов работы ROM-загрузчика

Название этапа	Описание этапа
Платформенно-специфическая инициализация	На данном этапе выполняется платформенно-специфическая инициализация процессорной подсистемы, необходимая для функционирования первичного загрузчика
SELFTTEST	На данном этапе, в зависимости от конфигурационного бита ВООТМ0, первичный загрузчик запускает процедуру самотестирования микросхемы или переходит к следующему этапу
Выбор скорости UART	На данном этапе, в зависимости от конфигурационного бита ВООТМ2, определяется скорость работы контроллера UART0, через который первичный ПЗУ-загрузчик будет выдавать диагностическую информацию при выполнении процедуры загрузки
Хост-режим	На данном этапе, в зависимости от конфигурационного бита ВООТМ1, первичный ПЗУ-загрузчик переводит РСРСА в работу в хост-режим (см. п. 1.4.2.4) или переходит к процедуре последовательной загрузки с различных внешних источников
Поиск и загрузка образа на внешних устройствах	<p>На данном этапе первичный ПЗУ-загрузчик реализует процедуру последовательной загрузки с различных внешних источников, в рамках которой выполняются следующие действия:</p> <ol style="list-style-type: none"> 1) предпринимается попытка считать образ исполняемого кода вторичного загрузчика с различных внешних источников во внутреннюю память ИМ0. Считывания производится через соответствующие контроллеры внешних интерфейсов в следующем порядке: <ol style="list-style-type: none"> а) с SD-карты, подсоединенной к контроллеру SDIO0 - начиная со смещения 0x2000 (8 Кбайт). Вывод GPIO0_3 используется как сигнал наличия/отсутствия SD-карты в разьеме; б) с первой микросхемы SPI-памяти, подключенной к контроллеру SPI0 - начиная со смещения 0x0. Вывод SPI0_SCS используется как сигнал выборки микросхемы SPI-памяти; в) со второй микросхемы SPI-памяти, подключенной к контроллеру SPI0 - начиная со смещения 0x0. Вывод GPIO0_5 используется как сигнал выборки микросхемы SPI-памяти; г) с первой микросхемы I2C-памяти, подключенной к контроллеру I2C0, с адресом 0x50; д) со второй микросхемы I2C-памяти, подключенной к контроллеру I2C0, с адресом 0x51; е) с третьей микросхемы I2C-памяти, подключенной к контроллеру I2C0, с адресом 0x52; ж) с четвертой микросхемы I2C-памяти, подключенной к контроллеру I2C0, с адресом 0x53; з) с SD-карты, подсоединенной к контроллеру SDIO1 - начиная со смещения 0x2000 (8 Кбайт). Вывод GPIO0_3 используется как сигнал наличия/отсутствия SD-карты в соединителе;

					Лист
					477
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
34203-3		<i>Redhell</i> 24.10.2019		34203-2	
			Подп. и дата		

ЮФКВ.431268.020РЭ

Название этапа	Описание этапа
	2) для каждого считанного образа выполняется проверка целостности считанного образа (см. п. 1.4.1.7.8.2.2). В случае если: <ol style="list-style-type: none"> считанный образ прошел проверку целостности, управление передается вторичному загрузчику, который полностью определяет дальнейший процесс загрузки микросхемы; считанный образ не прошел проверку целостности, первичный ПЗУ-загрузчик переходит к следующему внешнему источнику, на котором может находиться образ исполняемого кода вторичного загрузчика; 3) в случае если образ исполняемого кода вторичного загрузчика, прошедший проверку целостности, не обнаружен ни на одном из внешних источников, ROM-загрузчик: <ol style="list-style-type: none"> устанавливает вывод GPIO1_0 в состояние 1, сигнализируя внешним по отношению к РСРСА компонентам о неуспешной попытке загрузиться с внешних источников; переходит в режим загрузки в хост-режиме (см. п. 1.4.2.3).
Исполнение образа вторичного загрузчика	На данном этапе реализуется последовательность действий, определяемых вторичным загрузчиком (см. п. 1.4.1.7.9)
Хост-режим	На данном этапе первичный ПЗУ-загрузчик переходит в режим опроса внутренней ИМО памяти в ожидании, когда образ исполняемого кода вторичного загрузчика будет размещен в памяти ИМО внешней по отношению к микросхеме хост-машиной (см. п. 1.4.2.3)

1.4.2.1.2 Проверка совместимости и целостности образа исходного кода вторичного загрузчика

Заголовок используется первичным загрузчиком для выполнения следующих действий:

1. Проведение базовой проверки совместимости образа вторичного загрузчика и микросхемы на основе анализа полей magic, version, chip_id, chip_rev;
2. Проведение проверки целостности заголовка на основе контрольной суммы, указанной в полях header_crc32;
3. Проведение проверки образа исполняемого кода вторичного загрузчика на основе контрольной суммы, указанной в полях data_crc32.

В качестве контрольных сумм используется реализация CRC-32-IEEE 802.3 с полиномом $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$.

В случае обнаружения ошибок при проведении проверки совместимости и целостности образа исходного кода вторичного загрузчика первичный ROM-загрузчик в поле magic заголовка устанавливает код обнаруженной ошибки. Список возможных ошибок приведен в таблице 667.

Таблица 667 – Типы ошибок при проведении проверки совместимости и целостности образа исходного кода вторичного загрузчика

Имя в коде загрузчика	Код ошибки	Описание
EBADMAGIC	1	Неправильное поле magic
EBADVERSION	2	Несовпадение версии заголовка
EBADHDRCRC	3	Ошибка в контрольной сумме заголовка
EBADCHIPID	4	Несовместимый chip id
EBADENTRY	5	Точка входа первичного ядра не прошла процедуру валидации
EBADHEADER	6	Ошибка в заголовке. Все ошибки заголовка имеют код меньше этого числа
EBADDATA CRC	7	Ошибка при проверке контрольной суммы данных
ETOOBIG	8	Размер данных превышает доступный для вторичного загрузчика размер встроенного ОЗУ. Дальнейшее поведение загрузочного ПЗУ не детерминировано из-за перезаписи области стека
EBADSOURCE	9	Ошибка источника. После завершения исполнения программы вторичного загрузчика был запрошен переход на невалидный/несуществующий источник загрузки

					ЮФКВ.431268.020РЭ		Лист
							478
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

Имя в коде загрузчика	Код ошибки	Описание
ЕЮ	10	Произошла ошибка ввода/вывода при чтении вторичного загрузчика из внешней памяти

1.4.2.2 Последовательное исполнение кода из нескольких источников

Первичный загрузчик поддерживает последовательное исполнение кода одного или нескольких источников, в случае если после исполнения кода вторичного загрузчика был произведен возврат в код ROM с соответствующим кодом завершения.

После вызова загрузчиком функции по адресу точки входа из вторичного загрузчика, дальнейшее поведение зависит от возвращаемого этой функцией значения:

- 1) больше 0 – принудительная загрузка с источника номер N-1 (если N больше количества доступных источников - переход в хост-режим);
- 2) равно 0 – продолжить цепочку загрузки с этого или следующего источника;
- 3) равно минус 1 – принудительный переход в хост-режим;
- 4) меньше минус 1 – продолжить цепочку загрузки со следующего источника.

1.4.2.3 Описание вторичного загрузчика

Вторичный загрузчик должен конфигурировать все параметры СБИС МИ БИУС, необходимые для его функционирования в конкретном изделии. Требование о реализации полного конфигурирования СБИС МИ БИУС именно во вторичном загрузчике обусловлено тем, что, в отличие от первичного загрузчика, он может быть изменен и перезаписан во внешнее ПЗУ, что позволяет решать следующие практические задачи:

- 1) Конфигурирование программируемых параметров СБИС МИ БИУС под конкретные микросхемы окружения, например, конфигурирование контроллеров оперативной памяти DDR3 под временные параметры конкретных микросхем DDR3-памяти, которые могут быть различными при использовании СБИС МИ БИУС в разных изделиях.
- 2) Возможность коррекции программируемых параметров работы СБИС МИ БИУС или исправление ошибок конфигурирования в течение жизненного цикла изделия, где применяется данная микросхема.

Поэтому функционирование СБИС МИ БИУС полностью определяется алгоритмом, описанным во вторичном загрузчике.

В частности, он полностью определяет функциональный режим работы СБИС МИ БИУС – режим моста или режим СнК (см. п. 1.4.1.2.1) – через конфигурирование режима работы контроллера PCIe-интерфейса:

- 1) для работы в режиме моста вторичный загрузчик должен перевести контроллер PCIe в режим работы конечного устройства (Endpoint);
- 2) для работы в режиме СнК вторичный загрузчик должен перевести контроллер PCIe в режим работы корневого комплекса (Root Complex).

1.4.2.3.1 Структура заголовка образа вторичного загрузчика

Образ вторичного загрузчика должен иметь служебный заголовок, приведенный на листинге ниже. Заголовок позволяет загрузчику провести проверку целостности данных образа вторичного загрузчика и базовую проверку совместимости образа и СБИС. Приведенный на листинге пример заголовка рассчитан на использование в 32-битных системах, потому для всех указателей используются поля по 32 бита.

										Лист
										479
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
34203-3		<i>Redhell</i> 24.10.2019			34203-2					

```

struct __attribute__((packed)) rumboot bootheader {
    uint32_t magic;
    uint8_t version;
    uint8_t reserved;
    uint8_t chip_id;
    uint8_t chip_rev;
    uint32_t data_crc32;
    uint32_t datalen;
    uint32_t entry_point[10];
    uint32_t header_crc32;
    const struct rumboot_bootsource *device;
    char data[];
};

```

Ниже приведено детальное описание полей заголовка образа:

- 1) **magic** - служебное слово (0xb01dfce), идентифицирующее начало корректного заголовка. По порядку байт этого поля утилита для подготовки образов вторичного загрузчика определяет целевой порядок байт. При отсутствии корректного ключевого слова образ не будет загружен. Для СБИС МИ БИУС – little endian.
- 2) **version** - Версия заголовка. На данный момент 2. В случае неправильного значения этого поля образ не пройдет валидацию загрузчиком.
- 3) **reserved** - Поле зарезервировано.
- 4) **chip_id** - Идентификатор микросхемы, 3. Если идентификатор не совпадает, то образ считается невалидным и не будет исполнен.
- 5) **chip_rev** - Идентификатор ревизии микросхемы, если было выпущено более одной ревизии (1). Несовпадение номера ревизии с ожидаемым вызывает предупреждение в журнале загрузки.
- 6) **data_crc32** - CRC32 контрольная сумма для данных образа. Подробная информация об алгоритме будет приведена далее.
- 7) **datalen** - Длина данных в байтах
- 8) **entry_point[10]** - Заголовком предусмотрено до 10 точек входа. Реально используется только нулевой элемент. Максимальное количество точек входа выбрано для выравнивания размера заголовка до размера в 64 байта. Адрес точки входа должен быть доступен в TLB или будет считаться невалидным. В случае если валидация точки входа вторичного загрузчика не проходит успешно, выводится предупреждение, образ считается некорректным.
- 9) **header_crc32** - CRC32 контрольная сумма всех полей заголовка, идущих до данного поля.
- 10) **struct rumboot_bootsource *device** - ячейка резервируется в образе и исключается из проверки контрольными суммами. В случае успешной загрузки во внутреннюю SRAM память и успешную валидацию образа сюда будет записан указатель на структуру устройства, с которого была выполнена загрузка. В случае загрузки в хост-режиме в это поле будет записан NULL. В дальнейшем поля структуры bootsource можно использовать для считывания дополнительных данных с устройства, откуда была произведена загрузка.

									Лист
									480
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата				
34203-3	<i>Redhall</i> 24.10.2019		34203-2						

1.4.2.3.2 Процедура формирования образов вторичного загрузчика

1.4.2.3.2.1 Процедура формирования образа вторичного загрузчика на основе исходного кода

Образ вторичного загрузчика формируется в четыре стадии:

- 1) На этапе компиляции заголовков образа определяется со всеми полями, кроме контрольных сумм, и помещается в виде структуры в отдельную секцию. На листинге приведен пример программного кода на С, который должен быть частью исходного кода вторичного загрузчика.

```
#include <stdint.h>
#include <rumboot/boot.h>
#include <rumboot/platform.h>

extern void rumboot main();
extern int main();

static const __attribute__((used)) __attribute__((section(".header")))
struct rumboot_bootheader hdr = {
    .magic      = RUMBOOT_HEADER_MAGIC,
    .version    = RUMBOOT_HEADER_VERSION,
    .chip_id    = RUMBOOT_PLATFORM_CHIPID,
    .chip_rev   = RUMBOOT_PLATFORM_CHIPREV,
    .entry_point = {
        (uint32_t)&main,
    }
};
```

- 2) На этапе компоновки сценарий компоновщика размещает секцию с заголовком в самом начале файла.
- 3) После компоновки из полученного файла в формате elf стандартными средствами компилятора генерируется .bin файл. Например:

```
arm-rcm-eabihf-objcopy --gap-fill 0x00 -O binary hello_world
hello_world.bin
```

- 4) После вышеуказанных действий утилиты rumboot-packimage.py производит расчет и запись контрольных сумм в заголовке образа. Пример работы данной утилиты приведен ниже.

```
rumboot_packimage.py -f rumboot-basis-Debug-spl.bin -c
Wrote valid checksums to image header
=== RumBootV2 Header Information ===
Endianness:          little
Magic:               0xb01dface
Header Version:     0x2
Chip ID:             0x3
Chip Revision:      0x1
Data Length:        380
Header CRC32:       0x7e2fc690 [Valid]
Data CRC32:         0x7824b25a [Valid]
```

					ЮФКВ.431268.020РЭ			Лист
								481
Изм	Лист	№ докум.	Подп.	Дата				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата		
34203-3	<i>Redell</i> 24.10.2019			34203-2				

1.4.2.3.2 Процедура формирования образа вторичного загрузчика на основе исполняемого кода базового вторичного загрузчика

Образ вторичного загрузчика может быть сформирован с помощью утилиты `gumboot-packimage.py`, которая формирует образ на основе предкомпилированного исполняемого кода вторичного загрузчика, расположенного в файле `basisconfig.bin`, и конфигурационного файла в формате `ini`, содержащего информацию о последовательности записи начальных значений по указанным адресам регистров.

В данном случае, начальная инициализация (приведенная в конфигурационном файле) задается в виде последовательности записей предопределенных значений по указанным адресам.

Конфигурационный файл должен содержать секцию `IOMEM`, в которой приводится последовательность записи в регистры СБИС МИ БИУС в формате `адрес=значение`. Символ `#` может быть использован для комментирования строк.

Пример конфигурационного файла приведен на листинге ниже.

```
[IOMEM]
0x40000=0x20
#This is a comment
0x40004=0x1
```

Для формирования результирующего образа вторичного загрузчика необходимо выполнить следующие действия:

- 1) Скомбинировать `basisconfig.bin` `configuration.ini` символ в один файл (например, `myloader.bin`)

Пример (linux): `cp basisconfig.bin myloader.bin; cat configuration.ini >>myloader.bin`

- 2) Добавить к файлу с конца терминирующий символ с ASCII кодом `0x0`

Пример (linux): `truncate -s +1 myloader.bin`

- 3) Используя инструмент `gumboot-packimage.py`, установить корректную контрольную сумму в заголовке

Пример: `gumboot_packimage.py -f myloader.bin -c`

- 4) Полученный образ вторичного загрузчика можно записать на SD карту, SPI или I2C EEPROM или загрузить в память СБИС МИ БИУС в хост-режиме (см. п. 1.4.2.3).

1.4.2.3.3 Формат указателя на точку входа

Точка входа в образ вторичного загрузчика имеет следующий формат.

```
int main();
```

Переход на точку входа выполняется как вызов функции, а не безусловный переход. Это позволяет после исполнения кода вторичного загрузчика вернуться в ROM и загрузить следующий бинарный файл или провести загрузку с другого источника.

1.4.2.3.4 Последовательное исполнение нескольких образов вторичного загрузчика

Несколько корректных образов вторичного загрузчика можно записать последовательно. В случае, если после исполнения кода первого экземпляра вторичного загрузчика был возврат в `rom` с кодом `0`, из этого же источника будет загружен следующий образ и (в случае успешного прохождения процедуры целостности) исполнен.

Если устройство загрузки требует доступа с фиксированным размером блока, то следующий загружаемый образ должен находиться в начале следующего блока данных.

Пример: SD карта памяти. Размер блока 512 байт. Первый образ загружается со смещения 8192 байт и занимает 1467 байт (включая заголовок).

					ЮФКВ.431268.020РЭ			Лист
								482
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2				

Как видно из выражения $(8192 + 1467) \% 512 = 443$, конец первого образа вторичного загрузчика не выровнен по границе блока. Таким образом, попытка загрузки следующего образа с данного устройства будет проводиться со смещения $(8192 + 1467) + (512 - 443) = 9728$.

1.4.2.4 Хост-режим загрузки

Хост-режим - это специальный режим загрузки, в рамках которого заголовок и образ исполняемого кода вторичного загрузчика помещается во внутреннюю память ИМО внешней хост-машиной через следующие интерфейсы:

- 1) JTAG – при помощи отладочного адаптера DSTREAM и ПО Arm DS-5 Development Studio компании ARM;
- 2) UART – по протоколу X-модема.

Заголовок и образ исполняемого кода вторичного загрузчика должны размещаться во внутренней памяти ИМО (начиная с нулевого смещения относительно базового адреса ИМО), по которому должно располагаться поле magic заголовка.

Запись по первому адресу внутренней памяти ИМО правильного значения служебного слова приводит к тому, что первичный ROM-загрузчик запускает процесс проверки совместимости и целостности загрузочного образа, после чего выполняется последовательность действий, определенных в п. 1.4.2.1.2.

В хост-режиме, при успешном прохождении проверки образа на совместимость и целостность, поле device заголовка вторичного загрузчика устанавливается в NULL.

При загрузке в хост-режиме, для исключения возможности начала преждевременной процедуры проверки совместимости и целостности загружаемого образа исполняемого кода вторичного загрузчика, рекомендуется использовать следующую последовательность загрузки по хост-интерфейсу :

- 1) Загрузить во внутреннюю память ИМО весь образ исполняемого кода, за исключением первых четырех байт.
- 2) Установить magic (первые четыре байта) в значение служебного слова 0xb01dface.

1.5 Маркировка и пломбирование

Наносимая на СБИС МИ БИУС маркировка представлена на рисунке 138. Маркировка соответствует ГОСТ 30668-2000.

									Лист
									483
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
34203-3	<i>Redhal</i> 24.10.2019		34203-2						

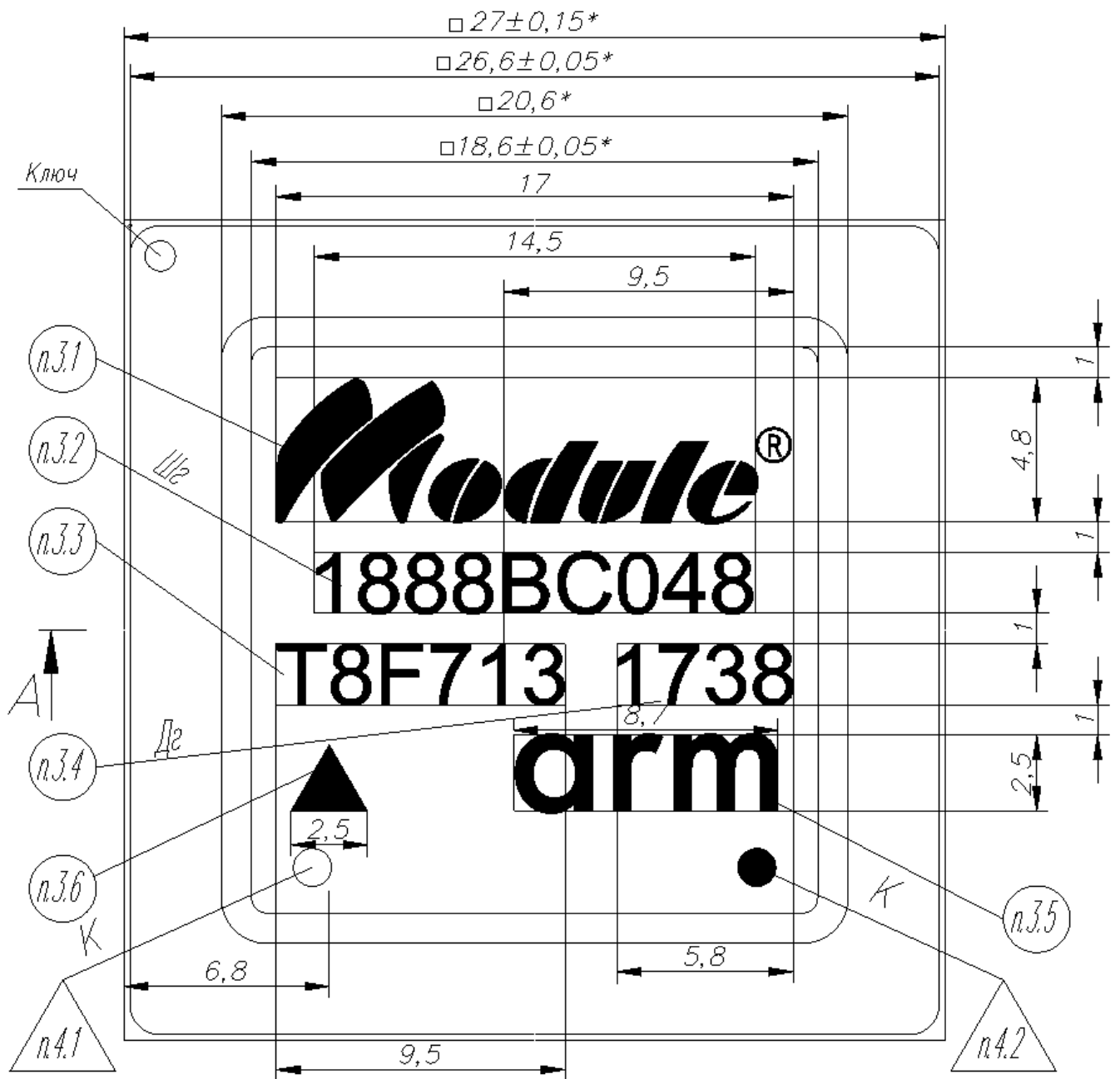


Рисунок 138 – Наносимая на СБИС МИ БИУС маркировка

В процессе изготовления на СБИС МИ БИУС наносятся следующие маркировка и клейма:

3.1) Товарный знак ЗАО НТЦ «Модуль».

3.2) Тип микросхемы.

3.3) Заводской номер микросхемы.

3.4) Дата изготовления, где первые две цифры – последние две цифры года изготовления.

3.5) Товарный знак ARM.

3.6) Знак чувствительности к статическому электричеству.

В процессе приемки на СБИС МИ БИУС наносятся следующие клейма краской ЭП-51 У1 ГОСТ 9640-85:

4.1) Клеймо ОТК. Цвет краски – белый.

4.2) Клеймо ВП МО РФ. Цвет краски – красный.

									Лист
									484
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

Пломбирование СБИС МИ БИУС не осуществляется.

1.6 Упаковка

Поставка микросхем должна производиться в упаковке, предохраняющей микросхемы от механических повреждений при транспортировании и погрузочно-разгрузочных работах, а также для защиты от внешних климатических факторов при транспортировании и хранении.

В соответствии с ГОСТ 23216-78 упаковка состоит из:

- индивидуальной упаковки PN5100.860 Warmbier со вставкой из антистатического поролона;
- картонных вкладышей;
- картонной коробки №683 фирмы «Унипак».

Основные элементы упаковки представлены на рисунке 139.

Микросхемы устанавливаются в индивидуальные упаковки PN5100.860 Warmbier, имеющие внутри вставки из антистатического материала, вложенные в картонный вкладыш. Картонный вкладыш с упакованными микросхемами укладывается в коробку №683. Для осушки воздуха внутри коробки помещен мешок с осушителем – силикагелем. Коробки с двух сторон пломбируются.

В транспортную тару вкладывается упаковочный документ с необходимой информацией по упаковываемым микросхемам. Разработанная упаковка допускает переупаковывание после частичного изъятия микросхем из упаковки.

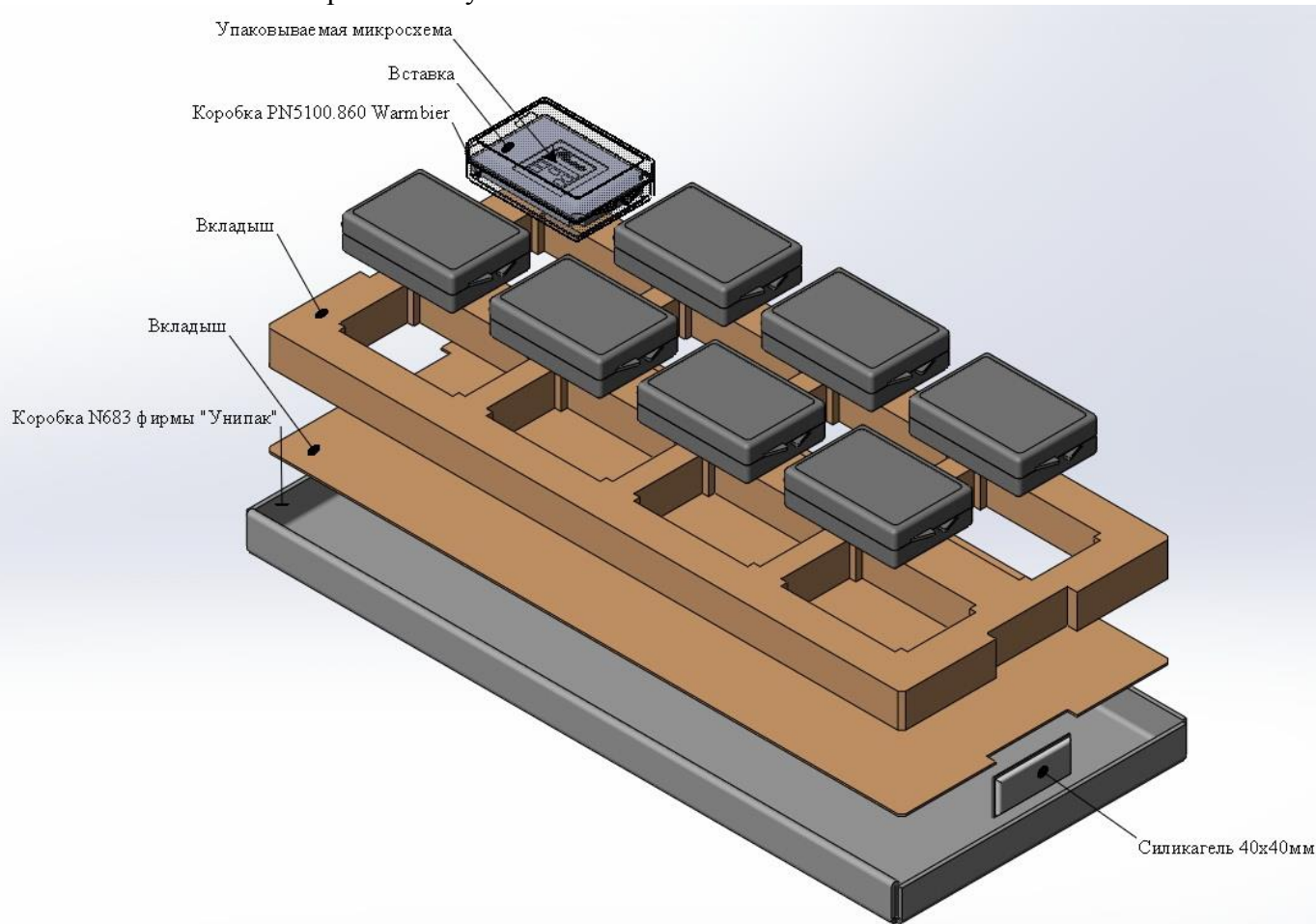


Рисунок 139 – Упаковка СБИС МИ БИУС

В соответствии с ГОСТ 23216-78 на тару нанесены манипуляционные знаки. Вся маркировка выполнена с помощью шильдиков, изготовленных по специальной технологии, что

					ЮФКВ.431268.020РЭ			Лист
								485
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

обеспечивает её сохранность при хранении и транспортировании микросхем. Упаковка и маркировка микросхем соответствует требованиям ГОСТ РВ 20.39.412-97 и ГОСТ В 28146-89.

Микросхема в штатной упаковке допускает транспортирование всеми видами транспортных средств при условии выполнения требований, указанных на манипуляционных знаках, нанесенных на транспортную тару. Пример нанесения указанных знаков приведен на Рисунок 140.

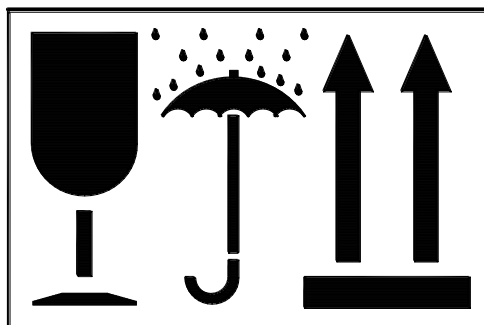


Рисунок 140 – Манипуляционные знаки

2 Использование по назначению

2.1 Эксплуатационные ограничения

2.1.1 Эксплуатационные ограничения по температуре окружающей среды

СБИС МИ БИУС предназначена для эксплуатации при следующих значениях температуры окружающей среды:

- повышенная температура окружающей среды, рабочая – плюс 85 °С;
- пониженная температура окружающей среды, рабочая – минус 60 °С;
- повышенная температура окружающей среды, предельная – плюс 125 °С;
- пониженная температура окружающей среды, предельная – минус 60 °С;

2.1.2 Эксплуатационные ограничения по электрическим характеристикам

Напряжения питания СБИС МИ БИУС, уровни напряжений входных сигналов должны быть в пределах, указанных в п. 1.2.3.

2.2 Подготовка изделия к использованию

2.2.1 Указания о взаимосвязи (соединении) данного изделия с другими изделиями

СБИС МИ БИУС предназначена для использования в составе информационно-управляющих систем. При этом для функционирования и взаимодействия с другими компонентами, входящими в состав информационно-управляющей системы, необходимо наличие набора микросхем, составляющих окружение СБИС МИ БИУС.

Типичная схема включения СБИС МИ БИУС, работающей в режиме моста, приведена на рисунке 141.

					ЮФКВ.431268.020РЭ			Лист
								486
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redell</i> 24.10.2019		34203-2				

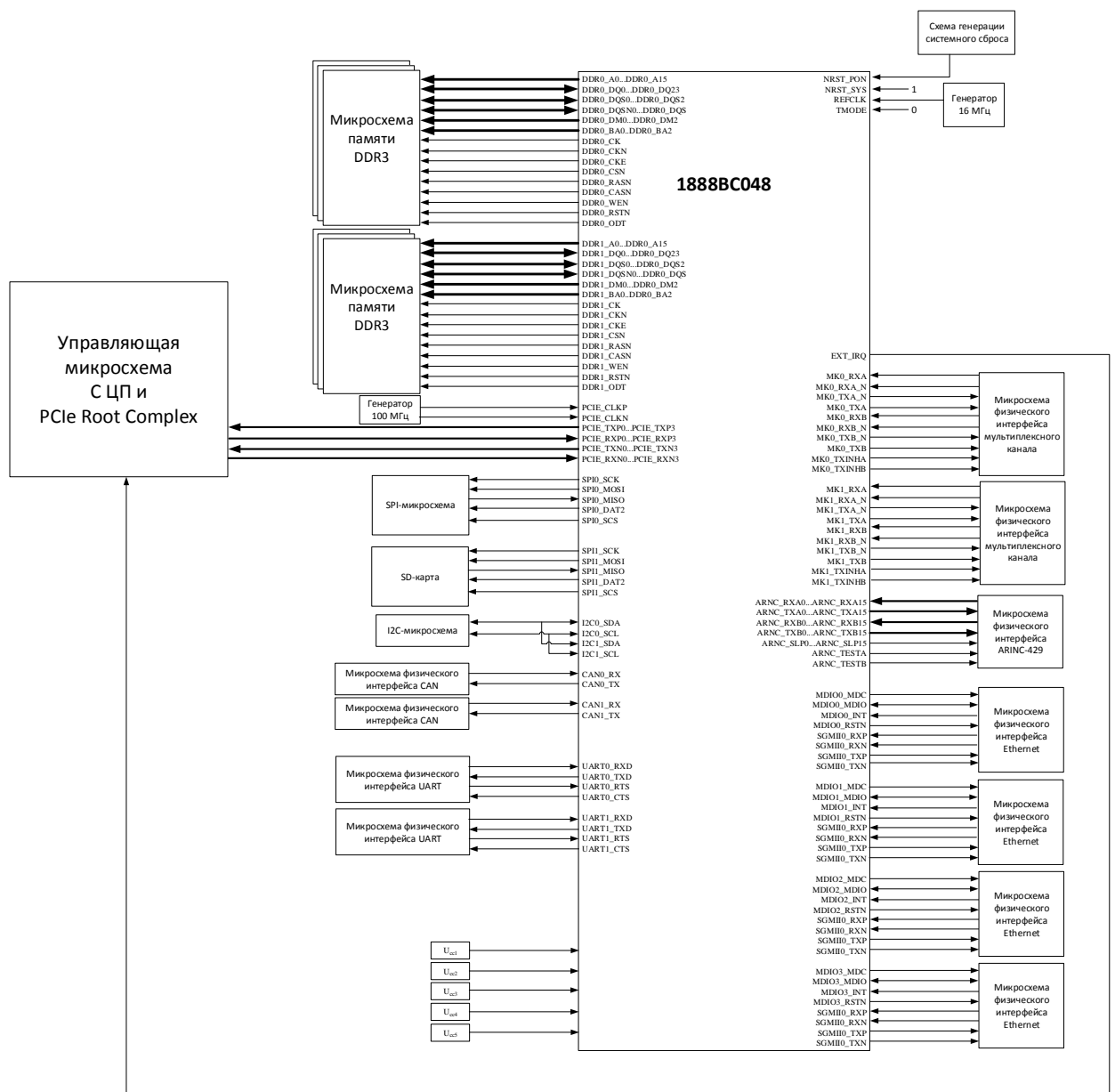


Рисунок 141 – Типичная схема включения СБИС МИ БИУС, работающей в режиме моста

Типичная схема включения СБИС МИ БИУС, работающей в режиме СнК, приведена на рисунке 142.

					Лист
					487
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инав.№подл.	Подп. и дата		Взам.инв.№	Инав.№дубл.	Подп. и дата
34203-3	<i>Redchell</i> 24.10.2019		34203-2		

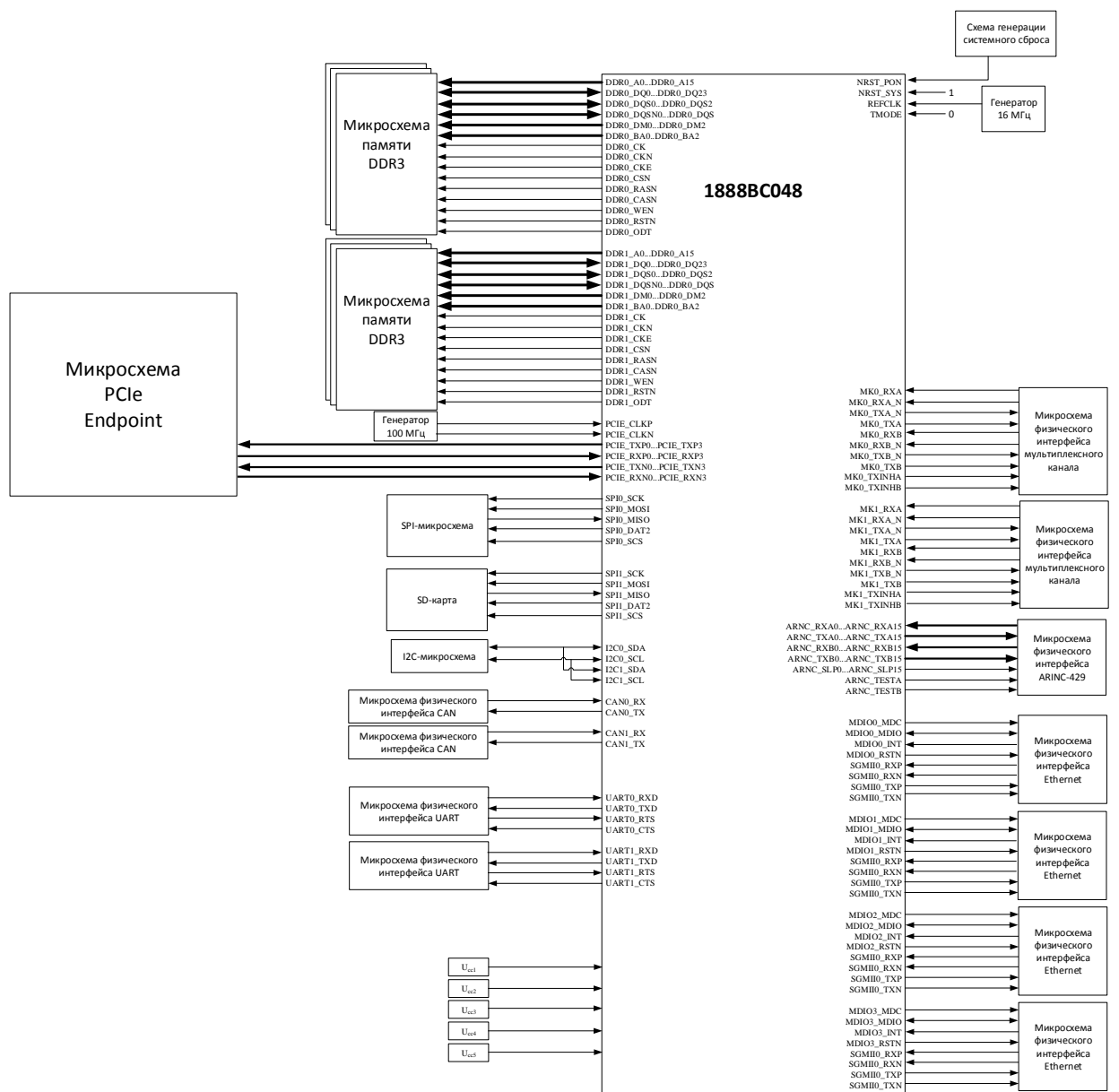


Рисунок 142 – Типичная схема включения СБИС МИ БИУС, работающей в режиме SNK

Описание микросхем окружения СБИС МИ БИУС приведено в таблице 668.

Таблица 668 – Описание микросхем окружения СБИС МИ БИУС

Наименование микросхемы	Описание назначения микросхемы	Пример микросхемы
Микросхема памяти DDR3	Основное ОЗУ для СБИС МИ БИУС, поддерживаются микросхемы стандартов до DDR3-1066/ DDR3L-1066. На каждый канал DDR3-памяти необходимо использовать три микросхемы DDR3-памяти с шириной шины 8 бит (x8)	MT41K512M8DA-093
Генератор 100 МГц	Генератор дифференциального опорного синхросигнала 100 МГц для интерфейса PCIe	Si52112-B5-GM2

					Лист	
					488	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

Наименование микросхемы	Описание назначения микросхемы	Пример микросхемы
SPI-микросхема	Микросхема флеш-памяти с SPI-интерфейсом для хранения исполняемого кода вторичного загрузчика (см. п. 1.4.2) или любая другая микросхема с произвольной функциональностью для случая, когда вторичный загрузчик хранится не в SPI-памяти	M25P32
SD-карта	SD-карта для хранения исполняемого кода вторичного загрузчика (см. п. 1.4.2) или любая другая микросхема с интерфейсом SDIO с произвольной функциональностью для случая, когда вторичный загрузчик хранится не на SD-карте. SD-карта подключается через SD-разъем	TS2GSDC
I2C-микросхема	ППЗУ с I2C-интерфейсом для хранения исполняемого кода вторичного загрузчика (см. п. 1.4.2) или любая другая микросхема с интерфейсом I2C с произвольной функциональностью для случая, когда вторичный загрузчик хранится не на ППЗУ с I2C-интерфейсом	AT24CM02
Микросхема физического интерфейса CAN	Обеспечивает электрический интерфейс между контроллером CAN, входящим в состав СБИС МИ БИУС, и CAN-сетью	SN65HVD233-Q1
Микросхема физического интерфейса UART	Обеспечивает электрический интерфейс RS-232, RS-485 или RS-422 между контроллером UART, входящим в состав СБИС МИ БИУС, и контроллером UART, входящим в состав другого компонента информационно-управляющей системы	MAX485 MAX3162
Микросхема физического интерфейса мультимплексного канала	Обеспечивает электрический интерфейс между контроллером МКИО, входящим в состав СБИС МИ БИУС, и контроллером МКИО, входящим в состав другого компонента информационно-управляющей системы	HI-1573 HI-1574
Микросхема физического интерфейса ARINC-429	Обеспечивает электрический интерфейс между контроллером ARINC-429, входящим в состав СБИС МИ БИУС, и ARINC-429-сетью	1586ИН4АУ 1586ИН4АУ1
Микросхема физического интерфейса Ethernet	Обеспечивает электрический интерфейс между контроллером Ethernet, входящим в состав СБИС МИ БИУС, и Ethernet-сетью (через разъем RJ-45)	DP83867E

2.2.2 Способы записи вторичного загрузчика во внешнюю ПЗУ

Согласно информации, изложенной в п. 1.4.2, загрузка СБИС МИ БИУС происходит в два этапа, при этом, на втором этапе используется вторичный загрузчик, образ исполняемого кода которого к моменту начала использования изделия на базе СБИС МИ БИУС должен быть записан в одной из внешних по отношению к нему микросхем ПЗУ (см. п. 1.4.2.3).

Запись образа исполняемого кода вторичного загрузчика в микросхемы ПЗУ выполняется следующими способами:

- 1) Для микросхем SPI- и I²C -памяти:

									Лист
									489
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ				
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
34203-3	<i>Redell</i> 24.10.2019			34203-2					

- a. До их монтажа на печатную плату изделия на базе СБИС МИ БИУС – через программирование микросхем в специализированных программаторах ПЗУ;
 - b. После их монтажа на печатную плату изделия на базе СБИС МИ БИУС:
 - i. через внешний программатор ПЗУ. При данном способе, СБИС МИ БИУС удерживается в состоянии активного сброса, в результате чего все его выходные КМОП- и I²C-выводы, в том числе и подключенные к внешним микросхемам ПЗУ, удерживаются в Z-состоянии. Одновременно с этим, к выводам микросхемы ПЗУ подключается внешний программатор, который осуществляет запись образа вторичного загрузчика в микросхему ПЗУ. При данном способе модуль с СБИС МИ БИУС должен иметь в своем составе соединители для подключения программаторов ПЗУ;
 - ii. Через хост-режим микросхемы. В момент загрузки СБИС МИ БИУС переводится в хост-режим, после чего через один из хост-интерфейсов во внутреннюю память IM0 загружается образ вторичного загрузчика и программа, которая должна выполнять запись образа вторичного загрузчика в соответствующие ПЗУ через программирование контроллеров SPI- и I2C-интерфейса;
- 2) Для SD-карты:
- a. При возможности извлечения SD-карты из изделия на базе СБИС МИ БИУС – через использование программатора SD-карт;
 - b. При невозможности извлечения SD-карты из изделия на базе СБИС МИ БИУС – через хост-режим микросхемы, аналогично способу записи в SPI- и I²C-памяти (см. п. 1.а.ii).

2.2.3 Указания по включению и опробованию работы изделия

Подача напряжений питания и входных сигналов на микросхему в следующем порядке:

- выводы TMODE, GPIO0_0, GPIO0_1, GPIO0_2 устанавливаются в состояние, задающее режим работы микросхемы (см. п. 1.4.1.2) ;
- подается активный уровень сигнала системного сброса на вывод NRST_PON;
- на микросхему подается электропитание одновременно или в следующем порядке:
 - а) подается напряжение питания ядра – U_{cc2};
 - б) подается напряжение питания КМОП-буферов ввода/вывода – U_{cc1};
 - в) подается напряжение питания схем ФАПЧ, приемопередатчиков интерфейсов PCIe и SGMII – U_{cc3};
 - г) подается напряжение питания интерфейсов DDR3L – U_{cc4};
 - д) подается напряжение общего питания PCIe, буферов SGMII-интерфейса и термодатчика – U_{cc5}.
- подается опорный синхросигнал на дифференциальные выводы PCIe_CLKP, PCIe_CLKN;
- подается опорный синхросигнал на вывод REFCLK;
- после стабилизации опорного синхросигнала REFCLK, активный уровень сигнала системного сброса на выводе NRST_PON должен удерживаться в течении периода T_{RESET} (см. п. 1.2.4.4), по окончании которого снимается.

Последовательность подачи остальных сигналов не регламентируется.

После снятия активного уровня сигнала системного сброса NRST_PON в СБИС МИ БИУС реализуется процедура начальной загрузки (см. п. 1.4.2.1.1), в процессе которой через интерфейс UART0 выдается диагностическая информация.

					Лист	
					490	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redhall</i> 24.10.2019		34203-2		

Диагностическая информация выдается в текстовом виде. При подаче питания загрузчик выводит следующую справочную информацию:

- 1) версию загрузчика, на основе которой произведена сборка;
- 2) информацию о значении конфигурационных бит ВООТМ0- ВООТМ2;
- 3) информацию о статусе прохождения индивидуальных компонентов процедуры самотестирования;
- 4) сводную информацию о загружаемом образе вторичного загрузчика непосредственно перед исполнением.

Точный формат выводимых сообщений может меняться в зависимости от версии загрузчика.

2.3 Использование изделия

2.3.1 Порядок контроля работоспособности изделия

Изделие считается работоспособным, если после выполнения указаний по включению (см. п. 2.2.3) через UART0 получена диагностическая информация со статусом успешного прохождения всех индивидуальных компонент процедуры самотестирования (см. пп. 2.2.3 и 1.4.2.1).

2.3.2 Перечень возможных неисправностей в процессе использования изделия по назначению и рекомендации по действиям при их возникновении

В процессе функционирования СБИС МИ БИУС могут возникать два типа ошибок:

- устранимые;
- неустраняемые.

К устранимым относятся ошибки, которые могут быть исправлены непосредственно в процессе работы СБИС МИ БИУС или полной перезагрузкой СБИС МИ БИУС путем подачи на его вход NRTS_PON активного уровня. Такие ошибки могут возникать как результат некорректной работы ПО, выполняющегося на центральном процессоре СБИС МИ БИУС или взаимодействующего с ним через внешние интерфейсы, или как результат воздействия внешних факторов, не приводящих к перманентному выходу из строя узлов микросхемы.

К неустраняемым относятся ошибки, возникающие вследствие воздействия внешних факторов, приводящих к перманентному выходу из строя узлов микросхемы. В этом случае восстановить работоспособность СБИС МИ БИУС не представляется возможным и микросхема подлежит замене.

Для подавления тиристорного эффекта по цепи питания U_{cc5} , который может возникать при воздействии спецфакторов (см. ЮФКВ.431268.020.ТУ), рекомендуется использовать микросхемы защиты от тиристорного эффекта. Микросхема защиты временно отключает питание микросхемы 1888BC048 в случае детектирования возникновения тиристорного эффекта по возрастанию тока, потребляемого по цепи питания U_{cc5} . Согласно ВАХ тиристорных структур, приведенных в ЮФКВ.431268.020.ТУ, пороговое значение тока потребления, при достижении которого детектируется возникновение тиристорного эффекта (ТЭ), составляет 200 мА.

На рисунках 143 и 144 приведены примеры схемотехнических решений, основанные на микросхемах 1469TK035 и 3DFP0806.

					ЮФКВ.431268.020РЭ		Лист
							491
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
34203-3		<i>Redell</i> 24.10.2019		34203-2			

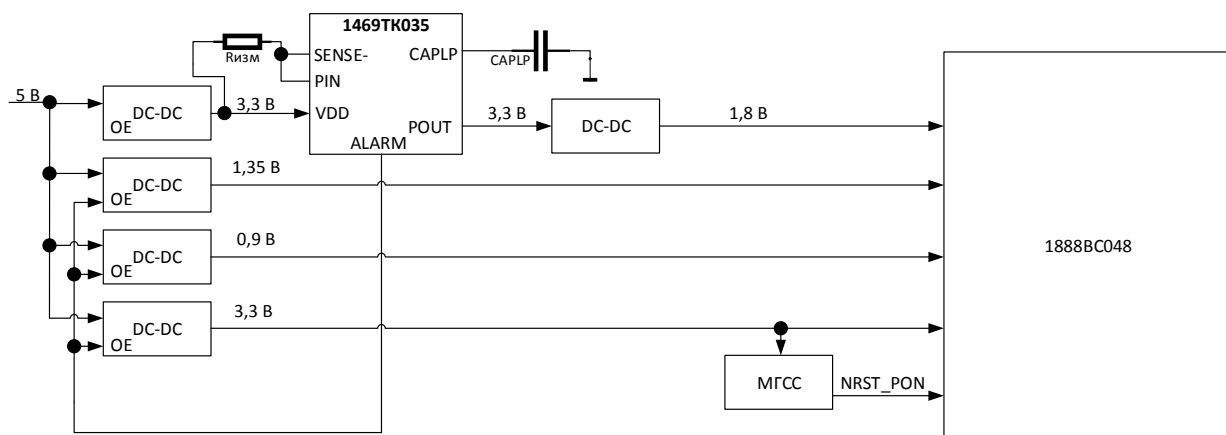


Рисунок 143 – Схемотехническое решение парирования ТЭ на основе микросхемы 1469TK035

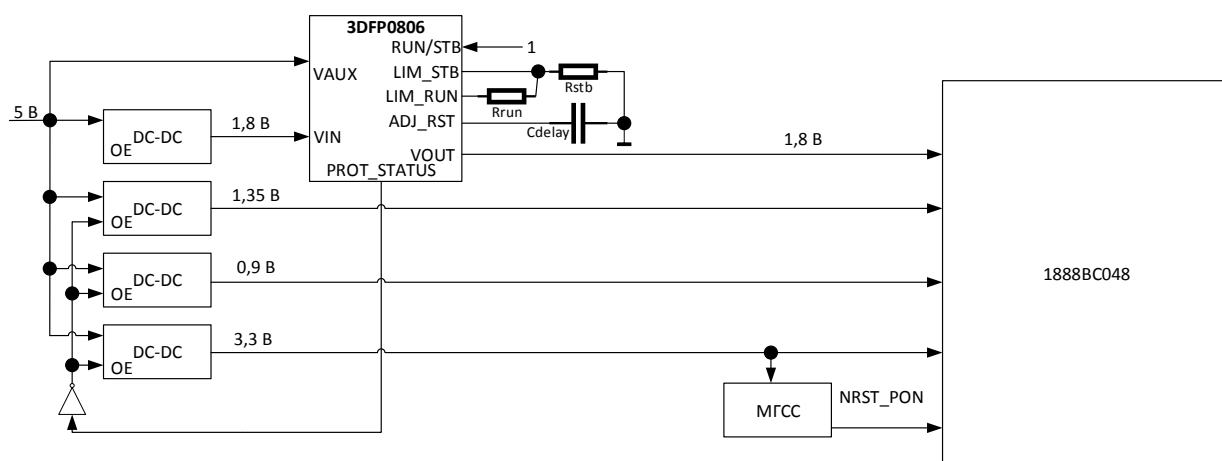


Рисунок 144 – Схемотехническое решение парирования ТЭ на основе микросхемы 3DFP0806

Схемотехническое решение на основе микросхемы 1469TK035 реализует следующую последовательность действий в случае детектирования возникновения ТЭ:

1. Ограничивает на временной интервал T_{prot} ток по цепи питания U_{cc5} до уровня, незначительно превышающего пороговый уровень детектирования возникновения ТЭ.
2. Если в течение временного интервала T_{prot} уровень потребляемого тока по цепи питания U_{cc5} опускается ниже порогового уровня детектирования возникновения ТЭ, микросхема 1469TK035 снимает ограничение тока по цепи питания U_{cc5} и питание микросхемы 1888BC048 восстанавливается в полном объеме.
3. Если в течение временного интервала T_{prot} уровень потребляемого тока по цепи питания U_{cc5} не опускается ниже порогового уровня детектирования возникновения ТЭ, микросхема 1469TK035:
 - а) полностью отключает питание по цепи U_{cc5} ;
 - б) спустя временной интервал T_{prot} после отключения питания устанавливает сигнал ALARM в активное состояние (логический 0). Данный сигнал подается на выводы разрешения работы линейных DC-DC-преобразователей, отключая подачу электропитания по остальным цепям питания микросхемы 1888BC048.
4. Спустя временной интервал $31 * T_{prot}$ микросхема 1469TK035:
 - а) восстанавливает электропитание микросхемы 1888BC048 по цепи U_{cc5} ;
 - б) устанавливает сигнал ALARM в неактивное состояние (логическая 1), что разрешает работу DC-DC линейных преобразователей и восстанавливает питание микросхемы по остальным цепям питания. Восстановление питания по цепи U_{cc1} приводит к

					Лист
					492
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.020РЭ
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
34203-3	<i>Redell</i> 24.10.2019		34203-2		

формированию микросхемой генерации сигнала сброса (МГСС) активного уровня сигнала сброса, подаваемого на вывод NRST_PON микросхемы 1888BC048.

5. После стабилизации уровня питания по цепи U_{cc1} микросхемой генерации сигнала сброса снимается активный уровень сигнала с вывода NRST_PON и микросхема 1888BC048 возвращается к штатному функционированию.

Пороговый уровень тока потребления, при котором детектируется возникновение ТЭ, и значение временного интервала T_{prot} для данного схемотехнического решения настраивается при помощи, соответственно, резистора $R_{изм}$ и конденсатора CAPLP, подключаемых к микросхеме 1469TK035.

Значение $R_{изм}$ для парирования возникающего ТЭ должно рассчитываться по формулам, приведенным в РЭ на микросхему 1469TK035. Для микросхемы 1888BC048 значение $R_{изм}$ должно составлять 0,5 Ом для порогового тока 200 мА.

Рекомендованное значение CAPLP составляет 2 нФ, что, согласно РЭ на микросхему 1469TK035, задает значение T_{prot} в интервале от 15 до 25 мс.

Схемотехническое решение на основе микросхемы 3DFP0806 реализует следующую последовательность действий в случае детектирования возникновения ТЭ:

1. Микросхема 3DFP0806:

- а) полностью отключает питание по цепи U_{cc5} через 10 мкс после детектирования возникновения ТЭ;
- б) устанавливает сигнал PROT_STATUS в активное состояние (логическая 1). Данный сигнал через инвертор подается на выводы разрешения работы линейных DC-DC-преобразователей, отключая подачу электропитания по остальным цепям питания микросхемы 1888BC048.

2. Спустя временной интервал $T_{restart}$ микросхема 3DFP0806:

- а) восстанавливает электропитание микросхемы 1888BC048 по цепи U_{cc5} ;
- б) устанавливает сигнал PROT_STATUS в неактивное состояние (логический 0), что разрешает работу DC-DC линейных преобразователей и восстанавливает питание микросхемы по остальным цепям питания. Восстановление питания по цепи U_{cc1} приводит к формированию микросхемой генерации сигнала сброса (МГСС) активного уровня сигнала сброса, подаваемого на вывод NRST_PON микросхемы 1888BC048.

3. После стабилизации уровня питания по цепи U_{cc1} микросхемой генерации сигнала сброса снимается активный уровень сигнала с вывода NRST_PON и микросхема 1888BC048 возвращается к штатному функционированию.

Пороговый уровень тока потребления, при котором детектируется возникновение ТЭ, и значение временного интервала $T_{restart}$ для данного схемотехнического решения настраивается при помощи, соответственно, резистора R_{run} и конденсатора C_{delay} , подключаемых к микросхеме 3DFP0806.

Значения R_{run} и R_{stb} для парирования возникающего ТЭ должны рассчитываться по формулам, приведенным в РЭ на микросхему 3DFP0806. Для микросхемы 1888BC048 значения R_{run} и R_{stb} должны составлять, соответственно, 16,5 кОм и 16,2 кОм для порогового тока 200 мА.

Рекомендованное значение C_{delay} составляет 500 нФ, что, согласно РЭ на микросхему 3DFP0806, задает значение T_{reset} , равное 25 мс.

Для приведенных выше схемотехнических решений время полного восстановления работоспособности будет зависеть от временных параметров работы микросхемы защиты от тиристорного эффекта, DC-DC преобразователей и микросхемы генерации сигнала сброса. Оценка времени полного восстановления работоспособности производится по следующей формуле:

$$T_{восст} = T_{откл} + T_{вкл} + T_{DC-DC} + T_{нараст} + T_{МГСС},$$

где

$T_{откл}$ – задержка отключения микросхемой защиты от ТЭ питания микросхемы 1888BC048 после детектирования возникновения ТЭ;

					ЮФКВ.431268.020РЭ	Лист 493
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2		

$T_{\text{вкл}}$ – задержка включения микросхемой защиты от ТЭ питания микросхемы 1888BC048 относительно момента его отключения;

$T_{\text{DC-DC}}$ – время включения DC-DC преобразователей;

$T_{\text{нараст}}$ – время нарастания уровня напряжения по цепи питания U_{cc1} (3,3 В) до порогового значения срабатывания микросхемы генерации сигнала сброса;

$T_{\text{МГСС}}$ – задержка снятия микросхемой генерации сигнала сброса активного уровня сигнала сброса с микросхемы 1888BC048.

Для схемотехнического решения на основе микросхемы 1469TK035 с приведенными выше значениями $R_{\text{изм}}$ и C_{APLP} время полного восстановления работоспособности оценивается как

$$T_{\text{восст}} = T_{\text{откл}} + T_{\text{вкл}} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}} = T_{\text{prot}} + 31 * T_{\text{prot}} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}} = 25 \text{ мс} + 31 * 25 \text{ мс} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}} = 800 \text{ мс} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}}.$$

Для схемотехнического решения на основе микросхемы 3DFP0806 с приведенными выше значениями $R_{\text{гуп}}$, R_{stb} и C_{delay} время полного восстановления работоспособности оценивается как

$$T_{\text{восст}} = T_{\text{откл}} + T_{\text{вкл}} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}} = T_{\text{prot}} + 31 * T_{\text{prot}} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}} = 10 \text{ мкс} + 25 \text{ мс} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}} \approx 25 \text{ мс} + T_{\text{DC-DC}} + T_{\text{нараст}} + T_{\text{МГСС}}.$$

Для обоих схемотехнических решений значения $T_{\text{DC-DC}}$, $T_{\text{нараст}}$, $T_{\text{МГСС}}$ определяются выбором компонентов ЭКБ при реализации конкретной РЭА.

2.3.3 Перечень режимов работы изделия и характеристики основных режимов работы

Перечень основных режимов работы и их характеристики изложены в п. 1.4.1.2.

2.3.4 Порядок и правила перевода изделия с одного режима работы на другой с указанием необходимого для этого времени

Безопасный перевод СБИС МИ БИУС из одного режима работы в другой осуществляется через перезагрузку путём подачи активного уровня сигнала NRST_PON и его снятия после определенной задержки (см. п. 1.2.4.4).

При этом новый режим работы определяется:

1. Состоянием входных сигналов TMODE, GPIO0_0, GPIO0_1, GPIO0_2 (см.п. 1.4.1.5).
2. Вторичным загрузчиком (см. п. 1.4.2.3).

2.3.5 Порядок приведения изделия в исходное положение

СБИС МИ БИУС приводится в исходное положение при помощи подачи активного уровня и снятия после определенной задержки активного уровня сигнала NRST_PON (см. п. 1.2.4.4).

2.3.6 Порядок выключения изделия, содержание и последовательность осмотра изделия после окончания работы

В общем случае, допускается выключение СБИС МИ БИУС путем отключения электропитания.

При необходимости, в зависимости от функциональности систем, в которых применяется СБИС МИ БИУС, перед выключением электропитания, возможно проведение мониторинга состояния как СБИС МИ БИУС в целом, так и его отдельных блоков через интерфейс PCe или DBG_JTAG.

					ЮФКВ.431268.020РЭ			Лист
								494
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhall</i> 24.10.2019		34203-2				

3 Техническое обслуживание изделия

Изделие является необслуживаемым.

4 Текущий ремонт изделия

Изделие неремонтопригодно. В случае неработоспособности изделия в составе устройства, ремонт устройства может осуществляться путем замены изделия, если подобная операция допускается документацией на устройство.

5 Хранение изделия

Микросхемы в штатной упаковке подлежат хранению в специальных шкафах, обеспечивающих поддержание комфортных (по температуре и влажности воздуха) климатических условий, обеспечивающих увеличение длительности хранения по сравнению с хранением в нормальных условиях, даже в условиях вскрытия герметичного полиэтиленового чехла. Более подробно описание упаковки приведено в подразделе 1.6.

6 Транспортирование изделия

Разрабатываемая микросхема в штатной упаковке допускает транспортирование всеми видами транспортных средств при условии выполнения требований, указанных на манипуляционных знаках, наносимых на транспортную тару. Пример нанесения указанных знаков приведен на рисунке 140.

При технической невозможности соблюдения требований ОСТ В 11 0998-99 по условиям транспортирования необходимо проводить дополнительное упаковывание микросхем.

7 Утилизация изделия

Микросхемы после снятия с эксплуатации подлежат утилизации в порядке и методами, устанавливаемыми в контракте на поставку.

					ЮФКВ.431268.020РЭ			Лист
								495
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
34203-3		<i>Redell</i> 24.10.2019		34203-2				

Перечень сокращений

АР – автоматический режим
АЦП – аналого-цифровой преобразователь
ВП МО РФ – военное представительство Министерства обороны Российской Федерации
ЕСС – error-correcting code – код коррекции ошибок
КМОП – комплиментарная структура метал-оксид-полупроводник
КШ – контроллер шины
МГСС – микросхема генератора синхросигналов
МИ БИУС – мультиконтроллер интерфейсов бортовой информационной управляющей системы
МКИО - мультиплексный канал информационного обмена по ГОСТ Р 52070-2003
МШ – монитор шины
ОЗУ – оперативное запоминающее устройство
ОТК – отдел технического контроля
ОУ – оконечное устройство
ПДП (DMA – Direct Memory Access) – прямой доступ к памяти
ПЗУ – постоянное запоминающее устройство
ПО – программное обеспечение
ППЗУ – перепрограммируемое ПЗУ
ПР – программный режим
РЭА – радиоэлектронная аппаратура
СБИС – сверхбольшая интегральная схема
СнК (SOK – System-on-a-Chip) – система на кристалле
СФ-блок – сложно-функциональный блок
ТЭ – тиристорный эффект
ФАПЧ (PLL – Phase lock loop) - фазовая автоподстройка частоты генератора тактового сигнала
ЦПУ (CPU - central processing unit) – центральное процессорное устройство
ЭКБ – электронная компонентная база
АНВ – Advanced High-performance Bus – шина для подключения высокопроизводительных устройств
АМВА – Advanced Microcontroller Bus Architecture - прогрессивная архитектура шины микроконтроллера
АРВ – Advanced Peripheral Bus – шина для подключения периферийных устройств
АХИ – Advanced eXtensible Interface – расширяема шина для подключения высокопроизводительных устройств
СКЕ – clock enable - сигнал блокировки подачи тактового сигнала
ID – IDentifier – идентификатор
МАС – Media Access Controller – контроллер канального уровня связи
РНУ – Physical layer – блок физического уровня связи
PIPE – РНУ Interface to PCI Express – интерфейс между МАС и РНУ

					ЮФКВ.431268.020РЭ			Лист
								496
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
34203-3		<i>Redhall</i> 24.10.2019		34203-2				