

Утвержден

ЮФКВ.431282.020РЭ-ЛУ

Микросхема интегральная 1879ВМ8Я

Руководство по эксплуатации

ЮФКВ.431282.020РЭ

Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	Справ.№
31406-4	09.11.2020	31406-3			

Содержание

1	Введение в архитектуру микросхемы 1879ВМ8Я	7
1.1	ОСНОВНЫЕ ОТЛИЧИТЕЛЬНЫЕ ОСОБЕННОСТИ МИКРОСХЕМЫ 1879ВМ8Я	7
1.2	ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И НАЗНАЧЕНИЕ МИКРОСХЕМЫ	8
1.2.1	Характеристики микросхемы	8
1.2.2	Области применения микросхемы 1879ВМ8Я	9
1.3	ОБЩАЯ СТРУКТУРА МИКРОСХЕМЫ 1879ВМ8Я	10
1.3.1	Функциональный состав мультипроцессорной системы	10
1.3.2	Шинная структура и карта памяти микросхемы 1879ВМ8Я	13
1.3.3	Коммуникационные порты и система каналов межпроцессорного обмена	17
1.3.4	Система межпроцессорных прерываний	19
1.3.5	Функциональные выводы	21
2	Архитектура и структура процессорного ядра NMC4	29
2.1	ОСНОВНЫЕ АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ ПРОЦЕССОРНОГО ЯДРА NMC4	29
2.1.1	Обобщённая структура процессорной системы цифровой обработки сигналов на базе процессорного ядра NMC4	29
2.1.2	Статический VLIW	31
2.1.3	Многотактные векторные команды и векторно-конвейерная организация вычислений (динамический VLIW)	33
2.1.4	Особенности работы конвейера команд при обмене данными с памятью	34
2.1.5	Единый адресный генератор процессорного ядра	36
2.1.6	Аппаратная вершина системного стека	36
2.1.7	Система прерываний	37
2.1.7.1	Типы прерываний	37
2.1.7.2	Внутренние и внешние прерывания процессорного ядра	38
2.2	УПРАВЛЯЮЩЕЕ RISC-ЯДРО	40
2.2.1	Структура RISC-ядра	40
2.2.2	Основные режимы работы RISC-ядра и методы адресации памяти	42
2.2.3	Регистр слова состояния процессора PSWR	42
2.2.4	Регистр запросов на прерывание INTR	43
2.3	МАТРИЧНО-ВЕКТОРНЫЙ СОПРОЦЕССОР АРИФМЕТИКИ С ПЛАВАЮЩЕЙ ТОЧКОЙ	46
2.3.1	Базовые операции матрично-векторного сопроцессора	46
2.3.2	Структура матрично-векторного сопроцессора	47
2.3.3	Форматы векторных данных	49
2.3.3.1	Данные	49
2.3.3.2	64-разрядные слова упакованных данных в памяти	49
2.3.4	Центральный блок управления сопроцессором	50
2.3.5	Процессорная ячейка	55
2.3.6	Блок упаковки и распаковки данных	61
2.4	СИСТЕМА КОМАНД ПРОЦЕССОРНОГО ЯДРА NMC4	63
2.4.1	Форматы команд, задающих пересылку данных типа «регистр управляющего RISC-процессора – память»	65
2.4.2	Форматы команд пересылки данных типа «регистр-регистр» между регистрами управляющего RISC-процессора	67
2.4.3	Форматы команд модификации адресных регистров управляющего RISC-процессора	67
2.4.4	Форматы команд управления RISC-процессора	68

Удостоверен ЮФКВ.431282.020РЭ-УД

ЮФКВ.431282.020РЭ				
Изм.	Лист	№ докум.	Подп.	Дата
Разраб.	Виксне			
Пров.	Шелухин			
Нач.сект.	Черников			
Н.контр.	Левицкая			
Утв.				
Микросхема интегральная 1879ВМ8Я Руководство по эксплуатации				
		Лит.	Лист	Листов
		А	2	546
Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020	31406-3		
				Перв.примен.
				ЮФКВ.431282.020

2.4.5	Форматы поля КОП СК (код операции скалярной команды управляющего RISC-процессора)	70
2.4.6	Формат поля КОП СК, задающего операцию сдвига	71
2.4.7	Формат поля КОП СК, задающего логическую операцию	73
2.4.8	Формат поля КОП СК, задающего арифметическую операцию	74
2.4.9	Поле выбора адресного регистра управляющего RISC-процессора	75
2.4.10	Поле Rист/пр-к в командах пересылки данных управляющего RISC-процессора.....	76
2.4.11	Форматы команд, задающих пересылку данных типа «регистр сопроцессора арифметики с плавающей точкой - память».....	79
2.4.12	Форматы команд пересылки данных типа «регистр-регистр» между регистрами сопроцессора арифметики с плавающей точкой	79
2.4.13	Арифметические векторные команды сопроцессора арифметики с плавающей точкой.....	80
2.4.14	Векторные команды ввода-вывода сопроцессора арифметики с плавающей точкой.....	84
2.4.15	Векторные команды пересылки данных для сопроцессора арифметики с плавающей точкой	87
2.4.16	Поле Rист/пр-к в командах пересылки данных сопроцессора арифметики с плавающей точкой...	89
3	Архитектура и структура вычислительного узла на базе процессорного ядра NMC4 (NMPU)	91
3.1	СТРУКТУРНАЯ СХЕМА NMPU	91
3.2	КАРТА ПАМЯТИ ПРОЦЕССОРНОГО УЗЛА NMPU	94
3.3	СИСТЕМНЫЙ ИНТЕГРАТОР И ОРГАНИЗАЦИЯ ДОСТУПА В ПАМЯТЬ	95
3.3.1	Мост «системный интегратор – АХІ».....	97
3.3.2	Интерфейс системного интегратора с периферийными устройствами.....	98
3.4	ВНУТРЕННЯЯ ПАМЯТЬ ПРОЦЕССОРНОГО УСТРОЙСТВА NMPU	98
3.5	БЛОК ПРЕДВЫБОРКИ КОМАНД IFU И УПРАВЛЕНИЕ КЭШ-ПАМЯТЬЮ КОМАНД.....	101
3.5.1	Программно доступные регистры блока управления кэш-памятью	102
3.6	БЛОК ЗАЩИТЫ ПАМЯТИ MPU	105
3.6.1	Разделение внутренней памяти NMPU на защищаемые сегменты.....	107
3.6.2	Программно доступные регистры блока защиты памяти	108
3.6.3	Прерывания	110
3.7	БЛОК КОММУНИКАЦИОННОГО ПОРТА	111
3.7.1	Приёмная часть блока коммуникационного порта.....	113
3.7.1.1	Структура приемной части блока коммуникационного порта.....	113
3.7.1.2	Принципы работы	114
3.7.2	Передающая часть блока коммуникационного порта	116
3.7.2.1	Структура передающей части блока коммуникационного порта	116
3.7.2.2	Принципы работы	117
3.7.3	Адресный генератор блока коммуникационного порта	119
3.7.4	Программная модель передающей части блока коммуникационного порта.....	121
3.7.5	Программная модель приёмной части блока коммуникационного порта.....	126
3.7.6	Прерывания блока коммуникационного порта.....	130
3.8	МОСТ «СИСТЕМНЫЙ ИНТЕГРАТОР – АХІ».....	131
3.8.1	Особенности работы моста	133
3.8.2	Эксклюзивные операции	134
3.8.3	Ошибки обращения.....	135
3.8.4	Программно доступные регистры моста «системный интегратор – АХІ».....	136
3.8.5	Прерывания	139
3.9	МОСТ «СИСТЕМНЫЙ ИНТЕГРАТОР - ПЕРИФЕРИЙНАЯ ШИНА NMPU»	140
3.10	БЛОК ПЕРИФЕРИЙНЫХ УСТРОЙСТВ (PU) ПРОЦЕССОРНОГО УЗЛА NMPU	142
3.10.1	Общие сведения.....	142
3.10.2	Системный контроллер NMPU.....	142
3.10.2.1	Программно доступные регистры системного контроллера NMPU.....	143
3.10.3	Контроллер внешних прерываний NMC.....	146
3.10.3.1	Внешние прерывания процессорного ядра NMC.....	147
3.10.3.2	Режимы подтверждения запросов	148
3.10.3.3	Приоритеты запросов	148
3.10.3.4	Программно доступные регистры контроллера внешних прерываний.....	148
3.10.4	Блок таймеров NMPU.....	151
3.10.4.1	Программно доступные регистры блока таймеров.....	152
3.10.4.2	Принцип работы таймеров.....	153

									Лист
									3
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020	31406-3						

4	Структура процессорного кластера PC.....	155
4.1	СТРУКТУРНАЯ СХЕМА ПРОЦЕССОРНОГО КЛАСТЕРА PC.....	155
4.1.1	Основные потоки данных в кластере.....	158
4.1.1.1	Обмен данными с внешней памятью.....	158
4.1.1.2	Обмен данными между банками внутренней памяти узлов NMPU.....	158
4.1.1.3	Настройка и мониторинг кластера управляющим процессором ARM.....	158
4.1.2	Шинная структура процессорного кластера PC.....	159
4.2	КАРТА ПАМЯТИ CPU.....	160
4.3	УПРАВЛЯЮЩИЙ СКАЛЯРНЫЙ ПРОЦЕССОР ARM CORTEX-A5.....	161
4.4	ВНУТРЕННЯЯ ПАМЯТЬ КЛАСТЕРА PC.....	163
4.4.1	Общие сведения о механизме эксклюзивного доступа.....	163
4.4.2	Общий порядок эксклюзивных операций.....	163
4.4.3	Эксклюзивные операции ядра ARM.....	164
4.4.4	Эксклюзивные операции NMPU.....	165
4.5	КОНТРОЛЛЕРЫ КОММУНИКАЦИОННЫХ ПОРТОВ CP0 - CP3.....	168
4.6	КОММУТАТОРЫ КАНАЛОВ СВЯЗИ LC0 - LC3.....	169
4.6.1	Структура коммутатора каналов связи.....	169
4.6.2	Программно доступные регистры коммутаторов каналов связи.....	170
4.6.3	Коммутация портов.....	172
4.7	КОНТРОЛЛЕР ПДП ПАМЯТЬ-ПАМЯТЬ MDMAC.....	174
4.7.1	Программно доступные регистры контроллера MDMAC.....	174
4.7.1.1	Прерывания от контроллера MDMAC.....	178
4.8	ВНЕШНИЙ ВЫСОКОСКОРОСТНОЙ ЛИНК EL.....	180
4.8.1	Основные характеристики.....	180
4.8.2	Структура внешнего высокоскоростного линка EL.....	181
4.8.3	Контроллер линка EL.....	182
4.8.3.1	Общие сведения.....	182
4.8.3.2	Программно доступные регистры контроллера.....	183
4.8.3.3	Стандартные алгоритмы работы с MAC.....	190
4.8.3.4	Принципы работы MAC.....	192
4.8.4	Пропускная способность.....	206
4.9	КОНТРОЛЛЕР ИНТЕРФЕЙСА С ВНЕШНЕЙ ДИНАМИЧЕСКОЙ ПАМЯТЬЮ EMI CPU.....	207
4.9.1	Общее описание контроллера.....	207
4.9.2	Структурная схема контроллера.....	207
4.9.3	Принципы функционирования контроллера.....	208
4.9.3.1	Режимы пониженного потребления.....	208
4.9.3.2	Настройка контроллера.....	210
4.9.4	Программно доступные регистры.....	210
4.10	БЛОК ЗАЩИТЫ ПАМЯТИ MPU.....	256
4.10.1	Разделение внутренней памяти на защищаемые сегменты.....	257
4.10.2	Программно доступные регистры блока защиты памяти.....	259
4.10.3	Прерывания.....	261
4.11	КОНТРОЛЛЕР ПРЕРЫВАНИЙ GIC.....	261
4.11.1	Устройство системного контроллера прерываний.....	262
4.11.2	Запросы на прерывание.....	263
4.11.3	Интерфейс GIC с процессорным ядром ARM.....	266
4.11.4	Группы прерываний.....	267
4.11.5	Состояния обработки прерываний.....	267
4.11.6	Вложенные прерывания.....	268
4.11.7	Регистровая модель системного контроллера прерываний GIC.....	268
4.11.8	Порядок работы с GIC.....	283
4.12	БЛОК СДВОЕННЫХ ТАЙМЕРОВ DIT.....	285
4.12.1	Устройство блока сдвоенных таймеров.....	285
4.12.2	Регистровая модель блока сдвоенных таймеров.....	286
4.12.3	Прерывания.....	293
4.13	УНИВЕРСАЛЬНЫЙ БЛОК ИНТЕРФЕЙСОВ ОБЩЕГО НАЗНАЧЕНИЯ GPIO/EXTINT/REQUEST-ACKNOWLEDGE (GERA).....	294
4.13.1	Устройство универсального блока интерфейсов общего назначения.....	294
4.13.2	Программно доступные регистры универсального блока интерфейсов общего назначения.....	296
4.13.3	Конфигурация регистров универсального блока интерфейсов общего назначения.....	297
4.13.4	Описание работы блока.....	299

					Лист
					4
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

4.13.4.1	Настройка выводов	299
4.13.4.2	Функционирование	299
4.14	СИСТЕМНЫЙ КОНТРОЛЛЕР ПРОЦЕССОРНОГО КЛАСТЕРА CLSC	303
4.14.1	Программно доступные регистры системного контроллера CLSC	303
4.15	ГЕНЕРАТОР ТАКТОВЫХ СИГНАЛОВ И СИГНАЛОВ СБРОСА CRGH	306
4.15.1	Особенности CRGH	306
4.15.2	Программно доступные регистры генератора тактовых сигналов и сигналов сброса CRGH	308
4.15.3	Особенности работы CRGH	312
4.15.3.1	Генерация сигналов сброса	312
4.15.3.2	Генерация тактовых сигналов	316
5	Структура микросхемы 1879VM8Я	321
5.1	СТРУКТУРНАЯ СХЕМА МИКРОСХЕМЫ 1879VM8Я	321
5.1.1	Основные потоки данных в микросхеме 1879VM8Я	323
5.1.2	Шинная структура микросхемы 1879VM8Я	325
5.1.3	Карта памяти микросхемы 1879VM8Я	325
5.1.4	Система межпроцессорной функциональной синхронизации	329
5.1.4.1	Прерывания между вычислительными узлами 1879VM8Я	329
5.1.4.2	Синхронизация на основе ячеек общей памяти (семафоров)	330
5.2	УПРАВЛЯЮЩИЙ СКАЛЯРНЫЙ ПРОЦЕССОР ARM CORTEX-A5	330
5.3	ВНУТРЕННЯЯ ПАМЯТЬ CСРU	331
5.4	КОНТРОЛЛЕР ПДП КОММУНИКАЦИОННЫХ ПОРТОВ СР	331
5.5	КОНТРОЛЛЕР ПДП ПАМЯТЬ-ПАМЯТЬ MDMAC	331
5.6	КОНТРОЛЛЕР ИНТЕРФЕЙСА С ВНЕШНЕЙ ДИНАМИЧЕСКОЙ ПАМЯТЬЮ ЕМІ ССРU	331
5.7	БЛОК ЗАЩИТЫ ПАМЯТИ МРU	331
5.8	СИСТЕМНЫЙ КОНТРОЛЛЕР ПРЕРЫВАНИЙ GIC	331
5.9	БЛОК СДВОЕННЫХ ТАЙМЕРОВ DIT	334
5.10	УНИВЕРСАЛЬНЫЙ БЛОК ИНТЕРФЕЙСОВ ОБЩЕГО НАЗНАЧЕНИЯ GРIО/EXTINT	334
5.11	GRETH – КОНТРОЛЛЕР ИНТЕРФЕЙСА ETHERNET	335
5.11.1	Структура контроллера GRETH	336
5.11.2	Поддержка протоколов	336
5.11.3	Синхронизация	336
5.11.4	Интерфейс передатчика TxDMA	337
5.11.5	Интерфейс приемника RxDMA	339
5.11.6	MDIO-интерфейс	342
5.11.7	Интерфейс для удаленной отладки (Ethernet Debug Communication Link)	342
5.11.8	Программная модель	344
5.12	ВЫСОКОСКОРОСТНОЙ ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС PCIE	351
5.12.1	Устройство интерфейса PCIE	351
5.12.2	Программная модель	353
5.12.2.1	Описание программно доступных стандартных конфигурационных регистров (режим End Point)	361
5.12.2.2	Описание программно доступных стандартных конфигурационных регистров (режим Root Port)	392
5.12.2.3	Регистры локального управления	426
5.12.2.4	Регистры управления AXI-портом	447
5.12.2.5	Регистры управления контроллером ПДП	453
5.12.3	Базовое преобразование адресов	461
5.12.3.1	Изменение адресов шины AXI	461
5.12.3.2	Изменение адресов шины PCIE	461
5.12.3.3	Встроенный контроллер прямого доступа	462
5.12.4	Управление прерываниями	467
5.12.4.1	Исходящие прерывания	467
5.12.4.2	Входящие прерывания	467
5.13	СИСТЕМНЫЙ КОНТРОЛЛЕР CSC	468
5.13.1	Внешние выводы системного контроллера CSC	468
5.14	КОНТРОЛЛЕР СИНХРОННОГО ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА SPI	475
5.14.1	Внешние выводы интерфейса SPI	475
5.14.2	Программно доступные регистры контроллера SPI	476
5.14.3	Протокол передачи данных в различных режимах работы интерфейса SPI	484
5.14.3.1	Формат передачи данных спецификации Motorola SPI	484
5.14.3.2	Формат передачи данных спецификации Texas Instruments SPI	487
5.14.3.3	Формат передачи данных спецификации National Semiconductors Microwire	488
5.14.4	Работа контроллера ПДП интерфейса	489
5.14.5	Прерывания контроллера SPI	491

					Лист
					5
Изм.	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

5.15	СТОРОЖЕВОЙ ТАЙМЕР WDT	493
5.15.1	Организация работы сторожевого таймера	493
5.15.2	Программно доступные регистры блока сторожевого таймера	493
5.16	КОНТРОЛЛЕР ИЗМЕРЕНИЯ ТЕМПЕРАТУРЫ КРИСТАЛЛА С ТЕМПЕРАТУРНЫМ ДАТЧИКОМ TEMP SENS	498
5.16.1	Программно доступные регистры контроллера измерения температуры	498
5.16.2	Работа с контроллером измерения температуры кристалла	501
5.16.3	Прерывания контроллера измерения температуры на кристалле	502
5.17	ЗАГРУЗОЧНОЕ ПЗУ BROM И НАЧАЛЬНАЯ ЗАГРУЗКА МИКРОСХЕМЫ 1879ВМ8Я.....	503
5.17.1	Загрузка хост-контроллером	505
5.17.2	Начальная загрузка через порт SPI.....	506
5.17.3	Использование GPIOC для индикации состояния начального загрузчика.....	509
5.18	ПОДСИСТЕМА ГЕНЕРАТОРОВ ТАКТОВОГО СИГНАЛА И СИГНАЛОВ СБРОСА	509
5.18.1	Генераторы тактовых сигналов и сигналов сброса CRGL0 - CRGL3.....	512
5.18.2	Генератор тактовых сигналов и сигналов сброса CCRG	514
5.18.3	Синхросигналы и сигналы сброса блоков микросхемы.....	514
5.18.4	Максимальная частота тактового сигнала ACLK центральной процессорной системы.....	515
5.18.5	Режимы пониженного потребления микросхемы	516
5.19	ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ ДОСТУПА ДЛЯ ТЕСТОВЫХ И ОТЛАДОЧНЫХ ДАННЫХ DAP	518
5.19.1	Внешние выводы DAP.....	518
5.19.2	Рекомендуемая схема подключения DAP	519
6	Электрические, динамические и конструктивные характеристики микросхемы 1879ВМ8Я.....	522
6.1	Состав и расположение внешних выводов микросхемы 1879ВМ8Я	522
6.2	КОНСТРУКТИВНЫЕ ХАРАКТЕРИСТИКИ.....	537
6.3	ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ	539
6.4	ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ	541
6.4.1	Временные диаграммы и временные параметры тактовых сигналов и сигналов общего назначения.....	541
6.5	Порядок подачи питания при включении	544

										Лист
										6
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

1 Введение в архитектуру микросхемы 1879ВМ8Я

Микросхема интегральная 1879ВМ8Я (далее по тексту – микросхема) представляет собой высокопроизводительную гетерогенную многопроцессорную систему на кристалле (СнК), в состав которой входят 16 процессорных ядер NeuroMatrix Core 4 и 5 ядер ARM Cortex-A5. Она предназначена для использования в качестве универсальной платформы для построения широкого класса систем цифровой обработки широкополосных сигналов в радиолокации, навигации и связи.

1.1 Основные отличительные особенности микросхемы 1879ВМ8Я

Отличительными особенностями микросхемы 1879ВМ8Я являются:

- Гетерогенный характер мультипроцессорной системы. Использование процессорных ядер NMC4 с отечественной архитектурой NeuroMatrix для достижения требуемой производительности в 512 GFLOP/s и процессорных ядер Cortex-A5 с системой команд ARM для управления системой.
- Иерархическое построение мультипроцессорной системы, состоящей из управляющего процессорного узла (ПУ) и 4 процессорных кластеров, каждый из которых в свою очередь состоит из управляющего ПУ и 4 вычислительных ПУ (NMPU) на базе процессорного ядра NMC4.
- Широкий доступ процессорных ядер к данным за счет большого количества банков внутренней памяти в каждом ПУ (4 банка в управляющем ПУ и 8 банков в NMPU) и наличия пяти 32-разрядных интерфейсов с внешней памятью типа DDR3.
- Использование контроллеров ПДП в каждом управляющем ПУ для эффективного обмена данными между внешними и внутренними банками памяти.
- Единое адресное пространство в 4 Гбайта для всех процессоров СнК, что обеспечивается развитой системой шин и шинных коммутаторов.
- Развитая система широких каналов межпроцессорного обмена типа «точка-точка» для эффективной передачи информации между различными парами ПУ.
- Многоярусная система межпроцессорных прерываний для синхронизации вычислительных процессов, протекающих в различных ПУ.
- Аппаратная поддержка эксклюзивных операций при обращении к внутренней памяти любого ПУ, что позволяет организовать работу с общей памятью для нескольких процессорных ядер.

										Лист
										7
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

- Псевдо-двухпортовая организация банков внутренней памяти, позволяющая выполнять по два обращения в каждом такте для большинства методов адресации.
- Система поддержки мониторинга выполнения и отладки программ с использованием стандартных отладочных средств фирмы ARM.
- Высокопроизводительное процессорное ядро NMC4 с отечественной архитектурой NeuroMatrix, позволяющее выполнять до 32 операций за один процессорный такт благодаря реализации принципа динамического VLIW (Very Long Instruction Words) и векторно-конвейерного выполнения команд. Формат данных с плавающей точкой – 32 бита в соответствии со стандартом IEEE754. Также поддерживается обработка 64-разрядных данных в формате с плавающей точкой двойной точности, при этом достигается производительность до восьми операций за такт.

1.2 Основные характеристики и назначение микросхемы

Микросхема представляет собой высокопроизводительную гетерогенную многопроцессорную систему на кристалле. Она предназначена для использования в качестве основного или дополнительного вычислителя в вычислительных системах, интенсивно применяющих цифровую обработку сигналов. Его архитектура позволяет эффективно решать широкий круг задач, включая различные векторно-матричные вычислительные операции, вычисление преобразования Фурье, Адамара и прочих, цифровую фильтрацию, цифровую коммутацию. Микросхема может быть использована в качестве базового элемента при построении многопроцессорных параллельных вычислительных систем суперпроизводительности.

1.2.1 Характеристики микросхемы

Ниже приводятся основные характеристики, дающие представление об особенностях архитектуры и производительности микросхемы 1879BM8Я:

- Количество 32-разрядных процессорных ядер ARM Cortex-A5 – 5.
- Рабочая частота процессоров Cortex-A5 процессорных кластеров – 800 МГц.
- Рабочая частота управляющего процессора Cortex-A5 – 600 МГц.
- Количество процессорных ядер NMC4 с архитектурой NeuroMatrix – 16.
- Рабочая частота процессоров NMC4 – 1000 МГц.
- Суммарный объем банков внутренней памяти – 76 Мбит.

										Лист
										8
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

- Пиковая производительность всех ядер NMC4 – до 512 GFLOPS/c в формате плавающей точки одинарной точности и 128 GFLOPS/c в формате плавающей точки двойной точности.
- Количество 32-разрядных интерфейсов с внешней памятью типа DDR3 – 5.
- Суммарная пропускная способность интерфейсов с внешней памятью – 256 Гбит/с.
- Количество внешних дуплексных интерфейсов межпроцессорного обмена – 5 x 4.
- Суммарная пропускная способность внешних интерфейсов межпроцессорного обмена – 160 Гбит/с.
- Количество внутренних 64-разрядных дуплексных каналов межпроцессорного обмена – 44.
- Суммарная пропускная способность внутренних каналов межпроцессорного обмена – 5120 Гбит/с.

1.2.2 Области применения микросхемы 1879BM8Я

Микросхема предназначена для обработки больших объемов сигнальной информации в режиме реального времени в составе встраиваемой вычислительной техники радиолокационных, навигационных и связанных систем суперпроизводительности.

										Лист
										9
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

1.3 Общая структура микросхемы 1879ВМ8Я

1.3.1 Функциональный состав мультипроцессорной системы

Микросхема 1879ВМ8Я представляет собой высокопроизводительную гетерогенную многопроцессорную систему на кристалле (СнК), в состав которой входят 21 процессорный узел (ПУ), пять интерфейсов с внешней памятью типа DDR3, интерфейс с хост-процессором на базе PCIe2.0 и четыре высокоскоростных линка для связи с внешними процессорными системами.

Каждый ПУ построен на базе процессорного ядра NMC4 или Cortex-A5 и включает в себя от четырех до восьми банков внутренней памяти объемом 16Кх32 бита каждый, четыре коммуникационных порта и ряд периферийных устройств. Система содержит 16 идентичных ПУ на базе NMC4, которые обеспечивают суммарную производительность системы в 512 GFLOP/s, и пять ПУ на базе Cortex-A5, предназначенных для управления системой. Набор из 20 ПУ разбит на четыре одинаковых процессорных кластера по четыре ПУ на базе NMC4 и одного управляющего ПУ на базе Cortex-A5. К каждому кластеру подключена внешняя память типа DDR3. Еще один ПУ на базе Cortex-A5 осуществляет общее управление системой.

Рисунок 1.1 показывает общую структуру микросхемы 1879ВМ8Я. Здесь использованы следующие обозначения основных устройств системы:

NMPU_{ij} (NeuroMatrix Processing Unit) – j-й ПУ ($j = 0 - 3$) i-го кластера PC_i ($i = 0 - 3$) на базе NMC4. Каждый такой узел содержит восемь банков внутренней памяти, работает на частоте 1000 МГц и может выполнять до 32 операций с плавающей точкой одинарной точности в каждом процессорном такте.

CPU_i (Cortex Processing Unit) – управляющий ПУ i-го кластера PC_i ($i = 0 - 3$) на базе Cortex-A5. Каждый такой узел содержит четыре банка внутренней памяти, работает на частоте 800 МГц, осуществляет управление элементами кластера, обеспечивает доступ к памяти DDR3 по 32-разрядной шине данных и обмен данными с внешними устройствами по высокоскоростному линку EL_i.

PC_i (Processing Cluster) – i-й процессорный кластер ($i = 0 - 3$), состоящий из четырех ПУ на базе NMC и управляющего процессорного узла на базе Cortex-A5. Суммарная производительность кластера составляет 128 GFLOP/s, а суммарный объем внутренней памяти – 18 Мбит.

CCPU (Central Cortex Processing Unit) – центральный управляющий процессорный узел на базе Cortex-A5. Узел содержит четыре банка внутренней памяти, работает на частоте

										Лист
										10
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

600 МГц, осуществляет общее управление системой и обеспечивает доступ к памяти DDR3 по 32-разрядной шине данных.

DDRk – один из пяти ($k = 0 - 4$) интерфейсов с внешней памятью типа DDR3 с 32-разрядной шиной данных, обеспечивающей пропускную способность 6,4 Гбайт/с. Максимальный объем внешней памяти, подключаемой к такому интерфейсу, составляет 256М x 32 бит.

ELi (External Link) – внешний 4-проводной дуплексный линк, работающий на частоте 5 ГГц и предназначенный для обмена данными с другими процессорными системами. Каждый такой линк обеспечивает пропускную способность в 2 Гбайта/с в каждую сторону.

HI (Host Interface) – интерфейс с хост-процессором, реализованный на стандартном четырехканальном дуплексном интерфейсе PCIe2.0.

					ЮФКВ.431282.020РЭ				Лист
									11
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

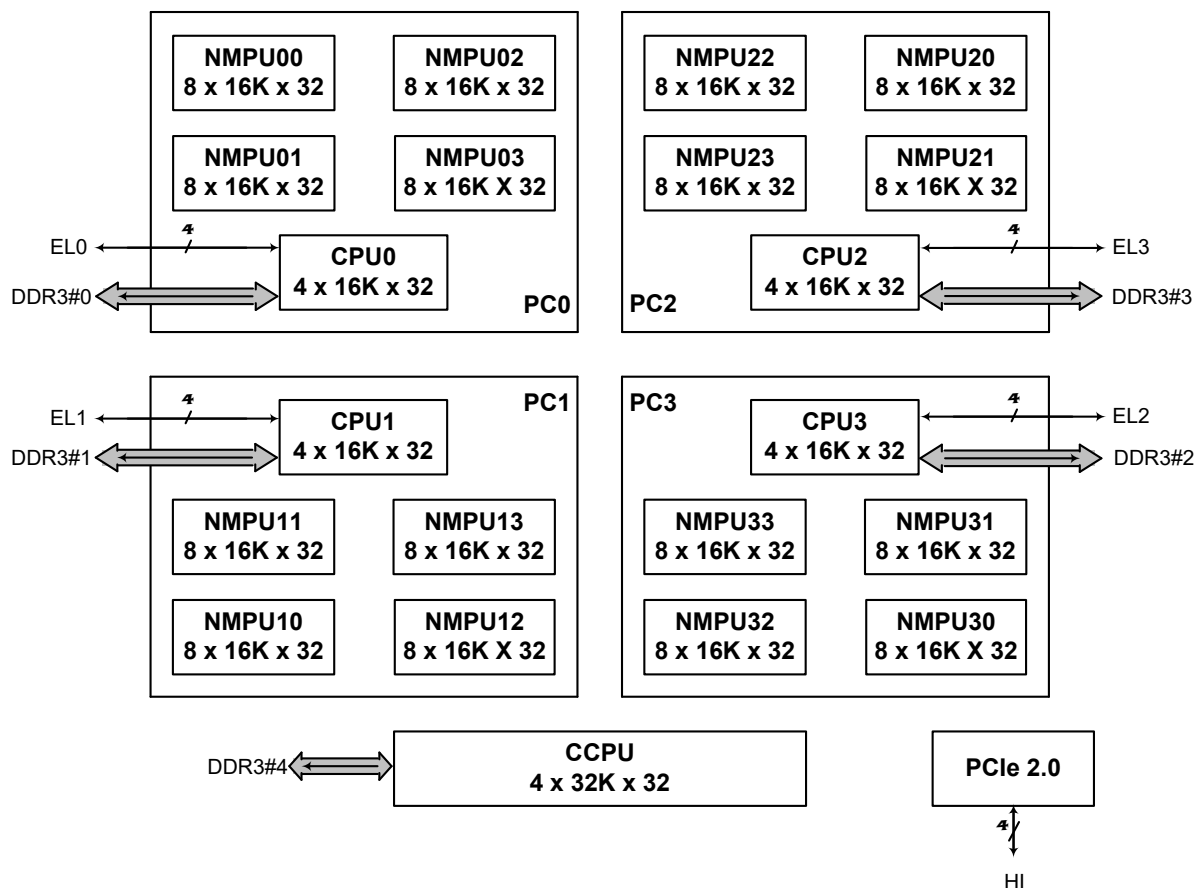


Рисунок 1.1 – Основные процессорные и периферийные узлы микросхемы 1879BM8Я

Таким образом, пиковая производительность СнК составляет 516 GFLOPS/с, суммарная пропускная способность интерфейсов с внешней памятью составляет 32 Гбайта/с, а внешних линков – 20 Гбайт/с.

1879BM8Я имеет внутреннюю память суммарным объемом 76 Мбит и пять интерфейсов с внешней памятью DDR суммарным объемом до 40,96 Гбит. Вся эта память включена в единое адресное пространство, доступное всем процессорам системы.

Для обмена информацией между ПУ применяется два механизма:

- Программный доступ каждого процессора к любой ячейке общего адресного пространства, выполняемый по системе шин и шинных коммутаторов, соединяющей все процессоры и банки памяти СнК и построенной в соответствии с протоколом AMBA AXI3.
- Обмен пакетами данных в режиме прямого доступа к памяти (ПДП) между любыми банками внутренней памяти, входящими в состав различных ПУ, через коммуникационные порты и систему каналов межпроцессорного обмена (КМО).

					Лист
					12
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

1.3.2 Шинная структура и карта памяти микросхемы 1879ВМ8Я

Система шин и шинных коммутаторов, соединяющая все процессорные узлы представлена на рисунке 1.2. Эта система построена в соответствии с протоколом AMBA AXI3.

Каждый ПУ с ядром NMC (NMPUxx) имеет два 64-разрядных внешних порта (порт slave и порт master), подключаемых к шинам AXI и работающих на частоте процессора NMC (1000 МГц). Через порт master процессор NMC данного ПУ получает доступ ко всей внешней (относительно ПУ) памяти, а порт slave обеспечивает доступ других процессоров к внутренней памяти данного ПУ.

Каждый ПУ с ядром Cortex-A5 (CPUx), входящий в состав кластера (PCx), имеет две пары 64-разрядных внешних портов slave и master. Одна пара портов slave и master работает на частоте 1000 МГц и обеспечивает подключение ресурсов всех NMPUxx данного кластера к остальной системе. Вторая пара портов slave и master работает на частоте 800 МГц и обеспечивает подключение всех ресурсов данного кластера к остальной системе. Через порт master 1000 МГц управляющий процессор данного кластера или любой процессор, не входящий в состав этого кластера, получают доступ к внутренней памяти любого NMPUxx данного кластера. Порт slave 1000 МГц обеспечивает доступ любого процессора NMC данного кластера к внутренней памяти управляющего ПУ этого кластера, внешней DDR-памяти этого кластера или всей памяти, находящейся за пределами кластера. Через порт master 800 МГц любой процессор данного кластера получает доступ ко всей памяти, находящейся за пределами кластера. Порт slave 800 МГц обеспечивает доступ любого процессора, не входящего в состав этого кластера, ко всей памяти данного кластера, включая его внешнюю DDR-память и внутреннюю память каждого ПУ кластера.

										Лист
										13
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

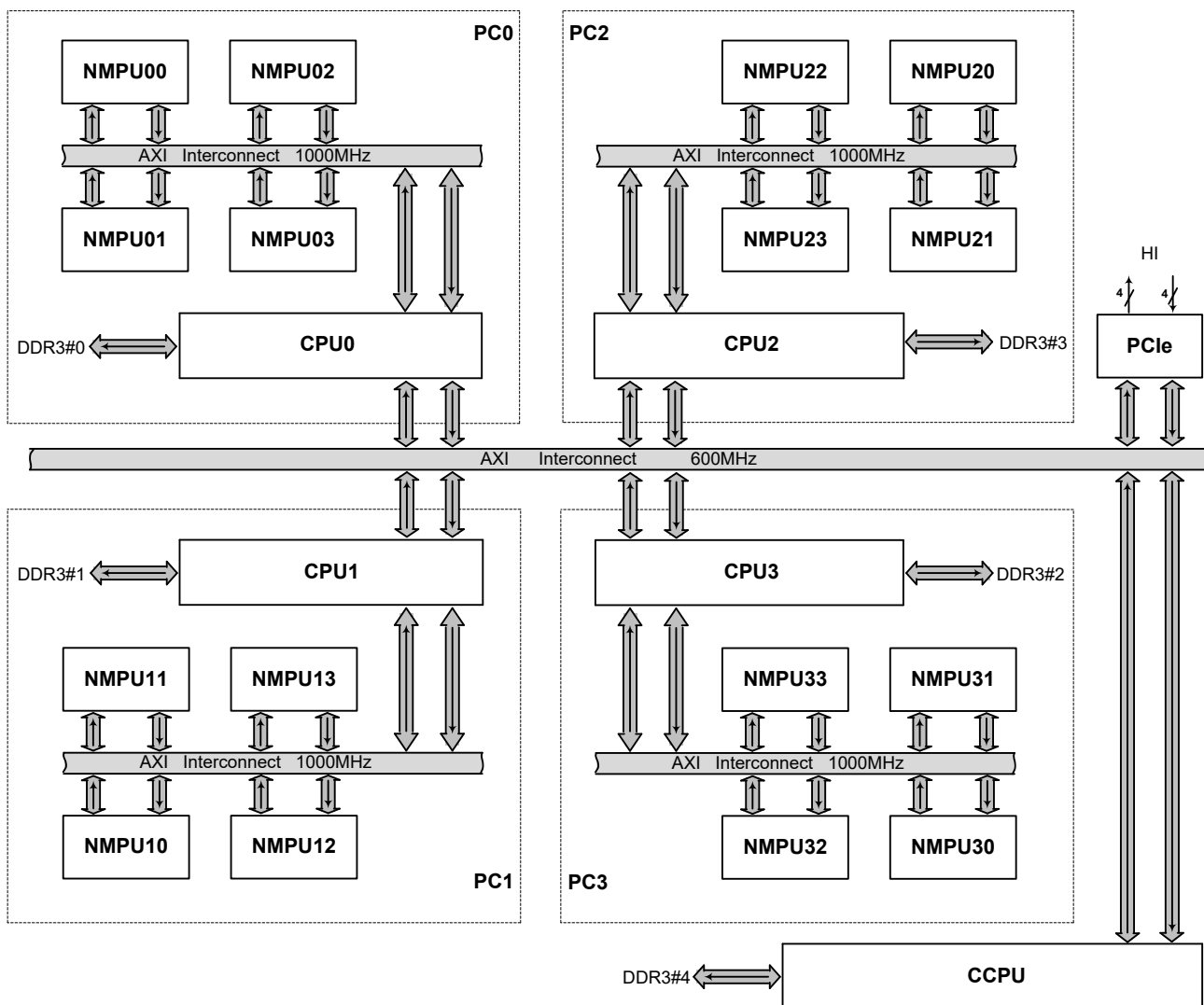


Рисунок 1.2 – Система межпроцессорных шин

Центральный ПУ с ядром Cortex-A5 (CCPU) также имеет два 64-разрядных внешних порта - slave и master, работающих на частоте 600 МГц. Через порт master центральный процессор Cortex-A5 получает доступ ко всей памяти, находящейся за пределами этого ПУ, а порт slave обеспечивает доступ других процессоров к внутренней или внешней памяти данного ПУ.

В каждом кластере имеется коммутатор (AXI Interconnect), к которому подключены все высокоскоростные (1000 МГц) шинные интерфейсы всех ПУ данного кластера. Данный коммутатор обеспечивает эффективный доступ каждого NMC к внутренней памяти соседних процессоров, входящих в состав этого кластера, а также обмен информацией между ресурсами NMPUxx данного кластера и другими ресурсами СнК.

В состав СнК входит центральный коммутатор (AXI Interconnect), к которому подключены шинные интерфейсы всех процессорных кластеров, центрального ПУ и

					Лист
ЮФКВ.431282.020РЭ					14
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

хост-интерфейса PCIe2.0. Данный узел работает на частоте 600 МГц и обеспечивает обмен информацией между основными узлами системы.

Для обеспечения работоспособности представленной выше системы шин в СнК предусмотрено единое адресное пространство всех элементов памяти, входящих в систему или подключенных к ней. Рисунок 1.3 описывает карту памяти для различных процессоров СБИС.

Здесь для обозначения шести старших областей памяти используются обозначения узлов, содержащие ячейки памяти с указанными адресами.

Оба используемых в СнК типа процессоров NMC и Cortex-A5 формируют 32-разрядные адреса. Однако они различаются дискретом адресации. NMC адресуют 32-разрядные слова, а в Cortex-A5 реализована байтовая адресация. Поэтому единое адресное пространство в СнК охватывает 4 Гбайта. Единый для обоих типов процессоров формат адреса совпадает с форматом адреса, формируемого Cortex-A5. Для перехода к этому единому формату генерируемые NMC адреса модифицируются следующим образом: добавляются два младших нулевых разряда, а два старших разряда отбрасываются. При этом адресуемое NMC пространство сокращается с 2^{32} до 2^{30} 32-разрядных слов.

Карта памяти микросхемы 1879VM8Я содержит семь основных областей.

На центральный коммутатор поступают только адреса шести старших областей памяти. Каждая из этих областей охватывает 512 Мбайт внутренней памяти одного из шести основных устройств, подключенных к центральному коммутатору. На рисунке 1.3 для обозначения этих областей используются имена соответствующих устройств (PCIe, SSPU, PC0, ..., PC3). Поэтому адресное пространство в области трех старших гигабайтов одинаковое для любого типа процессора, используемого в СнК.

Область младших адресов в 1 Гбайт отведена для адресации ячеек памяти, находящихся в том же основном устройстве, что и источник адреса. NMC, Cortex-A5, управляющий кластером, и центральный Cortex-A5 имеют различные организации области младших адресов, как показано на рисунке 1.3.

					Лист
					15
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

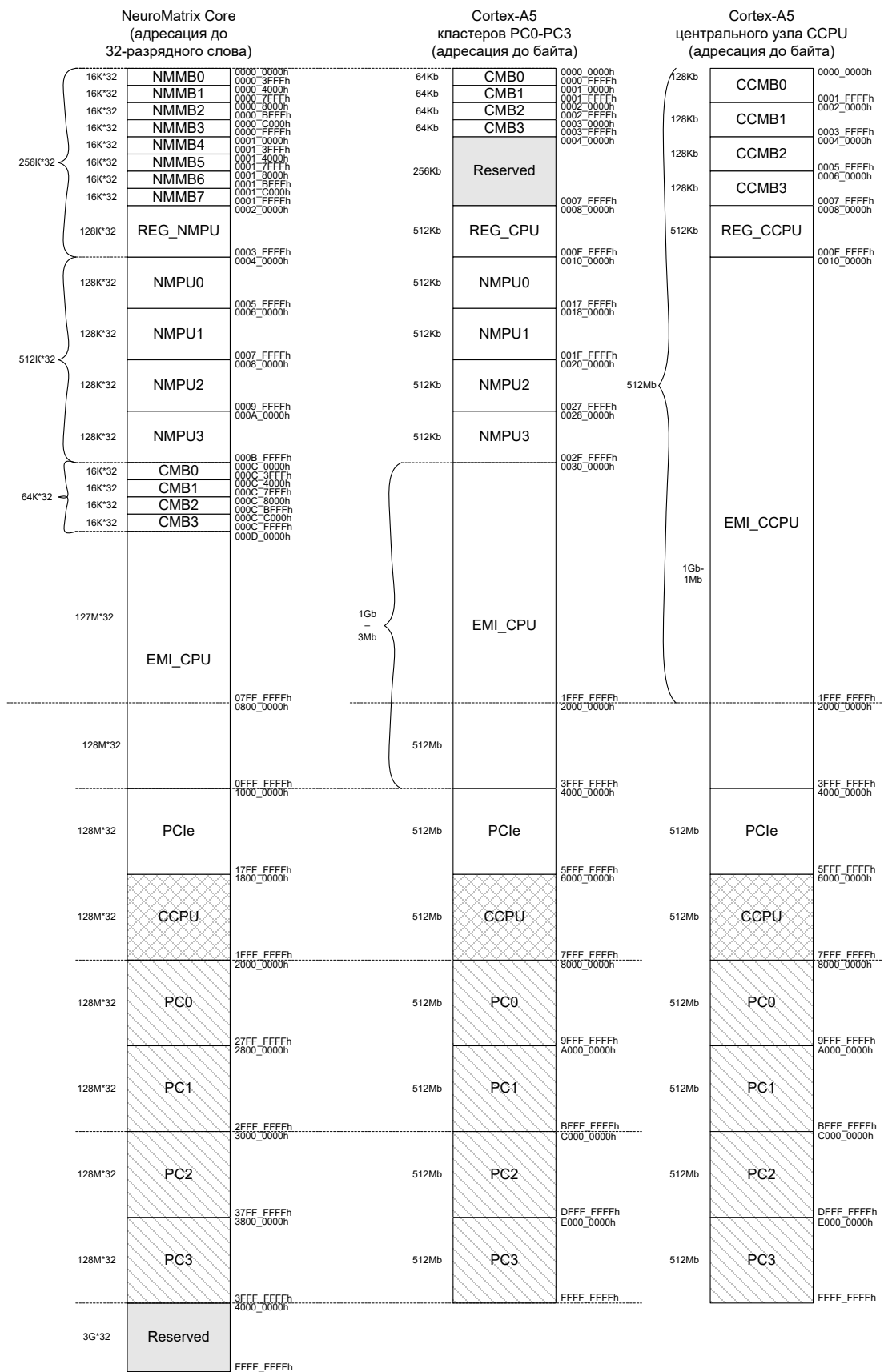


Рисунок 1.3 – Карта памяти микросхемы 1879BM8Я

					ЮФКВ.431282.020РЭ					Лист	
										16	
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

На рисунке 1.3 использованы следующие обозначения отдельных полей памяти:

- NMMBi (16К x 32) – i-й банк внутренней памяти (i = 0 - 7) NMPU;
- СМВj (16К x 32) – j-й банк внутренней памяти (j = 0 - 3) CPU ;
- ССМВj (32К x 32) – j-й банк внутренней памяти (j = 0 - 3) ССРU;
- REG_NMPU (128К x 32) – регистры внешних устройств NMPU;
- REG_CPU (198К x 32) – регистры внешних устройств CPU;
- REG_ССРU (198К x 32) – регистры внешних устройств ССРU;
- NMPUj (128К x 32) – внутренняя память j-го NMPU кластера;
- DDR_CPU (255М x 32) – DDR-память кластера;
- DDR_ССРU ((256М-256К) x 32) – DDR-память центрального управляющего ПУ.

СнК рассчитана на применение в каждом кластере и центральном ПУ внешней DDR-памяти объемом до 256М x 32. Причем, при использовании DDR-памяти объемом 256М x 32 в кластере будут недоступны 1М младших ячеек, а в центральном ПУ – 256К младших ячеек.

В запросах, поступающих в основные узлы (ССРU, РС0 - РС3) с центрального коммутатора, 29-й разряд адреса принудительно обнуляется. В результате этого формат области памяти ССРU для всех процессоров совпадает с форматом младшей половины первой области центрального процессора ССРU, а формат каждой из четырех старших областей (РС0 - РС3) совпадает с форматом младшей половины первой области управляющего процессора кластера CPU. Поэтому любому процессору при обращении к DDR-памяти другого кластера будет доступно не более 127М ее ячеек (младшие 1М ячеек недоступны по причине, указанной выше).

Еще одно ограничение в адресуемости заключается в том, что регистры внешних устройств в каждом NMPU доступны только своему процессору NMC.

1.3.3 Коммуникационные порты и система каналов межпроцессорного обмена

Для эффективного межпроцессорного обмена пакетами данных в СнК реализована сеть простых дуплексных каналов с высокой пропускной способностью. Каждый канал межпроцессорного обмена обеспечивает соединение типа «точка-точка», связывает два ПУ и имеет очень простой состав шин. КМО содержит два симметричных набора шин, работающих на встречных курсах. Для каждого направления передачи используется 64-разрядная шина данных, сопровождающий ее сигнал строга и встречный сигнал готовности к приему данных.

											Лист
											17
Изм.	Лист	№ докум.	Подп.	Дата							
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

Каждый КМО соединяет два коммуникационных порта (КП), расположенных в разных ПУ. КП с одной стороны подключен к КМО, а с другой – к шине АХИ, через которую в режиме ПДП осуществляется обмен пакетами данных с банками внутренней памяти ПУ. В состав КП входят интерфейс с КМО, интерфейс с портом master к шине АХИ и два канала ПДП (на чтение и на запись). Каждый канал ПДП содержит счетчик текущего адреса, счетчик числа передаваемых слов, буфер данных и регистр управления каналом.

Рисунок 1.4 показывает схему межпроцессорного обмена в микросхеме 1879ВМ8Я.

Схема каналов межпроцессорного обмена

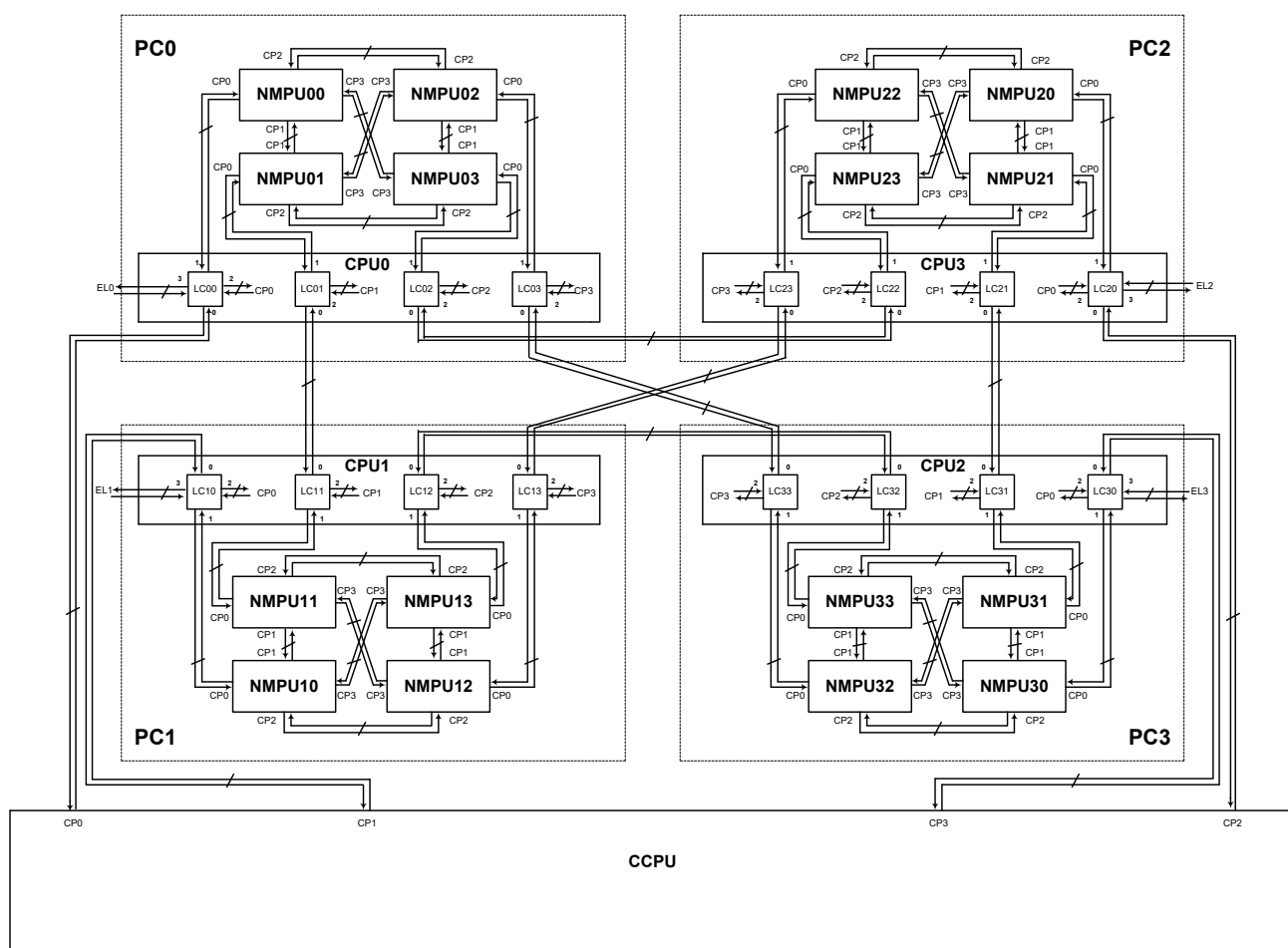


Рисунок 1.4 – Схема каналов межпроцессорного обмена

В состав каждого ПУ входят четыре КП. Кроме того, в состав управляющих ПУ на базе Cortex-A5 входят по четыре коммутатора КМО (LCxx). Состояние коммутаторов задается управляющим Cortex-A5 путем программирования регистра состояния, входящего в состав коммутатора. К каждому из трёх коммутаторов LCx1 - LCx3 подключены три КМО – один от КП данного ПУ и два внешних. Коммутатор имеет три состояния, в каждом из которых осуществляется соединение двух КМО.

					Лист
					18
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

К четвёртому коммутатору LCx0, помимо трёх КМО, подключён внешний высокоскоростной порт ELCx. Каждый такой внешний порт имеет 4 внешних дуплексных линии, реализован на основе физической части интерфейса PCIe2.0 и обеспечивает пропускную способность 2 Гбайт/с в каждом направлении. Эти порты предназначены для обмена информацией с другими микросхемами при построении различных суперпроизводительных многокристальных систем.

Каждый NMPU подключен к четырем КМО, через которые он напрямую связан со всеми ПУ своего кластера.

Каждый CPU, управляющий работой кластера, через свои коммутаторы подключен к восьми КМО – четыре используются для связи с NMPU своего кластера, а четыре других для связи с другими управляющими ПУ.

Центральный управляющий ПУ (CCPU) также подключен к четырём КМО для связи со всеми CPU.

КМО, подключенные к NMPU, работают на частоте 1000 МГц, а каналы, подключенные к управляющим ПУ (CPUx) – 800 МГц.

1.3.4 Система межпроцессорных прерываний

Для синхронизации вычислительных процессов, протекающих в различных ПУ, предусмотрена многоярусная система межпроцессорных прерываний (см. Рисунок 1.5).

По своей организации данная система напоминает описанную выше систему КМО с той разницей, что вместо каждого КМО используется две встречных пары сигналов прерывания, различающихся по уровню приоритета. Эти сигналы формируются путем программной установки определенных бит в специальном внешнем регистре одного ПУ и поступают в контроллер прерываний другого ПУ.

Каждый NMPU формирует четыре пары прерываний, поступающих на другие ПУ своего кластера, и принимает четыре пары прерываний от этих же ПУ.

Каждый ПУ, управляющий кластером, получает четыре пары прерываний от NMPU своего кластера и четыре пары прерываний от других управляющих ПУ. Он же в ответ выдает четыре пары прерываний для NMPU своего кластера и четыре пары прерываний для других управляющих ПУ.

Центральный ПУ (CCPU) формирует четыре пары прерываний для ПУ, управляющих кластером, и принимает четыре пары прерываний от этих же ПУ, а также восемь внешних прерываний со входов микросхемы.

					ЮФКВ.431282.020РЭ	Лист
						19
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

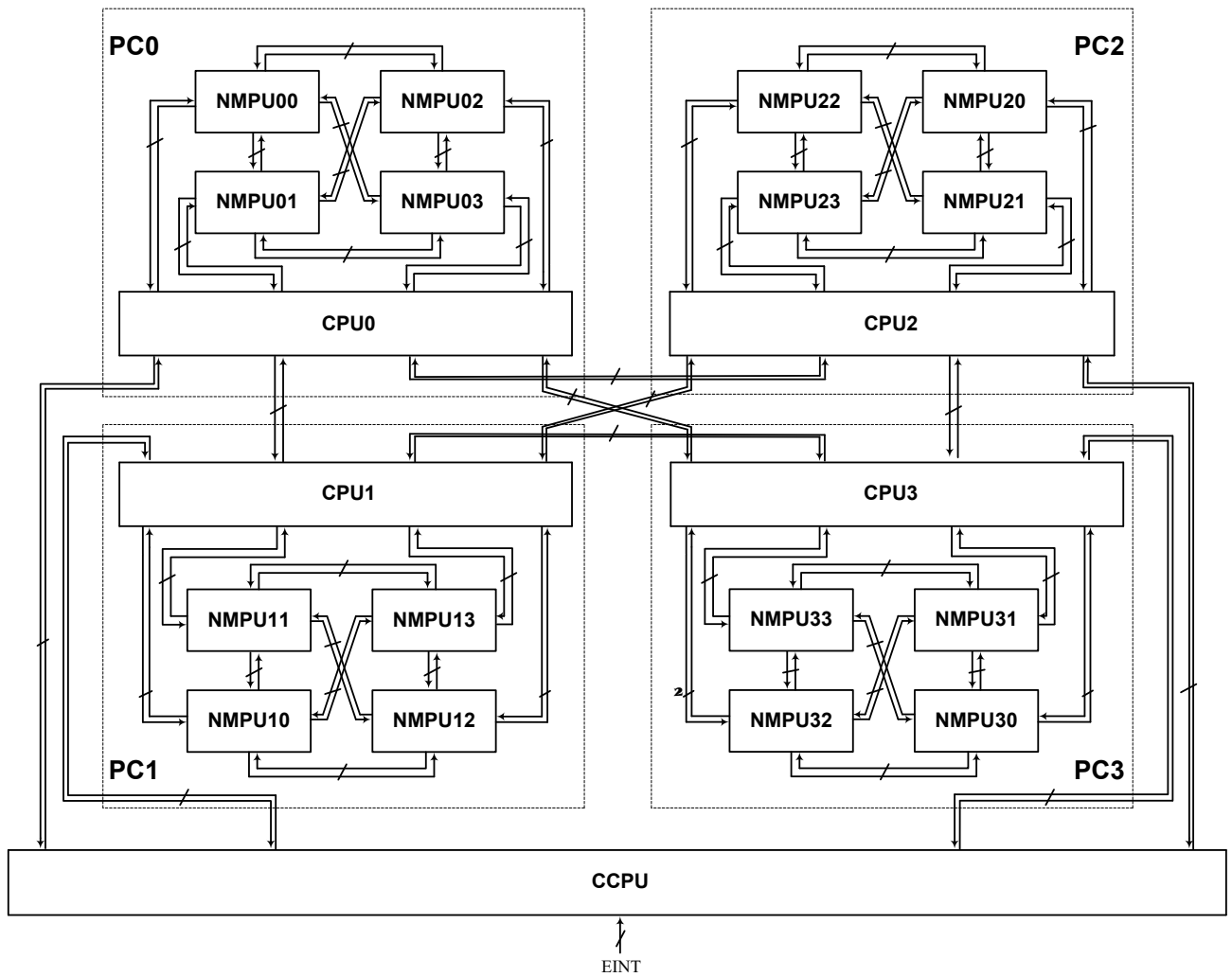


Рисунок 1.5 – Схема межпроцессорных прерываний

									Лист
									20
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

ЮФКВ.431282.020РЭ

1.3.5 Функциональные выводы

Микросхема 1879ВМ8Я имеет 568 функциональных выводов, назначение которых приведено в таблице 1.1.

Таблица 1.1 - Функциональные выводы микросхемы 1879ВМ8Я

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Общее управление (8 выводов)			
CLK_REFI	1	I	Вход опорного тактового сигнала
CLK_REFO	1	O	Выход опорного тактового сигнала
XRSTn	1	I	Системный сброс
BOOTM0, BOOTM1, BOOTM2	3	I	Режим начальной загрузки и тестирования процессора
TM	1	I	Режим тестирования процессора
VPD	1	I	Управление статическим током
Управление спящим режимом процессора (2 вывода)			
WKUPRQ	1	I	Запрос на вывод процессора из спящего режима
WKUPAK	1	O	Разрешение на снятие запроса на вывод процессора из спящего режима
JTAG-интерфейс (5 выводов)			
BS_TDO	1	O(Z)	Выход данных тестового порта JTAG
BS_TDI	1	I	Вход данных тестового порта JTAG
BS_TCK	1	I	Тактовый сигнал тестового порта JTAG
BS_TMS	1	I	Выбор режима тестирования JTAG
BS_TRSTn	1	I	Сброс тестового порта JTAG
Debug-интерфейс (6 выводов)			
TDO_SWO	1	O(Z)	Выход данных порта JTAG отладочного модуля
TDI	1	I	Вход данных тестового порта JTAG
TCK_SWCLK	1	I	Тактовый сигнал тестового порта отладочного модуля
TMS_SWDIO	1	I/O	Выбор режима работы отладочного модуля
TRSTn	1	I	Сброс порта JTAG отладочного модуля
SRSTn	1	I/O	Сброс отладочного модуля

										Лист
										21
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выводы SPI-интерфейса (7 выводов)			
SPI_CLK	1	O	Синхросигнал SPI-интерфейса
SPI_TXD	1	O	Передаваемые данные
SPI_RXD	1	I	Принимаемые данные
SPI_CS0n	1	O	Выбор приемника 0
SPI_CS1n	1	O	Выбор приемника 1
SPI_CS2n	1	O	Выбор приемника 2
SPI_CS3n	1	O	Выбор приемника 3
Выводы Ethernet-интерфейса (14 выводов)			
EDCLA0, EDCLA1, EDCLA2, EDCLA3	4	I	Выводы конфигурации MAC-адреса
ETH_ENABLE	1	I	Конфигурационный вход наличия микросхемы физического уровня
ETH_TXD0, ETH_TXD1	2	O	Выходные данные интерфейса
ETH_TXEN	1	O	Разрешение передачи данных
ETH_RXD0, ETH_RXD1	2	I	Входные данные интерфейса
ETH_CRSDV	1	I	Признак обнаружения несущей и наличия входных данных
ETH_REFCLK	1	I	Входной опорный тактовый сигнал 50 МГц
ETH_MDC	1	O	Выходной тактовый сигнал для управления микросхемой физического уровня
ETH_MDIO	1	I/O	Шина управления микросхемой физического уровня
Выводы таймера Watch DOG (1 вывод)			
WDT	1	O	Выход сторожевого таймера
Выводы портов общего назначения управляющей части (8 выводов)			
GPIOC0 - GPIOC7	8	I/O	Программируемы входы/выходы

										Лист
										22
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выходы DDR-контроллера управляющей части (76 выводов)			
DDRC_CK, DDRC_CK _n	2	O	Тактовый сигнал DDR-памяти
DDRC_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления
DDRC_A0 - DDRC_A14	15	O	Шина адреса памяти
DDRC_BA0 - DDRC_BA2	3	O	Выбор адресуемых банков в микросхемах памяти
DDRC_CS _n	1	O	Выбор внешней памяти
DDRC_RAS _n	1	O	Строб адреса строки внешней памяти
DDRC_CAS _n	1	O	Строб адреса столбца внешней памяти
DDRC_WEn	1	O	Признак операции записи
DDRC_RESE _{Tn}	1	O	Асинхронный сброс микросхем внешней DDR-памяти
DDRC_DM0 - DDRC_DM3	4	O	Сигналы маскирования байтов данных при операциях записи
DDRC_DQ0 - DDRC_DQ31	32	I/O	Шина данных
DDRC_DQS0, DDRC_DQS0 _n - DDRC_DQS3, DDRC_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных
DDRC_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти
DDRC_ATB0, DDRC_ATB1	2	I/O	Выходы тестовой аналоговой шины интерфейса
DDRC_CAL0	1	I	Выход для подключения калибровочного резистора
DDRC_PLL_TESTO_P, DDRC_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выходы PLL интерфейса
Выходы контроллера PCI Express (21 вывод)			
PCI_CLKREF_P, PCI_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера PCI Express
PCI_TXP0, PCI_TXN0 - PCI_TXP3, PCI_TXN3	8	O	Парафазные выходы данных
PCI_RXP0, PCI_RXN0 - PCI_RXP3, PCI_RXN3	8	I	Парафазные входы данных
PCI_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)
PCI_ATB0, PCI_ATB1	2	I/O	Выходы тестовой аналоговой шины интерфейса

									Лист
									23
Изм.	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выводы кластера 0			
Выводы портов общего назначения (8 выводов)			
GPI000 - GPI007	8	I/O	Программируемые входы/выходы
Выводы DDR-контроллера (76 выводов)			
DDR0_CK, DDR0_CKn	2	O	Тактовый сигнал DDR-памяти
DDR0_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления
DDR0_A0 - DDR0_A14	15	O	Шина адреса памяти
DDR0_BA0 - DDR0_BA2	3	O	Выбор адресуемых банков в микросхемах памяти
DDR0_CSn	1	O	Выбор внешней памяти
DDR0_RASn	1	O	Строб адреса строки внешней памяти
DDR0_CASn	1	O	Строб адреса столбца внешней памяти
DDR0_WEn	1	O	Признак операции записи
DDR0_RESEn	1	O	Асинхронный сброс микросхем внешней DDR-памяти
DDR0_DM0 - DDR0_DM3	4	O	Сигналы маскирования байтов данных при операциях записи
DDR0_DQ0 - DDR0_DQ31	32	I/O	Шина данных
DDR0_DQS0, DDR0_DQS0n - DDR0_DQS3, DDR0_DQS3n	8	I/O	Дифференциальный строб байтов на шине данных
DDR0_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти
DDR0_ATB0, DDR0_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса
DDR0_CAL0	1	I	Вывод для подключения калибровочного резистора
DDR0_PLL_TESTO_P, DDR0_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выходы PLL интерфейса
Выводы последовательного порта кластера (21 вывод)			
CP0_CLKREF_P, CP0_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера PCI Express
CP0_TXP0, CP0_TXN0 - CP0_TXP3, CP0_TXN3,	8	O	Парафазные выходы данных
CP0_RXP0, CP0_RXN0 - CP0_RXP3, CP0_RXN3	8	I	Парафазные входы данных
CP0_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)
CP0_ATB0, CP0_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса

										Лист
										24
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выводы кластера 1			
Выводы портов общего назначения (8 выводов)			
GPIO10 - GPIO17	8	I/O	Программируемые входы/выходы
Выводы DDR-контроллера (76 выводов)			
DDR1_CK, DDR1_CKn	2	O	Тактовый сигнал DDR-памяти
DDR1_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления
DDR1_A0 - DDR1_A14	15	O	Шина адреса памяти
DDR1_BA0 - DDR1_BA2	3	O	Выбор адресуемых банков в микросхемах памяти
DDR1_CSn	1	O	Выбор внешней памяти
DDR1_RASn	1	O	Строб адреса строки внешней памяти
DDR1_CASn	1	O	Строб адреса столбца внешней памяти
DDR1_WEn	1	O	Признак операции записи
DDR1_RESEn	1	O	Асинхронный сброс микросхем внешней DDR- памяти
DDR1_DM0 - DDR1_DM3	4	O	Сигналы маскирования байтов данных при операциях записи
DDR1_DQ0 - DDR1_DQ31	32	I/O	Шина данных
DDR1_DQS0 , DDR1_DQS0n - DDR1_DQS3, DDR1_DQS3n	8	I/O	Дифференциальный строб байтов на шине данных
DDR1_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти
DDR1_ATB0, DDR1_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса
DDR1_CAL0	1	I	Вывод для подключения калибровочного резистора
DDR1_PLL_TESTO_P, DDR1_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса
Выводы последовательного порта кластера (21 вывод)			
CP1_CLKREF_P, CP1_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера PCI Express
CP1_TXP0, CP1_TXN0 - CP1_TXP3, CP1_TXN3	8	O	Парафазные выходы данных
CP1_RXP0, CP1_RXN0 - CP1_RXP3, CP1_RXN3	8	I	Парафазные входы данных
CP1_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)
CP1_ATB0, CP1_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса

										Лист
										25
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выводы кластера 2			
Выводы портов общего назначения (8 выводов)			
GPIO20 - GPIO27	8	I/O	Программируемые входы/выходы
Выводы DDR-контроллера (76 выводов)			
DDR2_CK, DDR2_CKn	2	O	Тактовый сигнал DDR-памяти
DDR2_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления
DDR2_A0 - DDR2_A14	15	O	Шина адреса памяти
DDR2_BA0 - DDR2_BA2	3	O	Выбор адресуемых банков в микросхемах памяти
DDR2_CSn	1	O	Выбор внешней памяти
DDR2_RASn	1	O	Строб адреса строки внешней памяти
DDR2_CASn	1	O	Строб адреса столбца внешней памяти
DDR2_WEn	1	O	Признак операции записи
DDR2_RESEn	1	O	Асинхронный сброс микросхем внешней DDR-памяти
DDR2_DM0 - DDR2_DM3	4	O	Сигналы маскирования байтов данных при операциях записи
DDR2_DQ0 - DDR2_DQ31	32	I/O	Шина данных
DDR2_DQS0, DDR2_DQS0n - DDR2_DQS3, DDR2_DQS3n	8	I/O	Дифференциальный строб байтов на шине данных
DDR2_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти
DDR2_ATB0, DDR2_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса
DDR2_CAL0	1	I	Вывод для подключения калибровочного резистора
DDR2_PLL_TESTO_P, DDR2_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса
Выводы последовательного порта кластера (21 вывод)			
CP2_CLKREF_P, CP2_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера PCI Express
CP2_TXP0, CP2_TXN0 - CP2_TXP3, CP2_TXN3	8	O	Парафазные выходы данных
CP2_RXP0, CP2_RXN0 - CP2_RXP3, CP2_RXN3	8	I	Парафазные входы данных
CP2_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)
CP2_ATB0, CP2_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса

										Лист
										26
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выводы кластера 3			
Выводы портов общего назначения (8 выводов)			
GPIO30 - GPIO37	8	I/O	Программируемые входы/выходы
Выводы DDR-контроллера (76 выводов)			
DDR3 CK, DDR3 CKn	2	O	Тактовый сигнал DDR-памяти
DDR3_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления
DDR3 A0 - DDR3 A14	15	O	Шина адреса памяти
DDR3_BA0 - DDR3_BA2	3	O	Выбор адресуемых банков в микросхемах памяти
DDR3_CS _n	1	O	Выбор внешней памяти
DDR3_RAS _n	1	O	Строб адреса строки внешней памяти
DDR3_CAS _n	1	O	Строб адреса столбца внешней памяти
DDR3_WEn	1	O	Признак операции записи
DDR3_RESE _{Tn}	1	O	Асинхронный сброс микросхем внешней DDR-памяти
DDR3_DM0 - DDR3_DM3	4	O	Сигналы маскирования байтов данных при операциях записи
DDR3_DQ0 - DDR3_DQ31	32	I/O	Шина данных
DDR3_DQS0, DDR3_DQS0 _n - DDR3_DQS3, DDR3_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных
DDR3_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти
DDR3_ATB0, DDR3_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса
DDR3_CAL0	1	I	Вывод для подключения калибровочного резистора
DDR3_PLL_TESTO_P, DDR3_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса

					Лист
					27
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инвар.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 1.1

Обозначение ¹⁾	Кол.	Тип ²⁾	Функциональное назначение
Выходы последовательного порта кластера (21 вывод)			
CP3_CLKREF_P, CP3_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера PCI Express
CP3_TXP0, CP3_TXN0 - CP3_TXP3, CP3_TXN3	8	O	Парафазные выходы данных
CP3_RXP0, CP3_RXN0 - CP3_RXN0, CP3_RXN3	8	I	Парафазные входы данных
CP3_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)
CP3_ATB0, CP3_ATB1	2	I/O	Выходы тестовой аналоговой шины интерфейса

- _____
- 1) Последний символ «п» в обозначении вывода указывает на активный низкий уровень сигнала;
- 2) Используемые обозначения типов выводов:
- I – вход,
 - O – выход,
 - I/O – двунаправленный вывод

									Лист
									28
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

2 Архитектура и структура процессорного ядра NMC4

2.1 Основные архитектурные особенности процессорного ядра NMC4

2.1.1 Обобщённая структура процессорной системы цифровой обработки сигналов на базе процессорного ядра NMC4

Требование обработки потоков данных в реальном времени с производительностью, сравнимой с производительностью универсальных процессоров, и потреблением, характерным для встроённых систем, привело к созданию в ЗАО НТЦ «Модуль» архитектуры NeuroMatrix, обладающей следующими основными особенностями:

- векторно-конвейерный принцип выполнения операций, позволяющий одним потоком команд задавать большое количество параллельно выполняемых операций (динамический VLIW);
- наличие одного или нескольких векторных сопроцессоров, работающих под управлением одного RISC-процессора и имеющих свои шины ввода/вывода данных;
- использование внешних адресных генераторов, что обеспечивает эффективное использование адресных регистров ядра при адресации векторных данных;
- конвейер с очередью команд на ступени выборки операндов из памяти, обеспечивающий эффективную работу с банками внутренней и внешней памяти, имеющими различную глубину конвейера;
- выдача и приём данных на одной и той же ступени конвейера (Late Write), что резко снижает количество конфликтов по данным;
- использование команд, задающих несколько операций (статический VLIW).

Обобщённая структура процессора цифровой обработки сигналов на базе процессорного ядра NMC (NeuroMatrix Core), обладающая всеми вышеперечисленными свойствами, приведена на рисунке 2.1.

										Лист
										29
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

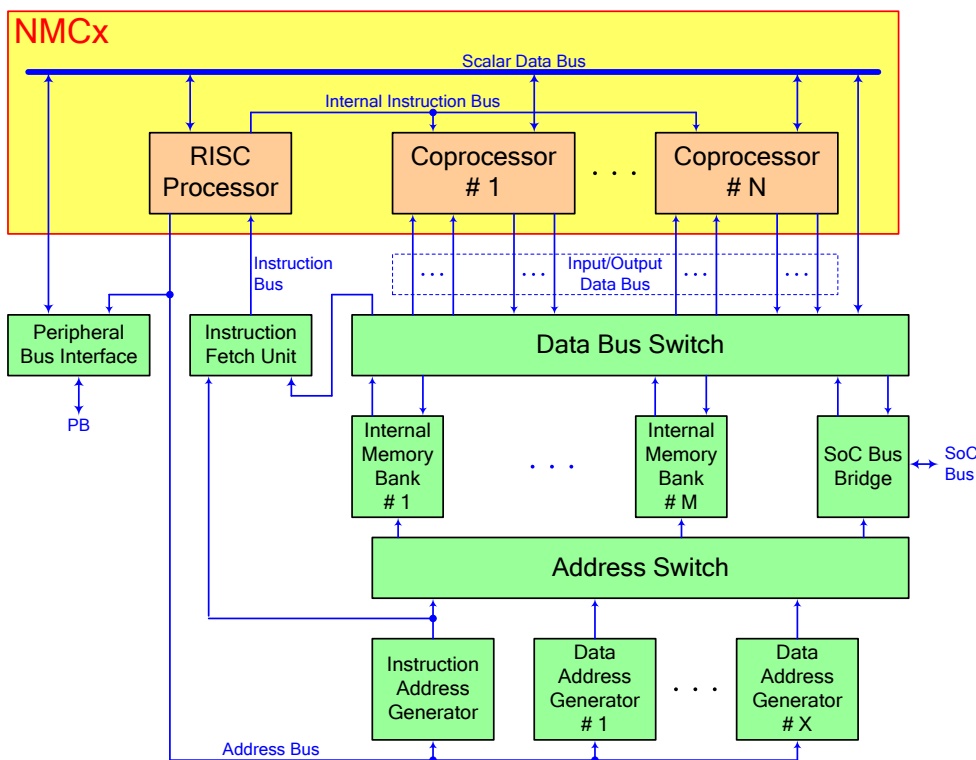


Рисунок 2.1 - Обобщенная структура процессора цифровой обработки сигналов на базе процессорного ядра NeuroMatrix

В состав процессора цифровой обработки сигналов входят следующие основные блоки:

NMCx – процессорное ядро NeuroMatrix, содержащее управляющий RISC-процессор и несколько сопроцессоров, которые выполняют цифровую обработку данных, предварительно загруженных в память системы.

RISC-процессор решает следующие основные задачи:

- декодирует и выполняет команды, считываемые из памяти по шине команд (Instruction Bus);
- осуществляет через шину скалярных данных (Scalar Data Bus) конфигурирование сопроцессоров, настраивая их на обработку данных;
- выставляет на внутреннюю шину инструкций (Internal Instruction Bus) команды оперативного управления сопроцессорами;
- формирует и выставляет на адресную шину (Address Bus) адреса команд, а также скалярных и векторных данных.

Internal Memory Bank – банки внутренней памяти.

SoC Bus Bridge – интерфейс для доступа NMC во внешнюю относительно процессорной системы память, подключается к шинному коммутатору системы на кристалле.

										Лист
										30
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инвар.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Instruction Address Generator – генератор последовательных адресов команд, содержимое которого может быть изменено произвольным образом при выполнении различных команд перехода.

Data Address Generator – генераторы адресов векторных данных, загружаемые через адресную шину начальным адресом, смещением адреса и количеством повторов операции ввода/вывода.

Address Switch – коммутатор адресов, который осуществляет пересылку адресов, формируемых адресными генераторами в банки внутренней памяти и интерфейс с внешней памятью.

Data Bus Switch – коммутатор шин данных, обеспечивающий обмен данными между процессорным ядром и памятью системы.

Instruction Fetch Unit – блок выборки команд, который выстраивает в единую очередь команды, считываемые из внутренней или внешней памяти системы.

Peripheral Bus Interface – интерфейс с шиной периферийных устройств, через которую процессор осуществляет инициализацию, настройку и оперативное управление периферийными устройствами собственной процессорной системы.

Количество и тип сопроцессоров, количество банков внутренней памяти, а также количество генераторов адресов векторных данных определяются требуемой производительностью системы, что позволяет легко наращивать производительность вычислительных систем в зависимости от класса решаемых задач с сохранением программной совместимости внутри семейства процессоров.

2.1.2 Статический VLIW

Команды процессора цифровой обработки сигнала делятся на две основные группы: команды управляющего RISC-процессора (см. Рисунок 2.2) и команды сопроцессоров (см. Рисунок 2.3). Каждая из этих групп, в свою очередь, делится на команды скалярные, т. е. обычные RISC-команды, и векторные, которые задают многократно одни и те же действия над векторами данных, что эквивалентно аппаратной поддержке коротких циклов.

										Лист
										31
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							



Рисунок 2.2 – Кодировка команд управляющего RISC-процессора

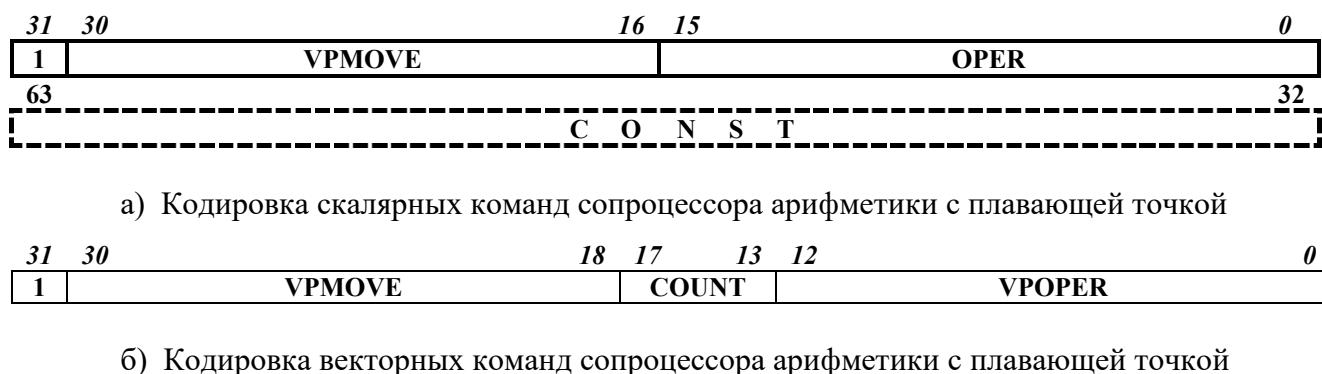


Рисунок 2.3 – Кодировка команд сопроцессоров

Скалярные команды управляющего RISC-процессора содержат следующие поля: MOVE – задаёт ввод/вывод данных с одновременной модификацией адресных регистров, условные переходы/переходы к подпрограмме и возвраты из подпрограммы/прерывания; OPER – определяет арифметическую, логическую операцию или операцию сдвига. Эти команды могут использовать 32-разрядные константы (поле CONST), которые могут грузиться в регистры или использоваться для задания адреса или смещения при обращении к памяти.

Векторные команды управляющего RISC-процессора имеют похожие поля: VMOVE – задаёт ввод/вывод векторных данных, VOPER – определяет арифметическую или логическую операцию над векторными данными, COUNT – определяет число повторов выполнения данной команды (от 1 до 32), что позволяет аппаратно поддерживать организацию коротких циклов и значительно увеличить плотность кода.

						Лист 32
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Команды сопроцессоров имеют следующие отличия от команд управляющего RISC-процессора:

- Нельзя задать команды управления (переходы/переходы к подпрограмме и возвраты из подпрограммы/прерывания).
- Ввод/вывод данных осуществляется только в регистры сопроцессора арифметики с плавающей точкой в соответствии с полем VPMOVE, но адресация в память осуществляется по-прежнему управляющим RISC-процессором.
- Векторные арифметические операции в формате с плавающей точкой задаются полем VPROPER, причём данные арифметические операции не совмещаются с вводом/выводом векторных данных.

В остальном скалярные и векторные команды сопроцессоров и соответствующие команды управляющего RISC-процессора задают аналогичные операции.

Таким образом, процессор использует команды типа VLIW, задающие одновременно операции обмена с памятью, модификацию адресных регистров и арифметическую операцию, причём это относится как к скалярным, так и к векторным командам обработки данных в формате с фиксированной точкой. Объединение в одной команде операций ввода-вывода и арифметической операции позволяет увеличить производительность скалярных команд на реальных задачах до 40 %, но для векторных команд это решение, по нашим оценкам, особый выигрыш не даёт. Поэтому для команд сопроцессора арифметики с плавающей точкой такого типа совмещения нет.

В данной реализации, поскольку отсутствует сопроцессор с фиксированной точкой, векторные команды управляющего RISC-процессора не используются. При попытке выполнить такую команду вместо неё реально выполняется команда NOP (нет операции) и в процессорном ядре формируется соответствующее прерывание по неправильной команде.

2.1.3 Многотактные векторные команды и векторно-конвейерная организация вычислений (динамический VLIW)

Принцип организации выполнения одновременно нескольких операций, заданных разными векторными командами, в разных функциональных узлах одного или нескольких сопроцессоров показан на рисунке 2.4. Несмотря на то, что команды поступают на выполнение по одной и в строгой последовательности, за счёт использования многотактных команд достигается эффект суперскаляра. Также поддерживается внеочередное выполнение команд (out-of-order execution).

										Лист
										33
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						



Рисунок 2.4 - Векторно-конвейерная организация вычислений (динамический VLIW)

2.1.4 Особенности работы конвейера команд при обмене данными с памятью

Принципы организации конвейера команд процессора цифровой обработки сигналов на базе процессорного ядра NMC4 показан на рисунке 2.5. Его основными особенностями являются:

- наличие общих первой и второй ступеней для всех команд, причем на первой ступени осуществляется вычисление адреса первого данного для команды, последнего адреса и смещения (для векторных команд), модификации адресных регистров, на второй организуется единая очередь команд, ожидающих своих данных перед выполнением;
- несколько параллельных подконвейеров на третьей ступени (стадии выполнения операций), причём ввод и вывод данных осуществляется именно на данной ступени (реализуется Late Write).

Данный конвейер позволяет обеспечить эффективную работу с банками внутренней и внешней памяти, имеющими различную глубину конвейера без потери производительности. Реализация выдачи и приёма данных на одной и той же ступени конвейера (Late Write) резко снижает количество конфликтов по данным.

									Лист
									34
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

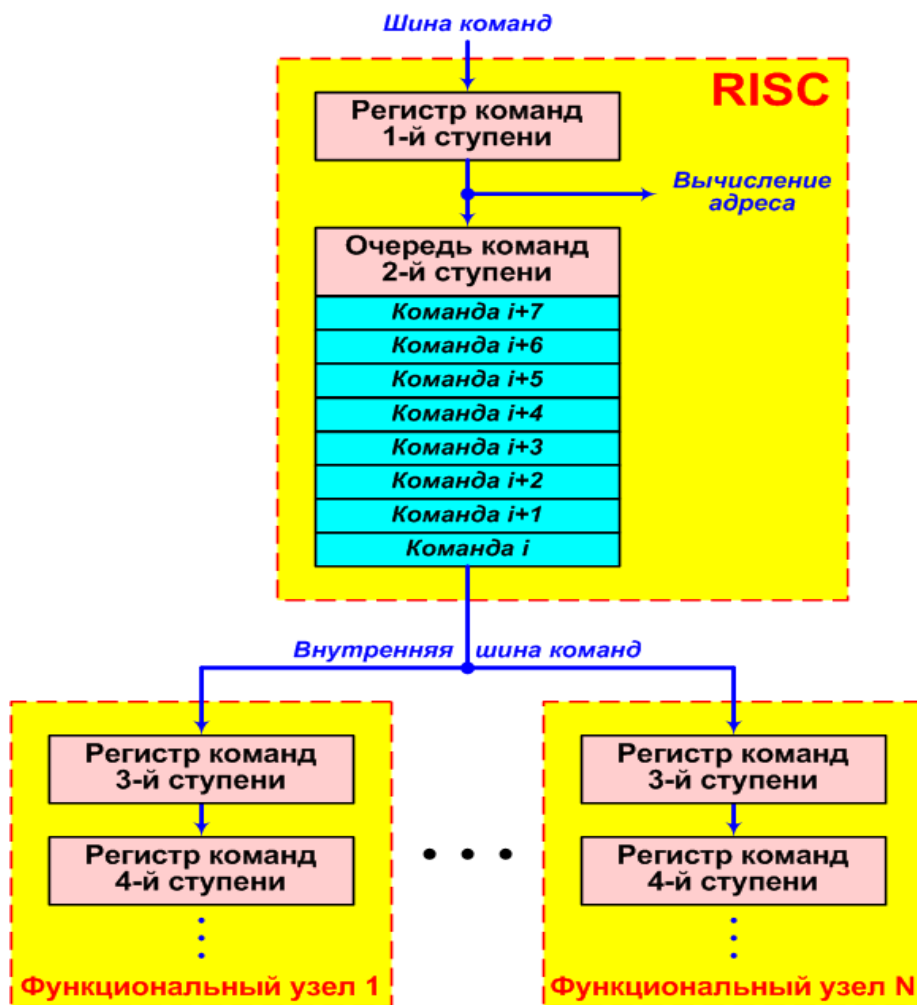


Рисунок 2.5 - Конвейер команд процессора цифровой обработки сигналов на базе процессорного ядра NeuroMatrix

									Лист
									35
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

2.1.5 Единый адресный генератор процессорного ядра

Как было описано ранее, все команды при запуске на выполнение, как и раньше, начинают свою работу на общей части первого уровня конвейера. Скалярная команда на данной ступени конвейера выставляет запрос на доступ в память. В случае отсутствия блокировок по доступу в память и от нижних ступеней конвейера команда попадает на вторую ступень конвейера и освобождает общую часть.

Векторная команда при запуске занимает общую часть первого уровня конвейера на один процессорный такт. За это время она вычисляет адрес первого обращения в память. Одновременно на специальном арифметическом устройстве, содержащем умножитель 5×32 разряда и 32-разрядный сумматор, формируется новое значение адресного регистра, использующегося в качестве базы. Это значение совпадает с тем, что должно получиться после завершения выполнения векторной команды. В следующем такте векторная команда освобождает первый уровень конвейера, уходит на второй уровень и одновременно занимает один из адресных генераторов, находящихся вне процессорного ядра. При этом запоминается адрес первого обращения в память, сохраняется копия значения регистра смещения и формируется запрос на доступ в память. Далее внешний адресный генератор работает самостоятельно, не занимая ресурсов процессорного ядра.

Наличие единого адресного генератора у процессорного ядра позволяет использовать один и тот же адресный регистр этого ядра в качестве источника адреса для нескольких команд, при этом следующая команда не должна ждать полного окончания предыдущей. При этом блок адресных генераторов вне процессорного ядра обеспечивает генерацию запросов на обмен с памятью для нескольких скалярных и векторных команд одновременно.

2.1.6 Аппаратная вершина системного стека

В процессорном ядре NMC4 имеется механизм аппаратной вершины системного стека. Аппаратная вершина – это недоступный программно регистр, который копирует содержимое ячейки памяти системного стека, хранящей последний адрес возврата из подпрограммы или прерывания и значение регистра слова состояния процессора PSWR при входе в подпрограмму/прерывание. Поддержка аппаратной вершины системного стека в NMC4 позволяет резко ускорить выполнение команд возврата из подпрограммы или прерывания, особенно если системный стек расположен во внешней по отношению к ядру памяти.

										Лист
										36
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

2.1.7 Система прерываний

2.1.7.1 Типы прерываний

Процессорное ядро NMC4 имеет развитую систему прерываний, позволяющую оперативно реагировать на внешние и внутренние события, а также управлять различными периферийными устройствами. Прерывания NMC4 представлены в таблице 2.1 в порядке уменьшения приоритета сверху вниз. Исключение составляет пошаговое прерывание, которое имеет наименьший приоритет.

Таблица 2.1 - Прерывания процессорного ядра NMC4

№	Прерывание	Обозначение	Адрес вектор
1	Немаскируемое прерывание	NMI	0x0000_0000 hex
2	Переполнение	OF	0x0000_0008 hex
3	Неправильная команда	EI	0x0000_0010 hex
4	Пошаговое прерывание	ST	0x0000_0018 hex
5	Прерывание 0 от сопроцессора арифметики с плавающей точкой (некорректные данные)	FPUI0	0x0000_0020 hex
6	Прерывание 1 от сопроцессора арифметики с плавающей точкой (overflow)	FPUI1	0x0000_0028 hex
7	Прерывание 2 от сопроцессора арифметики с плавающей точкой (underflow)	FPUI2	0x0000_0030 hex
8	Прерывание 3 от сопроцессора арифметики с плавающей точкой (потеря значимости)	FPUI3	0x0000_0038 hex
9	Прерывание 4 от сопроцессора арифметики с плавающей точкой (потеря данных)	FPUI4	0x0000_0040 hex
10	Прерывание 5 от сопроцессора арифметики с плавающей точкой (неправильная команда)	FPUI5	0x0000_0048 hex
11	Прерывание от системного интегратора (выборка команд из периферийной области памяти)	IFE	0x0000_0050 hex
12	Прерывание от моста «системный интегратор – AXI» (ошибка обращения во внешнюю память)	DAE	0x0000_0058 hex
13	Прерывание от MPU по защите памяти на запись	PWI	0x0000_0060 hex
14	Прерывание от MPU по защите памяти на чтение	PRI	0x0000_0068 hex
15	Прерывание от блока таймеров (таймер 0)	T0I	0x0000_0070 hex
16	Прерывание от блока таймеров (таймер 1)	T1I	0x0000_0078 hex
17	Межпроцессорное прерывание 0 от системного контроллера	SCI0	0x0000_0080 hex
18	Межпроцессорное прерывание 1 от системного контроллера	SCI1	0x0000_0088 hex
19	Межпроцессорное прерывание 2 от системного контроллера	SCI2	0x0000_0090 hex
20	Межпроцессорное прерывание 3 от системного контроллера	SCI3	0x0000_0098 hex

											Лист
											37
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020				31406-3						

Продолжение таблицы 2.1

№	Прерывание	Обозначение	Адрес-вектор
21	Прерывание от коммуникационного порта CP0 (передающий канал)	CPO0	0x0000_00A0 hex
22	Прерывание от коммуникационного порта CP0 (принимающий канал)	CPI0	0x0000_00A8 hex
23	Прерывание от коммуникационного порта CP1 (передающий канал)	CPO1	0x0000_00B0 hex
24	Прерывание от коммуникационного порта CP1 (принимающий канал)	CPI1	0x0000_00B8 hex
25	Прерывание от коммуникационного порта CP2 (передающий канал)	CPO2	0x0000_00C0 hex
26	Прерывание от коммуникационного порта CP2 (принимающий канал)	CPI2	0x0000_00C8 hex
27	Прерывание от коммуникационного порта CP3 (передающий канал)	CPO3	0x0000_00D0 hex
28	Прерывание от коммуникационного порта CP3 (принимающий канал)	CPI3	0x0000_00D8 hex
29	Межпроцессорное прерывание 4 от системного контроллера	SCI4	0x0000_00E0 hex
30	Межпроцессорное прерывание 5 от системного контроллера	SCI5	0x0000_00E8 hex
31	Межпроцессорное прерывание 6 от системного контроллера	SCI6	0x0000_00F0 hex
32	Межпроцессорное прерывание 7 от системного контроллера	SCI7	0x0000_00F8 hex

2.1.7.2 Внутренние и внешние прерывания процессорного ядра

Процессор поддерживает 32 прерывания (см. таблицу 2.1): четыре внутренних прерывания процессорного ядра (в таблице с номерами от 1 до 4) и 28 внешних по отношению к процессорному ядру (в таблице с номерами от 5 до 32). Такое деление прерываний на две группы объясняется реализацией двухуровневой системы прерываний, как показано на рисунке 2.6. Запросы от сопроцессора с плавающей точкой и запросы от периферийных узлов (PERIPHERAL UNITS) поступают на контроллер внешних прерываний (INTC) процессорного ядра и фиксируются в специальном программно доступном на чтение и сброс периферийном регистре. Далее запросы перемножаются на программно настраиваемую маску и проходят арбитраж. Затем в соответствии с победившим запросом выставляется адрес-вектор соответствующего прерывания (External Interrupt Vector) и формируется обобщённый запрос на внешнее прерывание (External Interrupt Request). Данный запрос и адрес-вектор фиксируются в процессорном ядре NMC4, после чего сбрасывается победивший запрос на прерывание в контроллере внешних прерываний, и данный контроллер может выставить ещё один обобщённый запрос и соответствующий адрес-вектор прерывания. Следующее внешнее прерывание будет зафиксировано процессорным ядром только после

										Лист
										38
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

того, как будет обработано предыдущее внешнее прерывание. Более подробно работа контроллера внешних прерываний будет описана далее (см. п. 3.10.3).

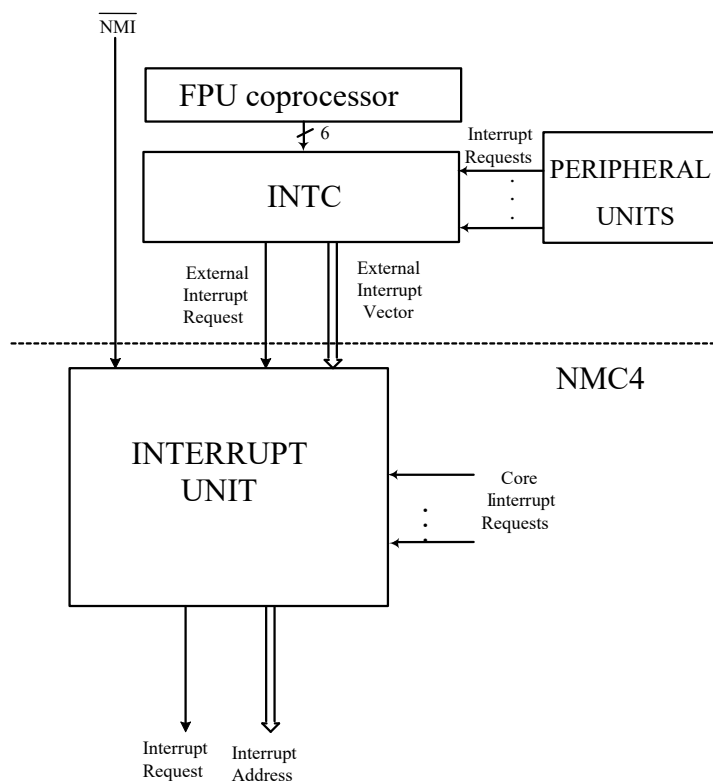


Рисунок 2.6 - Структурная схема системы прерываний процессорного ядра NMC4

В процессорном ядре имеется блок прерываний (INTERRUPT UNIT), куда поступают немаскируемое прерывание \overline{NMI} , четыре прерывания от ядра (Core Interrupt Requests) и, как описано выше, адрес-вектор внешнего по отношению к ядру прерывания (External Interrupt Vector) и обобщённый запрос на внешнее прерывание (External Interrupt Request). Все эти запросы на прерывание, а также адрес-вектор внешнего прерывания, фиксируются в специальном программно доступном на чтение и сброс регистре INTR. Далее запросы перемножаются на программно настраиваемую маску (кроме немаскируемого прерывания) и проходят арбитраж. Причём обобщённый запрос на внешнее прерывание также имеет свою маску. Затем, в соответствии с победившим запросом, выставляется адрес перехода на программу обработки соответствующего прерывания (Interrupt Address) и формируется окончательный запрос на прерывание (Interrupt Request). После того, как будет разрешена обработка запроса победившего прерывания, соответствующий запрос на прерывание в ядре будет сброшен. Разрешение на обработку следующего прерывания будет получено лишь

										Лист
										39
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

после того, как закончатся все контекстные переключения при входе в обработку предыдущего прерывания.

2.2 Управляющее RISC-ядро

2.2.1 Структура RISC-ядра

RISC-ядро является одним из основных узлов процессорного ядра. Оно обеспечивает выборку и дешифрацию команд, хранение и модификацию программного счетчика PC, управление всеми исполнительными конвейерами процессора и их синхронизацию, необходимые предварительные адресные вычисления и передачу адресов к внешним адресным генераторам, а также выполняет арифметические и логические операции над 32-разрядными данными в дополнительном коде, когда использование сопроцессора неэффективно. Структурная схема RISC-ядра представлена на рисунке 2.7.

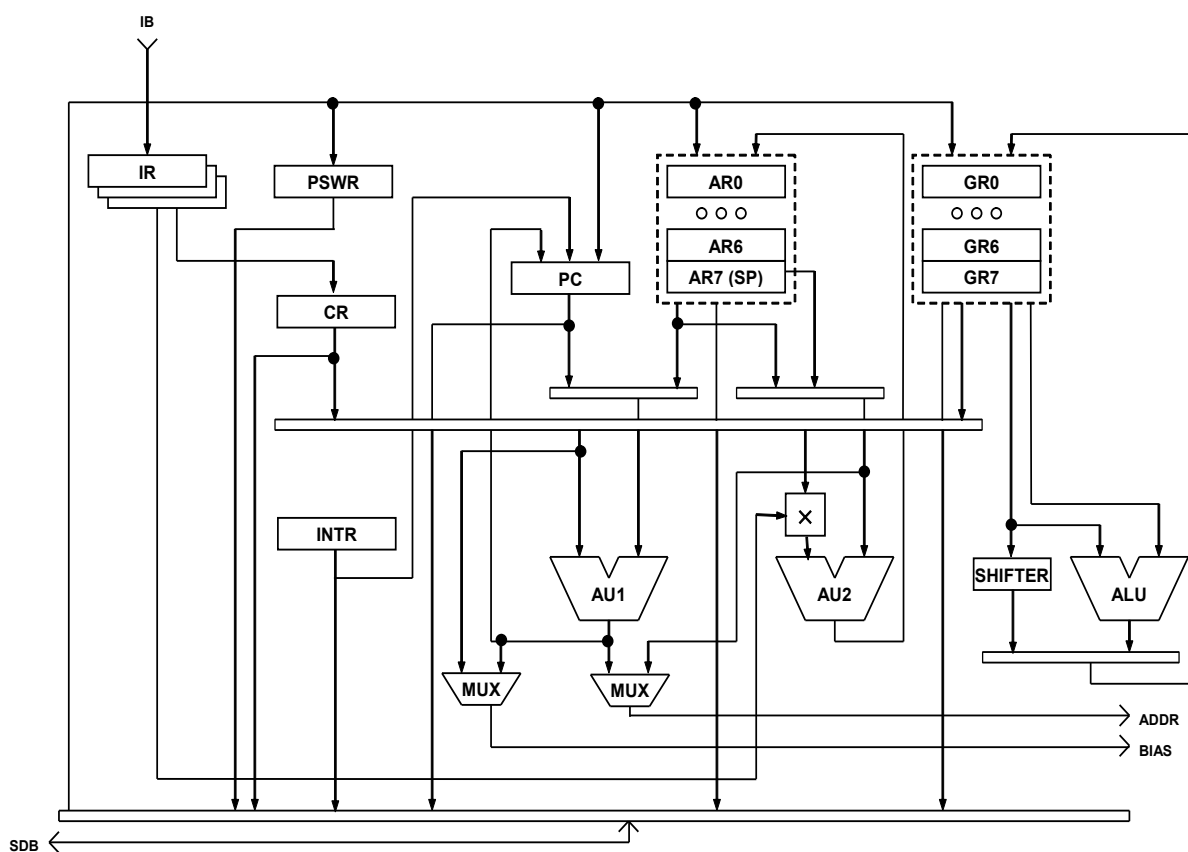


Рисунок 2.7 – Структурная схема RISC-ядра

					Лист
					40
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Основные составляющие RISC-ядра:

GR0 - GR7 – восемь 32-разрядных регистров общего назначения, которые используются для задания смещения при вычислении адресов команд и данных, а также в качестве источников и приёмников скалярных арифметических операций.

AR0 - AR7 – восемь 32-разрядных регистров адреса, которые необходимы при вычислении адресов команд и данных. Адресный регистр AR7 (SP) является также указателем системного стека.

ALU – арифметико-логическое устройство, которое выполняет логические и арифметические операции, пошаговые операции 32-разрядного умножения над регистрами общего назначения. Результат операций также записывается в регистры общего назначения.

SHIFTER – сдвигатель, который выполняет операции сдвига над регистрами общего назначения. Результат операций также записывается в один из регистров общего назначения.

AU1 – первое адресное устройство, которое используется для формирования адреса чтения из памяти/записи в память скалярных данных или первых векторных данных, а также для вычисления адреса перехода в командах условного перехода и перехода к подпрограммам. Оно использует в качестве операндов значение адресного регистра, либо счетчика команд PC в качестве адреса и значение регистра общего назначения, либо непосредственную константу из команды в качестве смещения. Результат вычислений может быть выдан на внешнюю шину адреса или смещения адреса, а также может быть записан в программном счетчике PC.

AU2 – второе адресное устройство, которое используется для модификации адресных регистров при выполнении как скалярных, так и векторных команд. Оно берёт в качестве операндов значение адресного регистра либо указателя стека как базу и значение регистра общего назначения как смещение. В случае выполнения векторной команды смещение перед адресными вычислениями увеличивается в число раз, соответствующее числу повторений соответствующей векторной команды. Результат операции сохраняется в адресном регистре.

PC – счетчик команд, показывающий на адрес следующей команды, которая поступит на выполнение.

CR – буфер констант. Он хранит константу, задаваемую командой, для её использования при адресных вычислениях или для её записи в программно доступные регистры как процессорного ядра, так и периферийных узлов.

PSWR – регистр слова состояния процессора, который содержит маски на прерывания, флаги (признаки) выполнения арифметических команд, бит разрешения одновременного

										Лист
										41
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020			31406-3					

выполнения нескольких команд, информацию для аппаратной поддержки вершины системного стека.

IR – конвейерные, программно недоступные регистры команд. Они обеспечивают управление всеми конвейерами RISC-ядра и сопроцессоров.

2.2.2 Основные режимы работы RISC-ядра и методы адресации памяти

Структура RISC-процессорного ядра выбрана таким образом, чтобы он мог работать одновременно в двух режимах:

- поддержка операций матрично-векторных сопроцессоров, когда ядро вычисляет адрес следующей команды, а также адрес первых векторных данных и смещение, необходимых сопроцессору;
- поддержка команд управления (организация циклов, ветвлений и т. д.) и скалярных команд обработки данных, когда RISC-ядро вычисляет адрес следующей команды, исполнительный адрес для скалярных операндов, а также выполняет арифметические и логические операции над данными в GR0 - GR7.

Адрес следующей команды может быть определен либо с помощью инкрементации PC, либо путем его задания константой в коде команды, либо сложением содержимого одного из адресных регистров – AR0 - AR7 или PC со смещением, заданным константой в коде команды или содержимым одного из регистров общего назначения – GR0 - GR7. Тем самым в RISC-ядре поддерживаются следующие команды управления (как условные, так и безусловные): переход/переход со смещением (JUMP/SKIP), переход к подпрограмме (CALL), возврат из подпрограммы/прерывания (RETURN/IRETURN), останов (HALT).

Исполнительный адрес операндов может вычисляться с использованием следующих методов адресации: по содержимому адресного регистра без его изменения, с его инкрементацией, декрементацией, а также по сумме содержимого адресного регистра и соответствующего регистра общего назначения. Для скалярных команд кроме этого возможно определение исполнительного адреса с помощью константы, задаваемой в поле команды.

2.2.3 Регистр слова состояния процессора PSWR

32-разрядный регистр слова состояния процессора PSWR содержит всю наиболее важную информацию о работе процессорного ядра. Данный регистр сохраняется в системном стеке при переходе к подпрограмме или прерыванию и восстанавливается при возврате из прерывания. Регистр доступен программно для чтения, записи, а также поразрядной установки или сброса по маске. Формат регистра PSWR представлен на рисунке Рисунок 2.8, а

					Лист
					42
Изм.	Лист	№ докум.	Подп.	Дата	
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

функциональное назначение его полей приведено в таблице 2.2. После системного сброса все разряды регистра слова состояния процессора содержат нули, что отражено на рисунке 2.8.

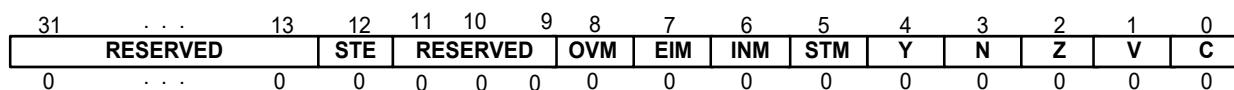


Рисунок 2.8 – Формат регистра PSWR

Таблица 2.2 – Функциональное назначение полей регистра PSWR

Разряд	Обозначение	Описание
Флаги скалярных операций АЛУ		
PSW<0>	C	Признак переноса арифметической операции
PSW<1>	V	Признак арифметического переполнения
PSW<2>	Z	Признак нулевого результата
PSW<3>	N	Признак отрицательного знака результата
PSW<4>	Y	Признак переноса в соседнюю группу разрядов множителя по Буту
Маски прерываний		
PSW<5>	ST	Маска пошагового прерывания
PSW<6>	INM	Маска внешнего прерывания
PSW<7>	EIM	Маска прерывания по запрещенной команде
PSW<8>	SPM	Маска прерывания по арифметическому переполнению
Прочее управление		
PSW<11:9>	RESERV	Reserved
PSW<12>	STE	Разрешение работы аппаратной вершины стека
PSW<31:13>		Reserved

Разряды с 31 по 13 содержит служебную информацию, которая используется для работы аппаратной вершины системного стека, и программно недоступны.

2.2.4 Регистр запросов на прерывание INTR

32-разрядный регистр запросов на прерывание INTR хранит в себе ещё не обработанные запросы на прерывания как от процессорного ядра, так и от периферийных устройств. Формат регистра INTR представлен на рисунке 2.9, а функциональное назначение его полей приведено в таблице 2.3. На рисунке 2.9 указано состояние разрядов регистра после системного сброса.

Регистр INTR программно доступен только на чтение и побитовый сброс запросов на прерывание. При возникновении запроса на прерывание в соответствующем бите регистра

						Лист
					ЮФКВ.431282.020РЭ	43
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

INTR устанавливается единица, которая сбрасывается или когда данный запрос начинает обслуживаться или после соответствующего программного побитового сброса.

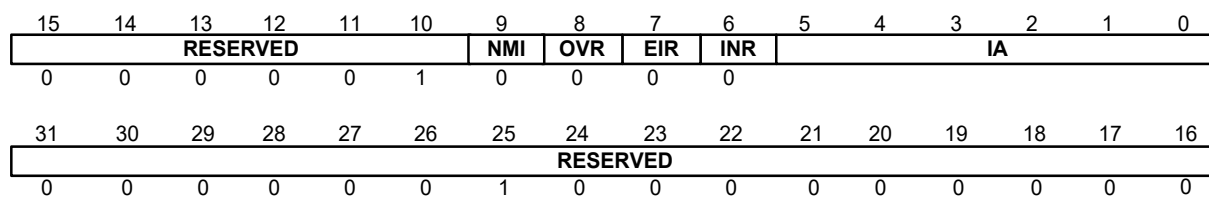


Рисунок 2.9 – Формат регистра INTR

					ЮФКВ.431282.020РЭ					Лист
										44
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 2.3 – Функциональное назначение полей регистра INTR

Разряд	Обозначение	Описание
INTR<5:0>	IA	<p>Номер внешнего прерывания:</p> <p>000000 – прерывание 0 от сопроцессора арифметики с плавающей точкой (некорректные данные)</p> <p>000001 – прерывание 1 от сопроцессора арифметики с плавающей точкой (overflow)</p> <p>000010 – прерывание 2 от сопроцессора арифметики с плавающей точкой (underflow)</p> <p>000011 – прерывание 3 от сопроцессора арифметики с плавающей точкой (потеря значимости)</p> <p>000100 – прерывание 4 от сопроцессора арифметики с плавающей точкой (потеря данных)</p> <p>000101 – прерывание 5 от сопроцессора арифметики с плавающей точкой (неправильная команда)</p> <p>000110 – прерывание от системного интегратора (выборка команд из периферийной области памяти)</p> <p>000111 – прерывание от моста «системный интегратор – AXI»</p> <p>001000 – прерывание от MPU по защите памяти на запись</p> <p>001001 – прерывание от MPU по защите памяти на чтение</p> <p>001010 – прерывание от блока таймеров (таймер 0)</p> <p>001011 – прерывание от блока таймеров (таймер 1)</p> <p>001100 – межпроцессорное прерывание 0 от системного контроллера</p> <p>001101 – межпроцессорное прерывание 1 от системного контроллера</p> <p>001110 – межпроцессорное прерывание 2 от системного контроллера</p> <p>001111 – межпроцессорное прерывание 3 от системного контроллера</p> <p>010000 – прерывание от коммуникационного порта CP0 (передающий канал)</p> <p>010001 – прерывание от коммуникационного порта CP0 (принимающий канал)</p> <p>010010 – прерывание от коммуникационного порта CP1 (передающий канал)</p> <p>010011 – прерывание от коммуникационного порта CP1 (принимающий канал)</p> <p>010100 – прерывание от коммуникационного порта CP2 (передающий канал)</p> <p>010101 – прерывание от коммуникационного порта CP2 (принимающий канал)</p> <p>010110 – прерывание от коммуникационного порта CP3 (передающий канал)</p> <p>010111 – прерывание от коммуникационного порта CP3 (принимающий канал)</p> <p>011000 – межпроцессорное прерывание 4 от системного контроллера</p> <p>011001 – межпроцессорное прерывание 5 от системного контроллера</p> <p>011010 – межпроцессорное прерывание 6 от системного контроллера</p> <p>011011 – межпроцессорное прерывание 7 от системного контроллера</p>
INTR<6>	INR	Запрос на внешнее прерывание
INTR<7>	EIR	<p>Запрос на прерывание по запрещенной команде:</p> <p>для векторных команд - использование векторных команд сопроцессора с фиксированной точкой (разряды с 31-го по 29-й равны 0, хотя один разряд с 28-го по 0-й равен единице);</p> <p>для скалярных команд – обмен значениями регистров RISC-ядра и сопроцессора арифметики с плавающей точкой без использования регистра SIR</p>
INTR<8>	OVR	Запрос на прерывание по переполнению при выполнении скалярной арифметической операции
INTR<9>	NMI	Запрос на немаскируемое внешнее прерывание
INTR<31:10>	RESERVED	Не используется

					Лист
					45
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

2.3 Матрично-векторный сопроцессор арифметики с плавающей точкой

2.3.1 Базовые операции матрично-векторного сопроцессора

Базовой операцией сопроцессора арифметики с плавающей точкой является операция умножения двухэлементного вектора на матрицу 2*2, причём элементы вектора и матрицы – 32-разрядные числа с плавающей точкой:

$$Z_m = \sum_{n=0}^1 X_n \times W_{n,m} + Y_m$$

где (m = 0, 1).

Сопроцессор содержит четыре процессорные ячейки, каждая из которых имеет операционное устройство регулярной структуры, состоящее из матрицы умножителей и сумматоров (см. рисунок 2.10).

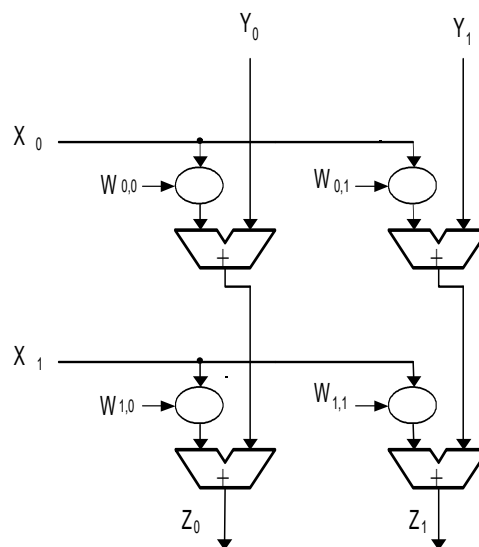


Рисунок 2.10 – Операционное устройство процессорной ячейки

Каждая макроячейка данного устройства выполняет операцию умножения элемента входного вектора X_i на вес W_{ij} , а затем результат прибавляется к выходному значению верхней макроячейки, расположенной в том же столбце. Таким образом, за один такт в каждом столбце независимо вычисляется свой результат.

Поскольку операции производятся над 32-разрядными числами с плавающей точкой, максимальная производительность операционного устройства – четыре умножения и

									Лист
									46
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

сложения за такт, т. е. 8 FLOPS. Суммарная производительность всех четырёх ячеек сопроцессора – 32 FLOPS. При обработке комплексных чисел за такт также производятся четыре умножения и сложения для одной ячейки и 32 умножения и сложения для всех четырёх процессорных ячеек.

Операционное устройство способно выполнять следующие действия над числами с плавающей точкой, как действительными, так и комплексными, как над данными с одинарной точностью (32 разряда), так и над данными с двойной точностью (64 разряда):

- умножение матрицы на вектор (матрицу);
- поэлементное умножение двух векторов;
- поэлементное сложение/вычитание двух векторов;
- КИХ-фильтр;
- БПФ (только для комплексных чисел).

При работе над числами с плавающей точкой двойной точности достигается максимальная производительность - 8 FLOPS.

2.3.2 Структура матрично-векторного сопроцессора

Матрично-векторный сопроцессор является основным вычислительным узлом процессорного ядра при обработке 32-разрядных данных, представленных в формате с плавающей точкой. Структурная схема сопроцессора представлена на рисунке 2.11.

					ЮФКВ.431282.020РЭ			Лист
								47
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020		31406-3					

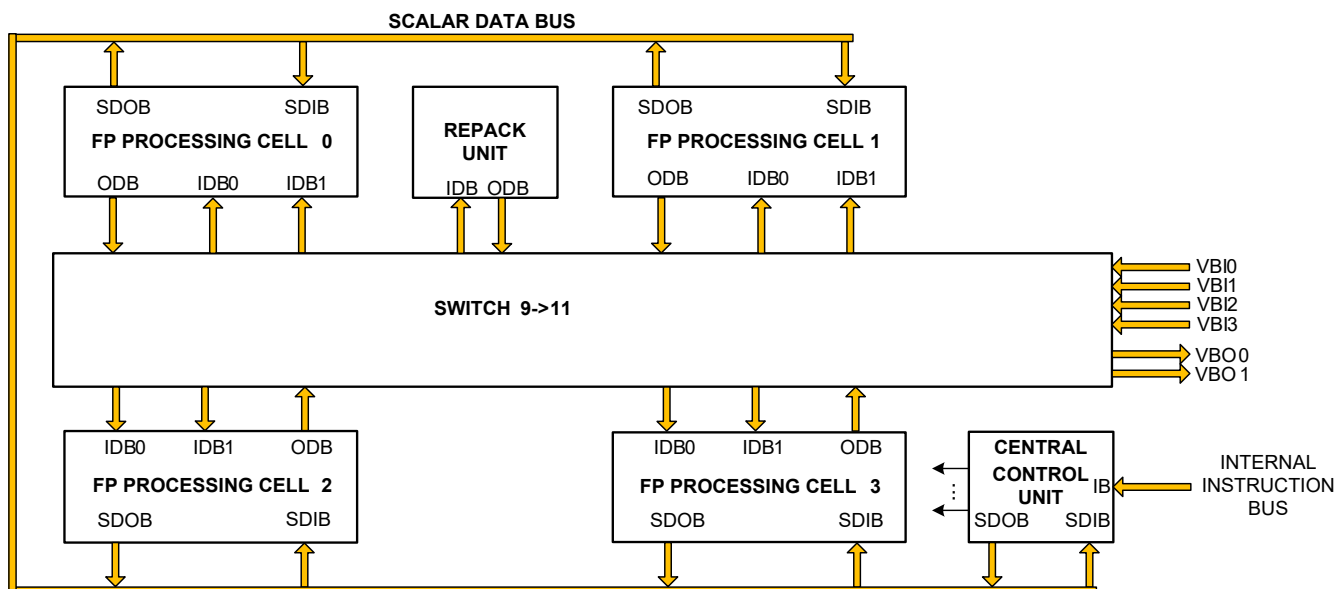


Рисунок 2.11 – Структурная схема матрично-векторного сопроцессора

Основными узлами матрично-векторного сопроцессора являются:

CENTRAL CONTROL UNIT – центральный блок управления сопроцессором. Он принимает команды от управляющего RISC-ядра по внутренней шине команд (**INTERNAL INSTRUCTION BUS**), дешифрирует и проверяет их на правильность. Если команда правильная, то она запускается на выполнение при условии, что все требуемые ей ресурсы свободны. В случае ошибочности команды она не выполняется, и при этом формируется соответствующее прерывание от сопроцессора. 32-разрядная скалярная шина данных (**SCALAR DATA BUS**) используется для чтения/записи программно доступных скалярных регистров блока управления.

FP PROCESSING CELL 0, ..., FP PROCESSING CELL 3 – 4 одинаковые процессорные ячейки, каждая из которых осуществляет арифметические операции над данными в формате с плавающей точкой как одинарной (32 разряда), так и двойной точности (64 разряда). Каждая ячейка имеет следующие 64-разрядные шины: две входных – IDB0, IDB1 и одну выходную – ODB, что позволяет за один такт осуществить до двух операций чтения и одной операции записи. 32-разрядная скалярная шина данных (**SCALAR DATA BUS**) используется для чтения/записи программно доступных скалярных регистров процессорных ячеек.

					Лист
					48
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

REPACK UNIT – блок упаковки и распаковки данных. Данный блок предназначен для различных преобразований данных в формате с плавающей точкой в целые числа и обратно, а также 64-разрядных данных в 32-разрядные и наоборот.

SWITCH 9->11 – коммутатор 11 в 9. Он позволяет в одном и том же такте осуществить следующие операции:

- до четырёх чтений из памяти по 64-разрядным шинам VBI0 - VBI3 с записью прочитанных данных в процессорные ячейки или в блок упаковки и распаковки данных,
- до двух записей в память по 64-разрядным шинам VBO0 – VBO1 результатов работы процессорных ячеек или блока упаковки и распаковки данных,
- до пяти пересылок данных между процессорными ячейками и блоком упаковки и распаковки данных.

2.3.3 Форматы векторных данных

2.3.3.1 Данные

Матрично-векторный сопроцессор предназначен для обработки 32- и 64-разрядных данных в формате с плавающей точкой. При работе с комплексными 32-разрядными данными они объединяются в 64-разрядные слова (32 разряда – действительная часть и 32 разряда – мнимая часть).

2.3.3.2 64-разрядные слова упакованных данных в памяти

Сопроцессор обменивается с памятью по четырём входным шинам – VBI0 - VBI3 – и двум выходным шинам – VBO0 - VBO1. Все обмены осуществляются блоками данных по 64 разряда, причём при работе с действительными 32-разрядными данными в одном 64-разрядном слове упакованы два 32-разрядных числа, при работе с комплексными числами – одно (32 разряда – действительная часть и 32 разряда – мнимая часть). Пример расположения в памяти векторов действительных и комплексных 32-разрядных данных представлен на рисунке 2.12. Расположение векторов 64-разрядных данных в памяти определяется программистом, и на это нет аппаратных ограничений.

										Лист
										49
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

63	32	31	0
D_1	D_0		
D_3	D_2		
·	·		
·	·		
·	·		
D_{N+1}	D_N		

а) Действительные векторные данные

63	32	31	0
Re_0	Im_0		
Re_1	Im_1		
·	·		
·	·		
·	·		
Re_N	Im_N		

б) Комплексные векторные данные

Рисунок 2.12 – Представление векторов данных в памяти

2.3.4 Центральный блок управления сопроцессором

Центральный блок управления матрично-векторным сопроцессором выполняет следующие функции:

- Отслеживает занятость ресурсов сопроцессора.
- Принимает и дешифрирует команды от управляющего RISC-ядра.
- Проверяет команды на правильность. Если проверка прошла успешно, запускает команды на выполнение при условии, что все ресурсы, необходимые ей, свободны. Если нет, вместо команды вставляется код NOP (нет операции) и формируется запрос на прерывание 5 от сопроцессора арифметики с плавающей точкой (неправильная команда).
- Формирует шесть запросов на прерывания по результатам работы сопроцессора:

					ЮФКВ.431282.020РЭ	Лист
						50
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

- 1) прерывание 0 от сопроцессора арифметики с плавающей точкой (некорректные данные);
- 2) прерывание 1 от сопроцессора арифметики с плавающей точкой (overflow);
- 3) прерывание 2 от сопроцессора арифметики с плавающей точкой (underflow);
- 4) прерывание 3 от сопроцессора арифметики с плавающей точкой (потеря значимости);
- 5) прерывание 4 от сопроцессора арифметики с плавающей точкой (потеря данных);
- 6) прерывание 5 от сопроцессора арифметики с плавающей точкой (неправильная команда).

Команды, пришедшие в блок управления сопроцессором от управляющего RISC-ядра, считаются неправильными в следующих случаях:

- задан несуществующий скалярный регистр сопроцессора в командах пересылки типа регистр-регистр или регистр-память;
- задана арифметическая операция над векторным регистром-источником, в который перед этим отсутствовала запись (т. е. он пуст);
- задана арифметическая операция над несколькими векторными регистрами, содержащими разное число элементов данных;
- задана арифметическая операция с маскированием результата, и векторные регистры, определяющие операнды и результат, содержат разное число элементов данных;
- задана команда записи в память содержимого векторного регистра, в который перед этим отсутствовала запись;
- задана команда записи в память содержимого векторного регистра, содержащего число элементов данных, отличное от количества повторений, указанных в коде команды;
- задана любая команда с использованием в качестве источника векторной регистровой пары с разным числом элементов данных в этих регистрах.
- задана команда пересылки векторных регистров, и регистр-источник пуст;
- задана команда чтения данных из памяти в блок упаковки и распаковки, и количество пересылаемых данных с учётом типа переупаковки превышает суммарную глубину входного и выходного FIFO этого блока;

										Лист
										51
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

- задана команда записи данных в память из блока упаковки и распаковки, и суммарное число данных во входном и выходном FIFO этого блока меньше количества повторений, указанных в коде команды;
- задана команда пересылки данных из векторного регистра (пары) в блок упаковки и распаковки, и количество пересылаемых данных с учётом типа переупаковки превышает суммарную глубину входного и выходного FIFO этого блока;
- задана команда пересылки данных из блока упаковки и распаковки в векторный регистр (пару), и суммарное число данных во входном и выходном FIFO этого блока меньше количества повторений, указанных в коде команды;
- задана любая команда с использованием в качестве источника векторной регистровой пары с разным числом элементов данных в этих регистрах.

В таблице 2.4 представлен перечень программно доступных скалярных регистров центрального блока управления.

Таблица 2.4 – Перечень программно доступных регистров центрального блока управления

Название	Доступ	Описание
FPCR	ЧТ/ЗП	Регистр управления, содержащий бит параллельной работы и режимы округления
RIER	ЧТ/ЗП	Регистр порядка целого числа при переупаковке
FPIEIR	ЧТ	Регистр, содержащий информацию о прерывании по неправильной команде
FPIOIR	ЧТ	Регистр, содержащий информацию о прерывании по некорректным данным
FPOIR	ЧТ	Регистр, содержащий информацию о прерывании по переполнению
FPUIR	ЧТ	Регистр, содержащий информацию о прерывании по потере значимости
FPIIR	ЧТ	Регистр, содержащий информацию о прерывании по потере точности
FPDLIR	ЧТ	Регистр, содержащий информацию о прерывании по потере данных при сложении трёх операндов

Регистр управления FPCR

Регистр управления FPCR задаёт режим округления результата, а также разрешает или запрещает выполнение нескольких команд в сопроцессоре одновременно. Регистр доступен программно для чтения, поразрядной установки или сброса по маске 0-го разряда, записи заданного значения в 2-1 разряды. Формат регистра FPCR представлен на рисунке 2.13, а функциональное назначение его полей приведено в таблице 2.5. После системного сброса все разряды регистра управления, кроме 0-го, содержат нули, что отражено на рисунке 2.13.

										Лист
										52
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

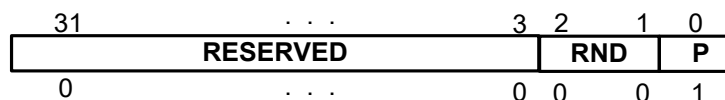


Рисунок 2.13 – Формат регистра FPCR

Таблица 2.5 – Функциональное назначение полей регистра FPCR

Разряд	Обозначение	Описание
FPCR <31:3>	RESERVED	Reserved
FPCR <2:1>	RND	Режим округления результата: 00 – к ближайшему; 01 – к $-\infty$; 10 – к $+\infty$; 11 – к нулю.
FPCR <0>	P	Бит параллельной работы: 0 – задаёт строго последовательное выполнение команд сопроцессором; 1 – разрешает одновременное выполнение нескольких команд сопроцессором.

Разряды с 31 по 3 не используются, при их чтении возвращаются все нули, запись в них блокируется.

Регистр порядка целого числа при переупаковке RIER

Регистр порядка целого числа при переупаковке RIER (разряды 10 – 0, причём 10-й разряд – знаковый) задаёт величину предварительного сдвига целого числа, преобразуемого в формат с плавающей точкой. Величина сдвига задаётся в дополнительном коде. Если он равен нулю, при упаковке используются обычные целые числа. Если он – положительное число, производится предварительный сдвиг влево на это число. Если отрицательное – сдвиг вправо на это число. Тем самым поддерживается работа не только с целыми числами, но и с блочной плавающей точкой. Регистр доступен программно для чтения и записи. Формат регистра RIER представлен на рисунке 2.14. После системного сброса все разряды регистра содержат нули, что отражено на рисунке 2.14.

										Лист
										53
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

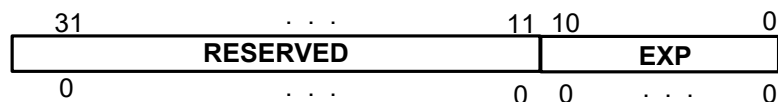


Рисунок 2.14 – Формат регистра RIER

Разряды с 31 по 11 не используются, при их чтении возвращаются все нули, запись в них блокируется.

Регистр, содержащий информацию о прерывании по неправильной команде FPIEIR

Регистр FPIEIR хранит информацию о причине запроса на прерывание от сопроцессора по неправильной команде. Эта информация записывается в регистр в момент обнаружения первой неправильной команды и будет храниться до тех пор, пока прерывание не будет обработано. Регистр программно доступен только на чтение. Формат регистра FPIEIR представлен на рисунке 2.15, а функциональное назначение его полей приведено в таблице 2.6. После системного сброса все разряды регистра с 31-го по 10-й содержат нули, а с 9-го по 0-й не определены, что и отражено на рисунке 2.15.

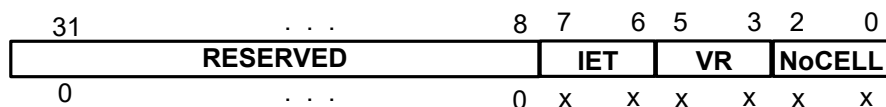


Рисунок 2.15 – Формат регистра FPIEIR

Таблица 2.6 – Функциональное назначение полей регистра FPIEIR

Разряд	Обозначение	Описание
FPIEIR <31:10>	RESERVED	Reserved
FPIEIR <9:6>	IET	Тип ошибки в команде, вызвавшей прерывание: 1xxx - векторный регистр-источник пуст; x1xx – несовпадение количества элементов в векторных регистрах-источниках; xx1x – скалярное и векторное чтение из одного и того же векторного регистра-источника; xxx1 – ошибка, относящаяся к блоку упаковки и распаковки данных
FPIEIR <5:3>	VRD	Номер регистра-приёмника, используемого в команде, не прошедшей проверку
FPIEIR <2:0>	UNIT	Устройство-приёмник в неправильной команде: 0xx – процессорная ячейка с номером xx; 100 - блок упаковки и распаковки данных; 111 – запись в память

					Лист
ЮФКВ.431282.020РЭ					54
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Разряды с 31 по 10 не используются, при их чтении возвращаются все нули, запись в них блокируется.

Регистры, содержащие информацию о прерываниях по результатам работы сопроцессора FPIOIR, FPOIR, FPUIR, FPIIR и FPDLIR

Регистры FPIOIR, FPOIR, FPUIR, FPIIR и FPDLIR хранят информацию о причине запроса на прерывание от сопроцессора при выполнении им вычислений. Эта информация записывается в регистры в момент обнаружения первого соответствующего события, и будет храниться там до тех пор, пока данное прерывание не будет обработано. Регистры программно доступны только на чтение. Эти регистры имеют один и тот же формат, представленный на рисунке 2.16, а функциональное назначение его полей приведено в таблице 2.7. После системного сброса все разряды регистра с 31-го по 6-й содержат нули, а с 5-го по 0-й не определены, что и отражено внизу на рисунке.

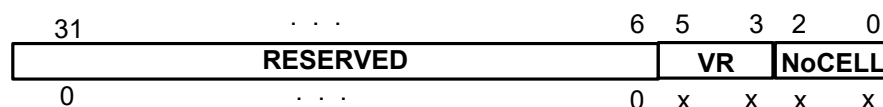


Рисунок 2.16 – Формат регистров FPIOIR, FPOIR, FPUIR, FPIIR и FPDLIR

Таблица 2.7 – Функциональное назначение полей регистров FPIOIR, FPOIR, FPUIR, FPIIR и FPDLIR

Разряд	Обозначение	Описание
FPIEIR <31:6>	RESERVED	Reserved
FPIEIR <5:3>	VR	Номер регистра-источника или приёмника, который стал причиной прерывания.
FPIEIR <2:0>	NoCELL	Номер той процессорной ячейки, где произошло прерывание.

Разряды с 31 по 6 не используются, при их чтении возвращаются все нули, запись в них блокируется.

2.3.5 Процессорная ячейка

Структурная схема процессорной ячейки представлена на рисунке 2.17.

Процессорная ячейка включает в себя следующие основные узлы:

VR0 – VR7 – векторные регистры общего назначения, которые используются как в операциях ввода/вывода, так и в арифметических операциях над данными с плавающей точкой. Их максимальная ёмкость – 32 64-разрядных слова упакованных данных. В некоторых типах операций векторные регистры образуют регистровые пары, формируя векторы максимальным размером 32 элемента по 128 разрядов.

									Лист
									55
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

SWITCH 3->8 – коммутатор 3 в 8. Он позволяет одновременно записать результат арифметической операции и данные, считанные по шинам IDB0, IDB1 из памяти, а также из других ячеек или блока упаковки и распаковки, в три векторных регистра соответственно.

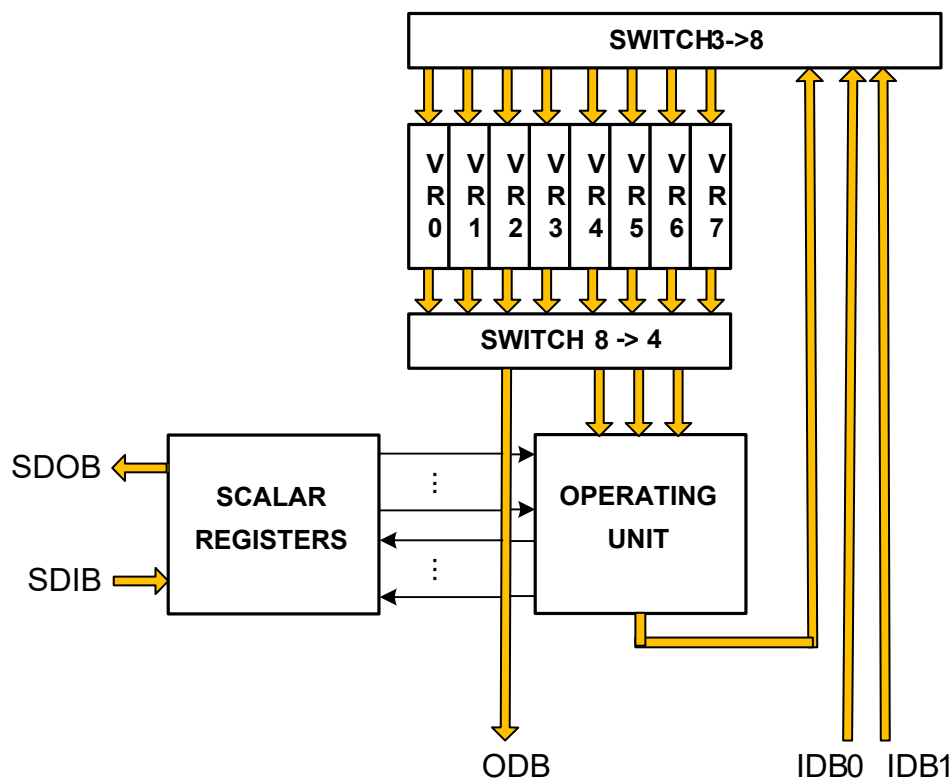


Рисунок 2.17 – Структурная схема процессорной ячейки

SWITCH 8->4 – коммутатор 8 в 4. Он предназначен для выбора до 3-х источников для арифметических операций, а также одного источника для записи в память, в другие ячейки или в блок упаковки и распаковки по выходной шине ODB. Причём в качестве этих источников может использоваться любой из восьми векторных регистров.

OPERATING UNIT – операционное устройство для выполнения векторных и матричных операций над данными в формате с плавающей точкой. Данное устройство может работать в одном из четырёх режимов (см. рисунок 2.18):

- Операции над данными в формате с плавающей точкой двойной точности – см. рисунок 2.18 а). В этом режиме все входные операнды А, В и С и результат D представляют собой 64-разрядные числа в формате с плавающей точкой двойной точности. Основная операция режима – умножение двух чисел и сложение с третьим.
- Операции над комплексными данными в формате с плавающей точкой одинарной точности – см. рисунок 2.18 б). Данный режим характеризуется тем, что все входные операнды: А1 и А0, В1 и В0, С1 и С0, а также результат D1 и D0 представляют собой

					Лист
					56
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

комплексные 64-разрядные числа, причём старшие 32 разряда содержат действительную часть (A1, B1, C1 и D1), а младшие 32 разряда (A0, B0, C0 и D0) – мнимую часть. Основная операция режима – умножение двух комплексных чисел и сложение с третьим.

- Операции над векторными данными в формате с плавающей точкой одинарной точности – см. рисунок 2.18 в). В этом режиме все входные операнды A1 и A0, B1 и B0, C1 и C0, а также результат D1 и D0 образуют 64-разрядные вектора из двух 32-разрядных элементов. Основная операция режима – умножение двух векторов по два элемента и сложение с третьим двухэлементным вектором.

- Операции над матричными данными в формате с плавающей точкой одинарной точности – (см. рисунок 2.18 г). Данный режим характеризуется тем, что все входные операнды A1 и A0, B1 и B0, B3 и B2, C1 и C0, а также результат D1 и D0 образуют 64-разрядные векторы из двух 32-разрядных элементов, как и в предыдущем случае. Основная операция режима – умножение вектора из двух элементов [C1 C0] на матрицу 2*2 элемента

$\begin{bmatrix} B3 & B1 \\ B2 & B0 \end{bmatrix}$ и сложение с третьим двухэлементным вектором [A1 A0]. Особенностью

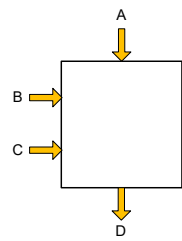
данной операции является то, что матрица считывается сразу из пары векторных регистров: из того, что указан в команде (он обязан иметь чётный номер) считывается

столбец $\begin{bmatrix} B1 \\ B0 \end{bmatrix}$, а из регистра с номером на единицу больше – столбец $\begin{bmatrix} B3 \\ B2 \end{bmatrix}$. Имеется

также возможность в зависимости от кода команды сформировать матрицу по строкам: из чётного регистра считается строка [B0 B2], из нечётного – строка [B1 B3]. В первом случае это позволяет осуществить умножение матрицы В на вектор-строку С слева, во втором – умножение матрицы В на вектор-столбец С справа.

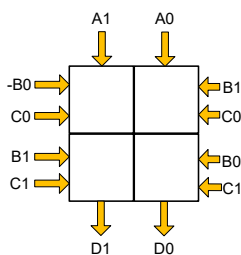
Остальные операнды в виде одного 64-разрядного данного или вектора из двух 32-разрядных данных считываются только из одного векторного регистра. Результат также пишется только в один векторный регистр.

					Лист
					57
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		



$$D = A + B \cdot C$$

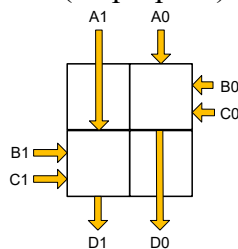
а) Операции над данными в формате с плавающей точкой двойной точности (64 разряда)



$$D0 = A0 + B0 \cdot C1 + B1 \cdot C0$$

$$D1 = A1 + B1 \cdot C1 - B0 \cdot C0$$

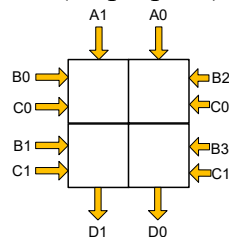
б) Операции над комплексными данными в формате с плавающей точкой одинарной точности (32 разряда)



$$D0 = A0 + B0 \cdot C0$$

$$D1 = A1 + B1 \cdot C1$$

в) Операции над векторными данными в формате с плавающей точкой одинарной точности (32 разряда)



$$D0 = A0 + B2 \cdot C0 + B3 \cdot C1$$

$$D1 = A1 + B0 \cdot C0 + B1 \cdot C1$$

г) Операции над матричными данными в формате с плавающей точкой одинарной точности (32 разряда)

Рисунок 2.18 – Режимы работы операционного устройства

					ЮФКВ.431282.020РЭ	Лист
						58
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

SCALAR REGISTERS – программно доступные скалярные регистры, входящие в состав каждой процессорной ячейки. В таблице 2.8 представлен их перечень .

Таблица 2.8 – Перечень программно доступных регистров процессорной ячейки

Название	Доступ	Описание
FPFR	ЧТ/ЗП	Регистр флагов
SPMRL	ЧТ/ЗП	Младшая часть регистра маски одинарной точности
SPMRH	ЧТ/ЗП	Старшая часть регистра маски одинарной точности
DPMR	ЧТ/ЗП	Регистр маски двойной точности

Регистр флагов FPFR

Регистр FPFR хранит флаги результата вычисления последнего элемента результата последней выполненной арифметической команды (для 32-разрядных данных соответствует результату в разрядах 63-32). Регистр программно доступен на чтение и запись. Формат регистра FPFR представлен на рисунке 2.19, а функциональное назначение его полей приведено в таблице 2.9. После системного сброса все разряды регистра содержат нули, что и отражено на рисунке 2.19.

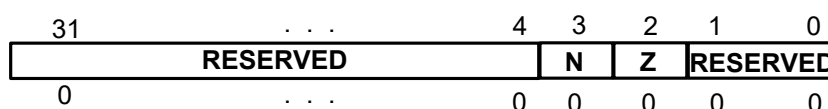


Рисунок 2.19 – Формат регистра FPFR

Таблица 2.9 – Функциональное назначение полей регистра FPFR

Разряд	Обозначение	Описание
FPFR <31:4>	RESERVED	Reserved
FPFR <3>	N	Признак отрицательного знака результата
FPFR <2>	Z	Признак нулевого результата
FPFR <1:0>	RESERVED	Reserved

Разряды с 31-го по 4-й и с 1-го по 0-й не используются, при их чтении возвращаются все нули, запись в них блокируется.

Регистры масок одинарной точности SPMRL (младшая часть) и SPMRH (старшая часть)

В качестве альтернативы работы с условными командами введён механизм работы с масками. В общем случае, маска формируется по результату арифметической команды. Каждому *i*-му элементу вектора результата (*i* = 0, 1,...*N*, где *N* ≤ 31) ставится в соответствие *i*-й разряд регистра маски. Если выполняется определённое условие для *i*-го элемента вектора результата, единое для всего вектора, то в *i*-й разряд регистра маски пишется единица, иначе – ноль. В дальнейшем при выполнении арифметических операций есть возможность

									Лист
									59
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

замаскировать результат по содержимому регистра маски: если разряд регистра маски равен 1, то соответствующий элемент вектора результата запишется в регистр-приёмник, если нет – соответствующий элемент в регистре-приёмнике меняться не будет. Таким образом, использование механизма масок позволяет обойтись без команд условного перехода.

Поскольку арифметические операции в формате с плавающей точкой одинарной точности (32 разряда) требуют максимум 64 бита маски (32 элемента вектора по два 32-разрядных слова), используются два 32-разрядных регистра маски одинарной точности – SPMRL (младшая часть) и SPMRH (старшая часть). Их форматы приведены на рисунках 2.20 и 2.21 соответственно. 0-й разряд регистра SPMRL содержит маску, соответствующую 0-му элементу вектора результата, разрядам с 31-го по 0-й. Соответственно, 0-й разряд регистра SPMRH содержит маску, соответствующую 0-му элементу вектора результата, разрядам с 63-го по 32-й. Таким образом, SPMRL содержит маски для элементов вектора с 0-го по 31-й только для младших 32 разрядов результата, а SPMRH – маски для элементов вектора с 0-го по 31-й только для старших 32 разрядов результата. Если число элементов в векторе результата меньше 32, то старшие разряды регистров масок не используются.

Регистры SPMRL и SPMRH программно доступны на чтение и запись. После системного сброса все разряды регистров не определены, что и показано на рисунках 2.20 и 2.21.

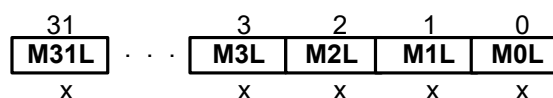


Рисунок 2.20 – Формат регистра SPMRL

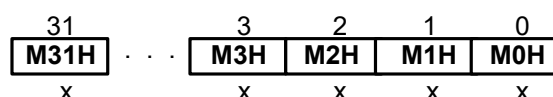


Рисунок 2.21 – Формат регистра SPMRH

При выполнении арифметических операций в формате с плавающей точкой двойной точности (64 разряда) требуется максимум 32 бита маски (32 элемента вектора по одному 64-разрядному слову). В этом случае используется только один регистр маски, а именно SPMRH.

Регистр маски двойной точности DPMR

Регистр DPMR является псевдорегистром. Запись в него вызовет запись одних и тех же 32-разрядных данных в регистры SPMRL и SPMRH, чтение из него вызовет чтение SPMRH.

										Лист
										60
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Данный псевдорегистр используется вместе с арифметическими операциями в формате с плавающей точкой двойной точности, чтобы программист не заботился о том, какой из регистров – SPMRL или SPMRH – используется. Вместе с тем для такого вида операций можно использовать регистр SPMRH в явном виде.

2.3.6 Блок упаковки и распаковки данных

Структурная схема блока упаковки и распаковки данных представлена на рисунке 2.22.

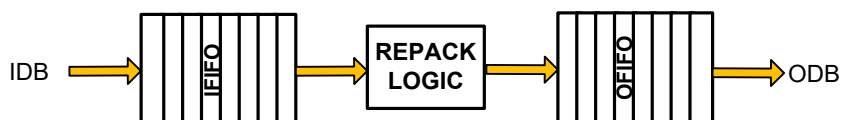


Рисунок 2.22 – Структурная схема блока упаковки и распаковки данных

Блок упаковки и распаковки данных включает в себя следующие основные узлы:

IFIFO – входное FIFO, куда данные, считанные по шине IDB из памяти или из одной из процессорных ячеек, записываются для дальнейшего преобразования.

OFIFO – выходное FIFO, откуда результат переупаковки считывается для записи в память, в другие ячейки или в блок упаковки и распаковки по выходной шине ODB.

REPACK LOGIC – комбинационная схема, реализующая требуемую упаковку и распаковку данных. На её входе и выходе возможно использование следующих восьми форматов данных, причём возможно любое их сочетание:

- в блоке 64-разрядных данных упакованы два 32-разрядных числа в формате с фиксированной точкой;
- в блоке 64-разрядных данных упакованы два 32-разрядных числа в формате с фиксированной точкой, но в дальнейшем используются только старшие 32-разряда (младшие 32-разряда обнуляются);
- в блоке 64-разрядных данных упакованы два 32-разрядных числа в формате с фиксированной точкой, но в дальнейшем используются только младшие 32-разряда (старшие 32-разряда обнуляются);
- в блоке 64-разрядных данных находится одно число в формате с фиксированной точкой;
- в блоке 64-разрядных данных упакованы два 32-разрядных числа в формате с плавающей точкой;

					ЮФКВ.431282.020РЭ	Лист
						61
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

- в блоке 64-разрядных данных упакованы два 32-разрядных числа в формате с плавающей точкой, но в дальнейшем используются только старшие 32-разряда (младшие 32-разряда обнуляются);
- в блоке 64-разрядных данных упакованы два 32-разрядных числа в формате с плавающей точкой, но в дальнейшем используются только младшие 32-разряда (старшие 32-разряда обнуляются);
- в блоке 64-разрядных данных находится одно число в формате с плавающей точкой двойной точности.

Таким образом, возможны 64 варианта упаковки и распаковки данных, имеющих различные форматы и разрядности.

										Лист
										62
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

2.4 Система команд процессорного ядра NMC4

Система команд процессорного ядра NMC4 совместима с системой команд других процессорных ядер этого же семейства и является уникальной по отношению к другим процессорам.

Характерными особенностями системы команд NMC4 являются:

- Фиксированная длина команды. Все команды имеют длину 32 разряда, либо 64 разряда, если старшим словом команды является непосредственно передаваемая константа.
- Сверхбольшое слово команды (VLIW). Каждая команда может задавать несколько операций, причем эти операции могут исполняться независимо.
- Аппаратная поддержка циклов. В командах, определяющих работу матрично-векторного сопроцессора, допускается задавать число повторений команды от 1 до 32.
- Принудительное включение последовательного исполнения команд. Процессорное ядро является мультиконвейерным, динамическим суперскалярным вычислительным устройством, которое может исполнять несколько команд одновременно.

Команды процессорного ядра NMC4 делятся на две основные группы: команды управляющего RISC-процессора (см. рисунок 2.23 а) и команды сопроцессора арифметики с плавающей точкой (см. рисунок 2.23 б). Каждая из этих групп, в свою очередь, делится на команды скалярные, т. е. обычные RISC-команды, и векторные, которые задают многократно одни и те же действия над векторами данных, что эквивалентно аппаратной поддержке коротких циклов. В отличие от векторных команд сопроцессора арифметики с плавающей точкой векторные команды управляющего RISC-процессора с фиксированной точкой в данной реализации не используются.

Форматы команд приведены на рисунке 2.23, краткое их описание дано в пп.2.4.1-2.4.16.

										Лист
										63
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.			Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4			09.11.2020		31406-3					

	31	30	29	28	26	25	24	22	21	16	15	0						
1.1	0	0	1	MA	R/W	ARi	Рист/пр- к				КОП СК							
1.2	0	1	1	0	MA	R/W	ARi	Рист/пр- к				КОП СК						
	АДРЕС (смещение)																	
2.1	0	1	1	1	Rпр- к			Рист				КОП СК						
2.2	0	1	0	0	Rпр- к			0	0	x	x	x	x	КОП СК				
	КОНСТАНТА																	
3.1	0	1	0	1	KM	1	ARi	0	1	x	ARj	КОП СК						
3.2	0	1	0	0	KM	1	ARi	0	1	x	ARj	КОП СК						
	КОНСТАНТА- СМЕЩЕНИЕ																	
3.3	0	1	0	1	xx	0	xxx	0	1	x	x	xx	КОП СК					
3.4	0	1	0	0	xx	0	xxx	0	1	x	x	xx	КОП СК					
	КОНСТАНТА- СМЕЩЕНИЕ																	
4.1	0	0	0	0	KM	I/C	ARi	1	0	Условие			КОП СК					
4.2	0	1	0	0	KM	I/C	ARi	1	0	Условие			КОП СК					
	АДРЕС (смещение)																	
4.3	0	0	0	0	0	1	1	1	0	0	1	1	Условие		КОП СК			
4.4	0	0	0	0	0	1	1	0	0	0	1	1	Условие		КОП СК			
4.5	0	1	1	1	0	1	1	1	0	0	0	1	1	0	0	1	КОП СК	

а) Команды управляющего RISC-процессора

Рисунок 2.23 (лист 1 из 2) - Система команд процессорного ядра NMC4

					ЮФКВ.431282.020РЭ					Лист
										64
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

	31	30	29	28	26	25	24	22	21	16	15	0							
1.1F	1	0	1	MA	R/W	ARi	Рист/пр-к				КОП СК								
1.2F	1	1	1	0	MA	R/W	ARi	Рист/пр-к				КОП СК							
АДРЕС (смещение)																			
2.1F	1	1	1	1	Rпр-к			Рист				КОП СК							
2.2F	1	1	0	0	Rпр-к			0	0	x	x	x	x	КОП СК					
КОНСТАНТА																			
3.1F	1	0	0	M	0	0	OP	0	0	0	DT	x	VR_A	x x x x x x x		VRD	CELL_D		
3.2F	1	0	0	M	0	1	x	OP	0	0	0	DT	x	x	SB	VR_B	VR_C	VRD	CELL_D
3.3F	1	0	0	M	1	0	OP	0	0	0	DT	WE	VR_A	SB	VR_B	MGC	VRD	CELL_D	
3.4F	1	0	0	M	1	1	OP	0	0	0	DT	SA	VR_A	SB	VR_B	VR_C	VRD	CELL_D	
4.1F	1	0	0	MA	0	ARi	0	0	1	x	количество	R	x x x x x x x		VRD	CELL_D			
4.2F	1	0	0	MA	1	ARi	0	0	1	x	количество	R	VRS	CELL_S	x x x x x x x				
4.3F	1	0	0	MA	0	ARi	0	1	0	x	количество	R	x x x x x x x		RPOP				
4.4F	1	0	0	MA	1	ARi	0	1	0	x	количество	R	x x x x x x x x x x x x x						
5.1F	1	0	0	x x x x		0	0	1	0	0	x x x x x x x		VRS	CELL_S	VRD	CELL_D			
5.2F	1	0	0	x x x x		0	1	1	0	0	x x x	VRS0	MS	VRS1	CELL_S	VRD	CELL_D		
5.3F	1	0	0	x x x x		1	0	1	0	0	x x x x x x x		PR	VRS1	CELL_S	VRD	CELL_D		
5.4F	1	0	0	x x x x		1	1	1	0	0	x	количество	R	x x x x x		PR	VRD	CELL_D	

б) Команды сопроцессора арифметики с плавающей точкой

Рисунок 2.23 (лист 2 из 2) - Система команд процессорного ядра NMC4

2.4.1 Форматы команд, задающих пересылку данных типа «регистр управляющего RISC-процессора – память»

Формат 1.1 Рист/пр-к ↔(фдр.(ARi, GRi)); ARi←fm(ARi, GRi)

																			Лист	
																				65
Изм.	Лист	№ докум.	Подп.	Дата																
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата													
31406-4	09.11.2020				31406-3															

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15			0
0	0	1	MA			R/W	AR _i			R _{ист/пр-к}			КОП СК						

R/W	Направление пересылки данных
0	Чтение из памяти в R _{ист/пр-к}
1	Запись в память из R _{ист/пр-к}

MA	f _{адр.} (AR _i , GR _i)		f _м (AR _i , GR _i)
0	0	0	GR _i
0	0	1	AR _i +GR _i
0	1	0	GR _i
0	1	1	AR _i +GR _i
1	0	0	AR _i
1	0	1	AR _i +GR _i
1	1	0	AR _i - a
1	1	1	AR _i +a

Примечание: a=1 при адресации 32-разрядных данных;
a=2 при адресации 64-разрядных данных.

Формат 1.2 R_{ист/пр-к} ↔ (f_{адр.}(AR_i, CM)); AR_i ← f_м(AR_i, CM)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0		
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	--	--

0	1	1	0	MA	R/W	AR _i			R _{ист/пр-к}			КОП СК				
АДРЕС (СМЕЩЕНИЕ)																

63

32

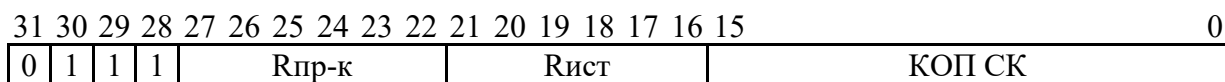
R/W	Направление пересылки данных
0	Чтение из памяти в R _{ист/пр-к}
1	Запись в память из R _{ист/пр-к}

MA	f _{адр.} (AR _i , CM)		f _м (AR _i , CM)
0	0	Адрес	AR _i
0	1	AR _i +CM	AR _i +CM
1	0	Адрес	Адрес
1	1	AR _i +CM	AR _i

					ЮФКВ.431282.020РЭ					Лист
										66
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

2.4.2 Форматы команд пересылки данных типа «регистр-регистр» между регистрами управляющего RISC-процессора

Формат 2.1 Рист \rightarrow Rпр-к

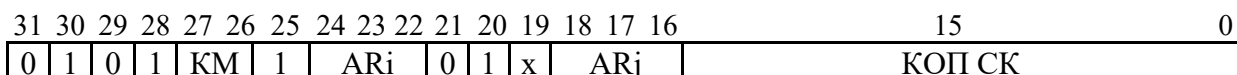


Формат 2.2 Rпр-к \leftarrow КОНСТАНТА



2.4.3 Форматы команд модификации адресных регистров управляющего RISC-процессора

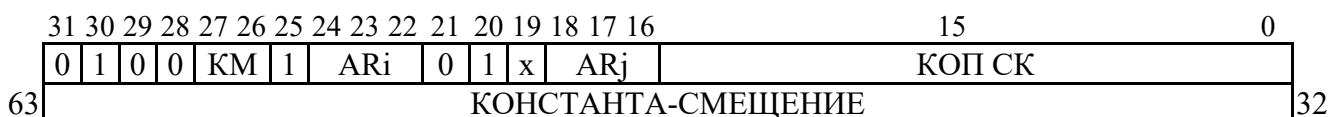
Формат 3.1. ARj \leftarrow fm(ARi, GRi)



KM		fm(ARi, GRi)
0	0	ARi
0	1	ARi + GRi
1	0	GRi
1	1	PC + GRi

ARпр-к			AR приёмник
0	0	0	AR0
0	0	1	AR1
0	1	0	AR2
0	1	1	AR3
1	0	0	AR4
1	0	1	AR5
1	1	0	AR6
1	1	1	SP(AR7)

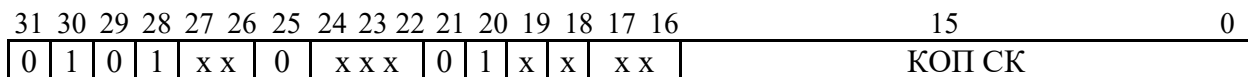
Формат 3.2 ARj \leftarrow fm(ARi, CM)



KM		fm(ARi, CM)
0	0	ARi
0	1	ARi + CM
1	0	CM
1	1	PC + CM

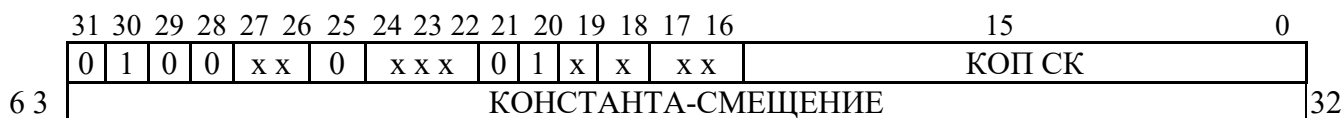
ARпр-к	См. формат 3.1
--------	----------------

Формат 3.3. Нет операций ввода/вывода и модификации адресных регистров



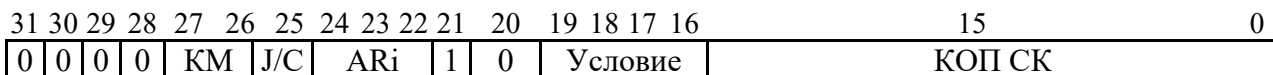
Формат 3.4 Нет операций ввода/вывода и модификации адресных регистров

					ЮФКВ.431282.020РЭ					Лист
										67
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					



2.4.4 Форматы команд управления RISC-процессора

Формат 4.1 Переход/переход к подпрограмме (GOTO/CALL)

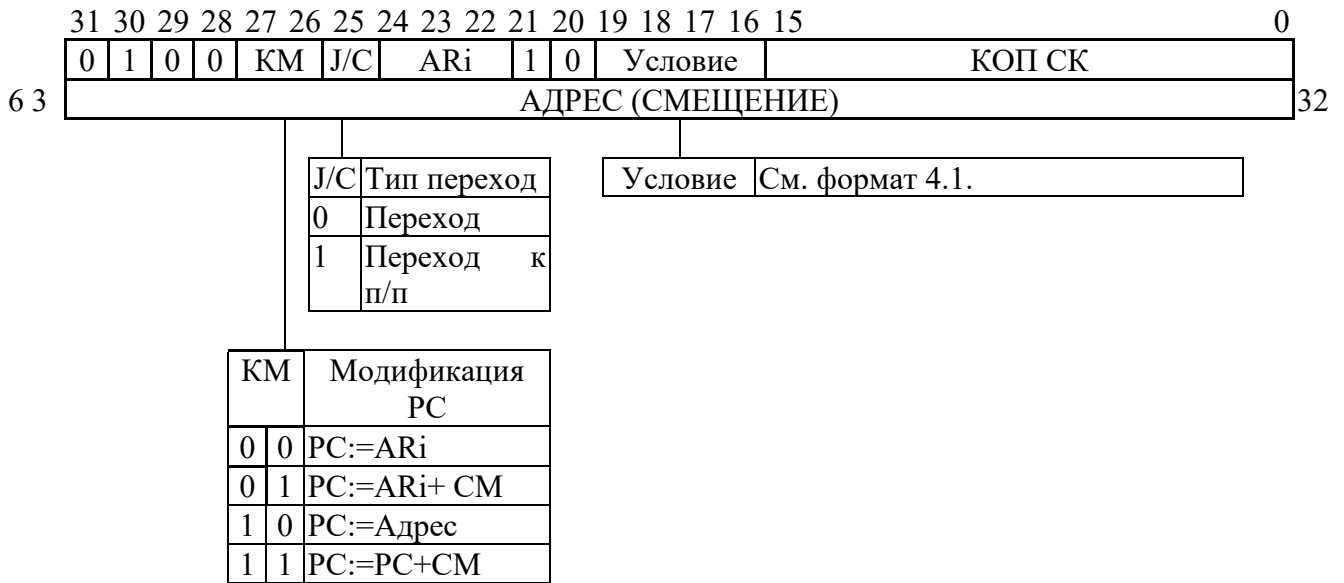


J/C	Тип переход
0	Переход
1	Переход к п/п

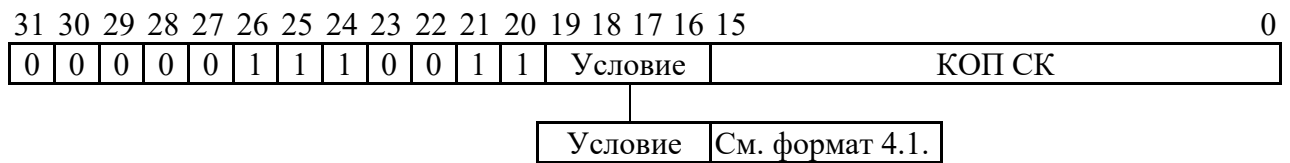
КМ	Модификация PC
0	PC:=ARi
0	PC:=ARi+GRi
1	PC:=GRi
1	PC:=PC+GRi

Условие	Анализируемое сочетание признаков
0 0 0 0	Переход, если C=0
0 0 0 1	Переход, если V=0
0 0 1 0	Переход, если N+Z=0
0 0 1 1	Переход, если N=0
0 1 0 0	Переход, если $(V \oplus N)+Z=0$
0 1 0 1	Переход, если $V \oplus N=0$
0 1 1 0	Переход, если Z=0
0 1 1 1	Переход безусловный
1 0 0 0	Переход, если C=1
1 0 0 1	Переход, если V=1
1 0 1 0	Переход, если N+Z=1
1 0 1 1	Переход, если N=1
1 1 0 0	Переход, если $(V \oplus N)+Z=1$
1 1 0 1	Переход, если $V \oplus N=1$
1 1 1 0	Переход, если Z=1
1 1 1 1	Перехода нет

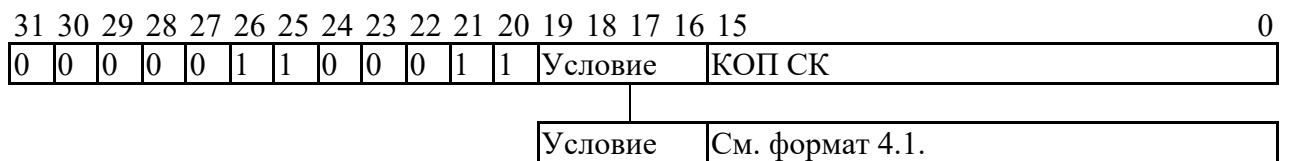
Формат 4.2. Переход/переход к подпрограмме со смещением (GOTO/CALL)



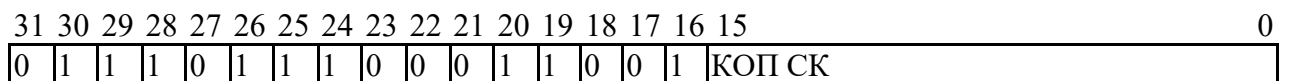
Формат 4.3. Возврат из подпрограммы (RETURN)



Формат 4.4. Возврат из прерывания (IRETURN)



Формат 4.5. Останов (HALT)



	ЮФКВ.431282.020РЭ	Лист						
		69						
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020		31406-3					

2.4.5 Форматы поля КОП СК (код операции скалярной команды управляющего RISC-процессора)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	ТС	BC						GR _{ист}	GR _{пр-к}					

W	0	КЛОП	GR _{ист2}	GR _{ист1}	GR _{пр-к}
---	---	------	--------------------	--------------------	--------------------

W	1	КАОП	GR _{ист2}	GR _{ист1}	GR _{пр-к}
---	---	------	--------------------	--------------------	--------------------

GR			РОН
			источник/приемник
0	0	0	GR0
0	0	1	GR1
0	1	0	GR2
0	1	1	GR3
1	0	0	GR4
1	0	1	GR5
1	1	0	GR6
1	1	1	GR7

W		Управление записью в GR _{пр-к} и в регистр признаков
0	1	Есть запись в GR _{пр-к} , нет записи признаков
1	0	Есть запись признаков, нет записи в GR _{пр-к}
1	1	Есть запись в GR _{пр-к} и есть запись признаков

					Лист
					70
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

2.4.6 Формат поля КОП СК, задающего операцию сдвига

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	ТС	ВС					GRист		GRпр-к					

ТС	Тип сдвига	
0	0	Циклический сдвиг
0	1	Логический сдвиг
1	0	Арифметический сдвиг
1	1	Логический сдвиг через "С"

Примечание - Поле ВС задает величину сдвига в дополнительном коде:
 положительное значение - сдвиг влево (от 0 до 31 разряда),
 отрицательное значение - сдвиг вправо (от 1 до 32 разрядов).
 "С" - признак переноса слова состояния процессора.
 Логический сдвиг через "С" может выполняться только на один разряд влево или вправо;
 сдвиги остальных типов могут выполняться на любое от 1 до 31 число разрядов влево или вправо.
 Сдвиг на 0 или 32 разряда любого типа воспринимается как код "нет операции", и при этом не изменяется ни приёмник результата операции GRпр-к, ни признаки.
 Сдвиги от 1 до 31 разряда меняют признаки слова состояния процессора по следующим правилам:
 N - признак знака - равен старшему (знаковому) разряду результата;
 Z - признак нуля - равен единице, если все разряды регистра приемника GR нулевые, или нулю в противном случае;
 C - признак переноса, равен последнему выталкиваемому при сдвиге разряду из GR источника;
 V - признак переполнения - устанавливается в единицу только при арифметических сдвигах влево, если получаемый признак C не равен 31 разряду GR приемника, во всех остальных случаях равен нулю.

Схемы различных вариантов сдвига на один разряд изображены на рисунке (см. Рисунок 2.24). Сдвиги на большее число разрядов эквивалентны многократному сдвигу на единицу, хотя и выполняются за один такт работы процессора.

					ЮФКВ.431282.020РЭ					Лист
										71
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

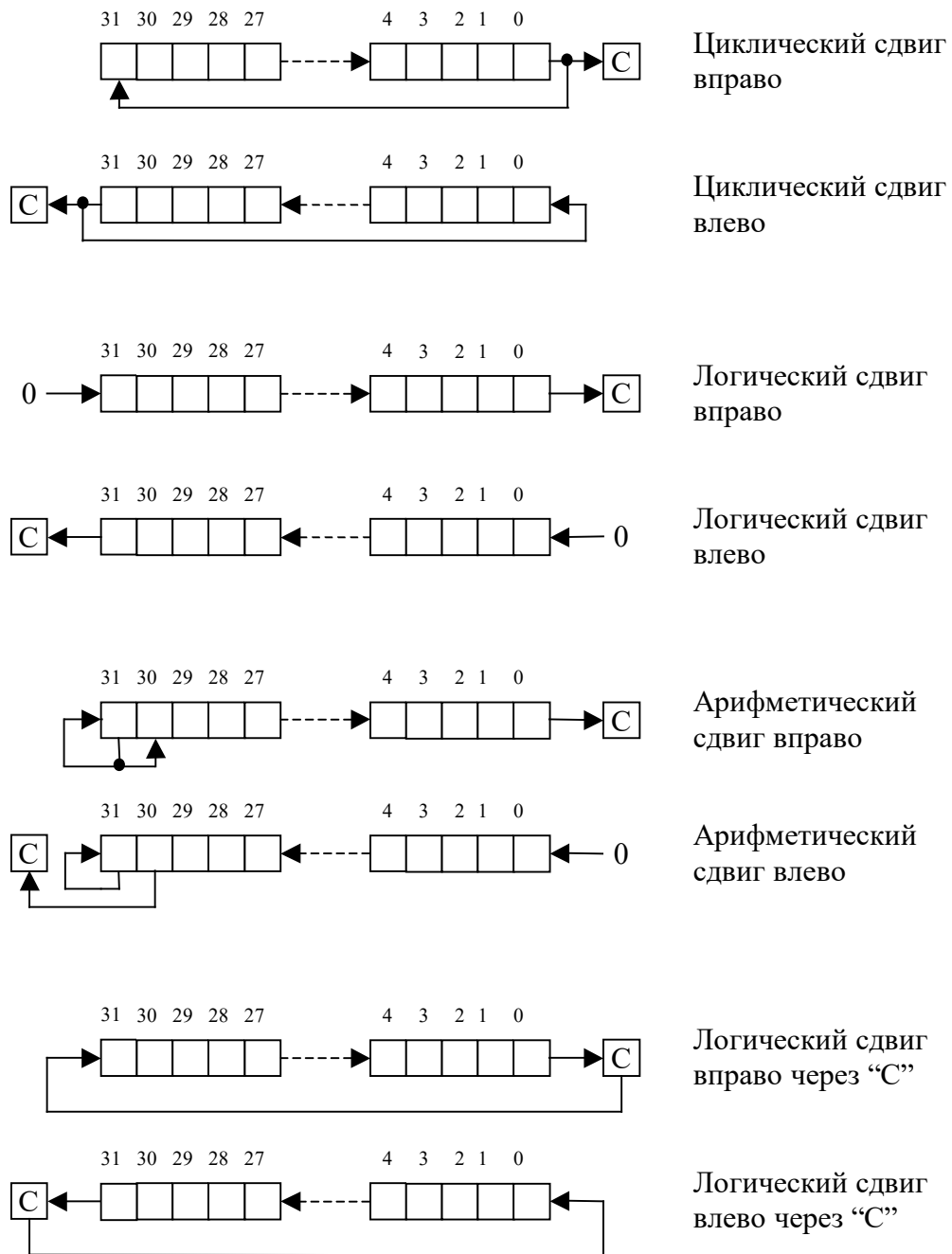


Рисунок 2.24 – Схемы выполнения различных типов операций сдвигов

										Лист
										72
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

2.4.7 Формат поля КОП СК, задающего логическую операцию

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	0	КЛОП			GR _{ист2}	GR _{ист1}	GRпр-к								

КЛОП				Код логической операции	N	Z	V	C
0	0	0	0	0	0	1	0	0
0	0	0	1	$\overline{GR_{ист2}} \& \overline{GR_{ист1}}$	+	+	0	0
0	0	1	0	$GR_{ист2} \& \overline{GR_{ист1}}$	+	+	0	0
0	0	1	1	$\overline{GR_{ист1}}$	+	+	0	0
0	1	0	0	$\overline{GR_{ист2}} \& GR_{ист1}$	+	+	0	0
0	1	0	1	$\overline{GR_{ист2}}$	+	+	0	0
0	1	1	0	$GR_{ист2} \oplus GR_{ист1}$	+	+	0	0
0	1	1	1	$\overline{GR_{ист2}} + \overline{GR_{ист1}}$	+	+	0	0
1	0	0	0	$GR_{ист2} \& GR_{ист1}$	+	+	0	0
1	0	0	1	$GR_{ист2} \oplus \overline{GR_{ист1}}$	+	+	0	0
1	0	1	0	$GR_{ист2}$	+	+	0	0
1	0	1	1	$GR_{ист2} + \overline{GR_{ист1}}$	+	+	0	0
1	1	0	0	$GR_{ист1}$	+	+	0	0
1	1	0	1	$\overline{GR_{ист2}} + GR_{ист1}$	+	+	0	0
1	1	1	0	$GR_{ист2} + GR_{ист1}$	+	+	0	0
1	1	1	1	- 1	1	0	0	0

					ЮФКВ.431282.020РЭ			Лист
								73
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.	Подп. и дата
31406-4		09.11.2020			31406-3			

2.4.8 Формат поля КОП СК, задающего арифметическую операцию

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	1	КАОП				GR _{ист2}	GR _{ист1}	GR _{пр-к}							

КАОП				Код арифметической операции	Y	N	Z	V	C
0	0	0	0	GR _{ист2} -GR _{ист1}	-	+	+	+	+
0	0	0	1	GR _{ист2} -GR _{ист1} -1+"C"	-	+	+	+	+
0	0	1	0	GR _{ист2} +1	-	+	+	+	+
0	0	1	1	GR _{ист2} +"C"	-	+	+	+	+
0	1	0	0	GR _{ист2} -1	-	+	+	+	+
0	1	0	1	GR _{ист2} -1+"C"	-	+	+	+	+
0	1	1	0	GR _{ист2} + GR _{ист1}	-	+	+	+	+
0	1	1	1	GR _{ист2} + GR _{ист1} +"C"	-	+	+	+	+
1	0	0	0	Первый шаг умножения	+	?	?	0	?
1	0	0	1	Шаг умножения	+	?	?	0	?
1	0	1	X	Резерв					
1	1	0	0	-GR _{ист2}	-	+	+	+	+
1	1	X	1	Резерв					
1	1	1	X	Резерв					

Примечание

"C" - признак переноса из слова состояния процессора.

Если в поле W задаёт запись признаков, то они устанавливаются соответственно столбцам N,Z,V,C, иначе они сохраняют своё значение. Признак Y меняется только операциями "Первый шаг умножения" и "Шаг умножения" независимо от поля W. В таблицах используются следующие обозначения:

"+" - признак устанавливается по результату операции;

"0" - признак обнуляется;

"1" - признак устанавливается в единицу;

"?" - значение признака не определено.

Признак Y равен предпоследнему по значимости (1-му) разряду множителя (GR7) при выполнении операций "Первый шаг умножения" и "Шаг умножения".

Признак N равен 31 (знаковому) разряду результата.

Признак Z равен единице, если все разряды результата нулевые, иначе - нулю.

Признак V равен нулю для операций шага умножения, для остальных операций он формируется как результат операции "исключающее ИЛИ" переноса из 31 разряда и переноса в 31 разряд.

Признак C равен переносу из 31 разряда.

					ЮФКВ.431282.020РЭ					Лист
										74
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

2.4.9 Поле выбора адресного регистра управляющего RISC-процессора

2 2 2
5 4 3

AR _i			Номер AR или GR
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Примечание - AR7 (SP) может использоваться в качестве системного указателя стека адресов возврата при входе/выходе из подпрограммы (прерывания), причём изменяется он в этом случае только на +/- 2.

										Лист
										75
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

2.4.10 Поле Рист/пр-к в командах пересылки данных управляющего RISC-процессора

Код регистра	Регистр- источник	Регистр- приемник
0 0 0 0 0 0	GR0,AR0	GR0,AR0
0 0 0 0 0 1	GR1,AR1	GR1,AR1
0 0 0 0 1 0	GR2,AR2	GR2,AR2
0 0 0 0 1 1	GR3,AR3	GR3,AR3
0 0 0 1 0 0	GR4,AR4	GR4,AR4
0 0 0 1 0 1	GR5,AR5	GR5,AR5
0 0 0 1 1 0	GR6,AR6	GR6,AR6
0 0 0 1 1 1	GR7,AR7	GR7,AR7
0 0 1 0 0 0	AR0	AR0
0 0 1 0 0 1	AR1	AR1
0 0 1 0 1 0	AR2	AR2
0 0 1 0 1 1	AR3	AR3
0 0 1 1 0 0	AR4	AR4
0 0 1 1 0 1	AR5	AR5
0 0 1 1 1 0	AR6	AR6
0 0 1 1 1 1	AR7(SP)	AR7(SP)
0 1 0 0 0 0	GR0	GR0
0 1 0 0 0 1	GR1	GR1
0 1 0 0 1 0	GR2	GR2
0 1 0 0 1 1	GR3	GR3
0 1 0 1 0 0	GR4	GR4
0 1 0 1 0 1	GR5	GR5
0 1 0 1 1 0	GR6	GR6
0 1 0 1 1 1	GR7	GR7
0 1 1 0 0 0	PSWR,PC	PSWR,PC
0 1 1 0 0 1	SIR	SIR
0 1 1 0 1 0	INTR	INTRreset
0 1 1 0 1 1	VL	VL
0 1 1 1 0 0	PC	PC
0 1 1 1 0 1	-	PSWRset
0 1 1 1 1 0	-	PSWRreset
0 1 1 1 1 1	PSWR	PSWR

									Лист
									76
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

**Поле Rист/пр-к в командах пересылки данных управляющего RISC-процессора
(продолжение)**

Код регистра	Регистр-источник	Регистр-приемник
1 0 0 0 0 0	-	-
1 0 0 0 0 1	-	-
1 0 0 0 1 0	-	-
1 0 0 0 1 1	-	-
1 0 0 1 0 0	-	-
1 0 0 1 0 1	-	-
1 0 0 1 1 0	INTR	-
1 0 0 1 1 1	PC	-
1 0 1 0 0 0	-	-
1 0 1 0 0 1	-	-
1 0 1 0 1 0	-	-
1 0 1 0 1 1	-	-
1 0 1 1 0 0	-	-
1 0 1 1 0 1	-	-
1 0 1 1 1 0	-	-
1 0 1 1 1 1	-	-
1 1 0 0 0 0	-	-
1 1 0 0 0 1	-	-
1 1 0 0 1 0	-	-
1 1 0 0 1 1	-	-
1 1 0 1 0 0	-	-
1 1 0 1 0 1	-	-
1 1 0 1 1 0	-	-
1 1 0 1 1 1	-	-
1 1 1 0 0 0	-	-
1 1 1 0 0 1	-	SIR
1 1 1 0 1 0	-	-
1 1 1 0 1 1	-	-
1 1 1 1 0 0	-	-
1 1 1 1 0 1	-	-
1 1 1 1 1 0	-	-
1 1 1 1 1 1	-	-

									Лист
									77
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Список регистров управляющего RISC-процессора, их обозначение, назначение и разрядность приведены в таблице 2.10.

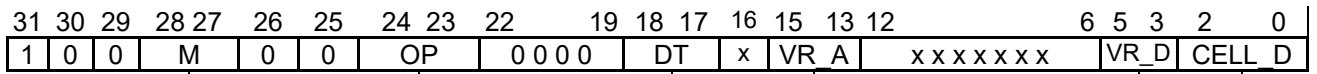
Таблица 2.10 – Обозначение регистров управляющего RISC-процессора и их назначение

Обозначение регистров и их назначение	Разрядность
Регистры процессорного ядра	
GRi – регистр общего назначения I (i=0,...,7)	32
ARj – адресный регистр j (j=0,...,6)	32
SP(AR7) – указатель стека адресов возврата	32
PC – программный счетчик	32
PSWR – регистр слова состояния процессора	32
PSWRset – код для побитовой установки PSWR в единицу (псевдорегистр)	-
PSWRreset – код для побитового сброса PSWR в ноль (псевдорегистр)	-
INTR – регистр запросов на прерывание	32
INTRreset – код для побитового сброса INTR в ноль (псевдорегистр)	-
VL – регистр, задающий длину вектора для векторных команд сопроцессора арифметики с плавающей точкой	32
SIR – регистр системного интегратора, через который осуществляются пересылки между регистрами RISC-процессора и сопроцессоров	64

										Лист
										78
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

2.4.13 Арифметические векторные команды сопроцессора арифметики с плавающей точкой

Формат 3.1F (far.(VR_A)) → VR_D



Поле маски АЛУ операции	M
Нет маски	0 0
Нет маски	0 1
Маскирование по нулевому значению маски	1 0
Маскирование по единичному значению маски	1 1

OP	Поле знака операции
0 0	A
0 1	A
1 0	- A
1 1	- A

Тип данных	DT
32-разрядные векторные данные	0 0
32-разрядные матричные данные	0 1
64-разрядные комплексные данные	1 0
64-разрядные данные	1 1

VR	Векторный регистр
0 0 0	VR0
0 0 1	VR1
0 1 1	VR2
0 1 1	VR3
1 0 0	VR4
1 0 1	VR5
1 1 0	VR6
1 1 1	VR7

Номер проц. ячейки	CELL_D
0	0 0 0
1	0 0 1
2	
3	0 1 1
Резерв	1 x x

					Лист
ЮФКВ.431282.020РЭ					80
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Формат 3.2F (far.(VR_B * VR_C)) → VR_D

31	30	29	28	27	26	25	24	23	22	19	18	17	16	15	13	12	11	9	8	6	5	3	2	0
1	0	0	M	0	1	x	OP	0	0	0	DT	x	x	x	SB	VR_B	VR_C	VR_D	CELL_D					

Поле маски АЛУ операции	M
Нет маски	0 0
Нет маски	0 1
Маскирование по нулевому значению маски	1 0
Маскирование по единичному значению маски	1 1

OP	Поле знака операции
0	B * C
1	- B * C

Тип данных	DT
32-разрядные векторные данные	0 0
32-разрядные матричные данные	0 1
64-разрядные комплексные данные	1 0
64-разрядные данные	1 1

VR	Векторный регистр
0 0 0	VR0
0 0 1	VR1
0 1 1	VR2
0 1 1	VR3
1 0 0	VR4
1 0 1	VR5
1 1 0	VR6
1 1 1	VR7

Номер проц. ячейки	CELL_D
0	0 0 0
1	0 0 1
2	
3	0 1 1
Резерв	1 x x

SB	Тип чтения из векторного регистра VR_B
0	Читаем векторные данные
1	Читаем скалярные данные

Примечание - При использовании 32-разрядных матричных данных в качестве операнда В 11-10 разряды команды задают чтение регистровой пары (128 разрядов за такт, а не 64, как обычно). Это позволяет за один процессорный такт заполнить матрицу 2 x 2 32-разрядных элементов. 9-й разряд команды задаёт, каким образом формируется матрица: если 9-й разряд равен нулю, матрица считывается по столбцам (один столбец из векторного регистра с чётным номером, второй – из векторного регистра с нечётным номером), если 9-й разряд равен единице – по строкам (одна строка берётся из векторного регистра с чётным номером, вторая – из векторного регистра с нечётным номером). В первом случае это позволяет осуществить умножение матрицы В на вектор-строку С слева, во втором - умножение матрицы В на вектор-столбец С справа (см. рисунок 2.18 и пояснения к нему).

					ЮФКВ.431282.020РЭ					Лист
										81
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Формат 3.3F (far.(VR_A + VR_B)) → VR_D

31	30	29	28	27	26	25	24	23	22	19	18	17	16	15	13	12	11	9	8	6	5	3	2	0
1	0	0	M	1	0	OP	0	0	0	DT	WE	VR_A	SB	VR_B	MGC	VR_D	CELL_D							

Поле маски АЛУ операции	M
Нет маски	0 0
Нет маски	0 1
Маскирование по нулевому значению маски	1 0
Маскирование по единичному значению маски	1 1

OP	Поле знака операции
0 0	A + B
0 1	A - B
1 0	- A + B
1 1	- A - B

Тип данных	DT
32-разрядные векторные данные	0 0
32-разрядные матричные данные	0 1
64-разрядные комплексные данные	1 0
64-разрядные данные	1 1

VR	Векторный регистр
0 0 0	VR0
0 0 1	VR1
0 1 0	VR2
0 1 1	VR3
1 0 0	VR4
1 0 1	VR5
1 1 0	VR6
1 1 1	VR7

Номер проц. ячейки	CELL_D
0	0 0 0
1	0 0 1
2	
3	0 1 1
Резерв	1 x x

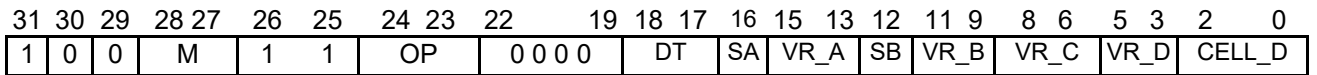
Разрешение записи в VR_D в командах сравнения	WE
Нет записи	0
Есть запись	1

SB	Тип чтения из векторного регистра VR_B
0	Читаем векторные данные
1	Читаем скалярные данные

MGC	Условия генерации маски
0 0 0	Маска и признаки не формируются
0 0 1	Формируются только признаки
0 1 0	Формируются признаки и маска, если больше
0 1 1	Формируются признаки и маска, если меньше
1 0 0	Формируются признаки и маска, если равно
1 0 1	Формируются признаки и маска, если не равно
1 1 0	Формируются признаки и маска, если больше или равно
1 1 1	Формируются признаки и маска, если меньше или равно

					ЮФКВ.431282.020РЭ		Лист
							82
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

Формат 3.4F (far.(VR_A + VR_B * VR_C)) → VR_D



Поле маски АЛУ операции	M
Нет маски	0 0
Нет маски	0 1
Маскирование по нулевому значению маски	1 0
Маскирование по единичному значению маски	1 1

OP	Поле знака операции
0 0	A + B*C
0 1	A - B*C
1 0	-A + B*C
1 1	-A - B*C

Тип данных	DT
32-разрядные векторные данные	0 0
32-разрядные матричные данные	0 1
64-разрядные комплексные данные	1 0
64-разрядные данные	1 1

VR	Векторный регистр
0 0 0	VR0
0 0 1	VR1
0 1 0	VR2
0 1 1	VR3
1 0 0	VR4
1 0 1	VR5
1 1 0	VR6
1 1 1	VR7

Номер проц. ячейки	CELL_D
0	0 0 0
1	0 0 1
2	
3	0 1 1
Резерв	1 x x

S	Тип чтения из векторного регистра VR_A или VR_B
0	Читаем векторные данные
1	Читаем скалярные данные

Примечание - При использовании 32-разрядных матричных данных в качестве операнда В 11-10 разряды команды задают чтение регистровой пары (128 разрядов за такт, а не 64, как обычно). Это позволяет за один процессорный такт заполнить матрицу 2 x 2 32-разрядных элементов. 9-й разряд команды задаёт, каким образом формируется матрица: если 9-й разряд равен нулю, матрица считывается по столбцам (один столбец из векторного регистра с чётным номером, второй – из векторного регистра с нечётным номером), если 9-й разряд равен единице – по строкам (одна строка берётся из векторного регистра с чётным номером, вторая – из векторного регистра с нечётным номером). В первом случае это позволяет осуществить умножение матрицы В на вектор-строку С слева, во втором - умножение матрицы В на вектор-столбец С справа (см. рисунок 2.18 и пояснения к нему).

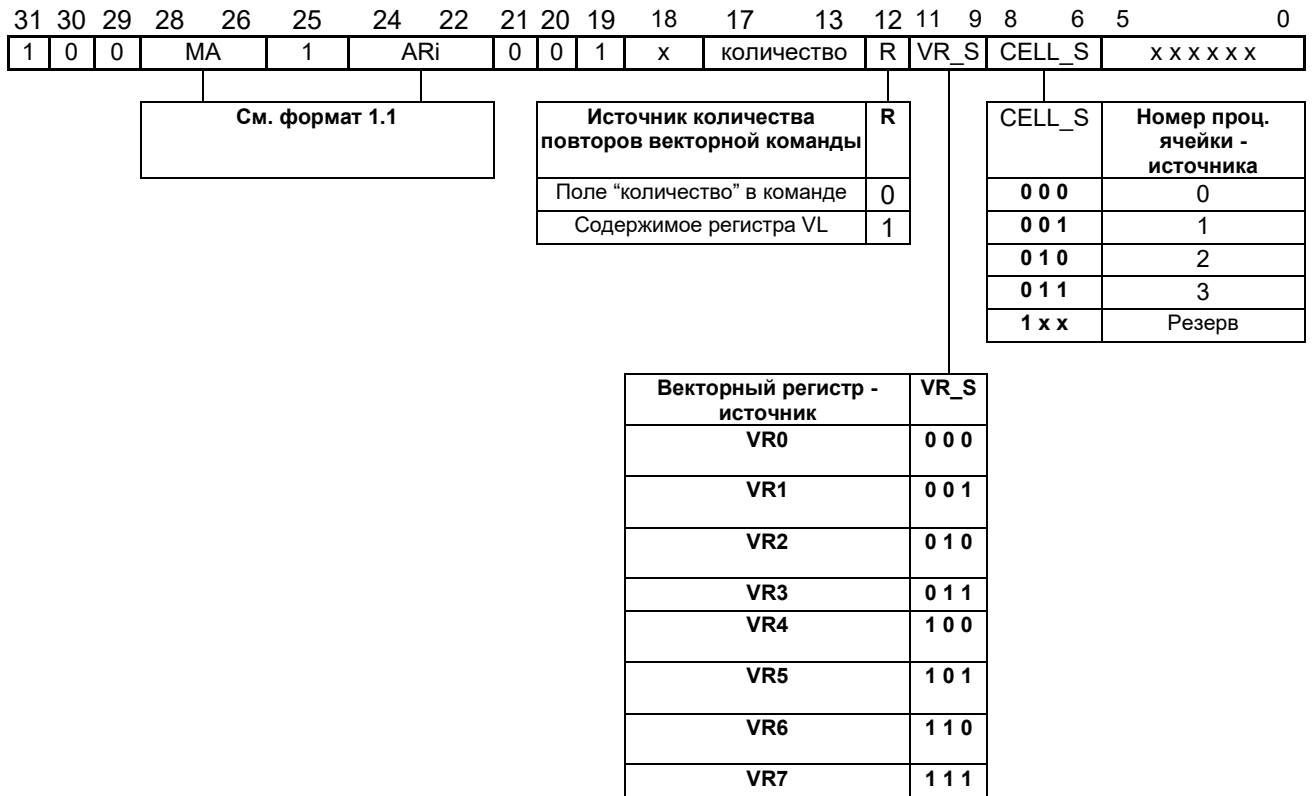
					Лист
					83
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

2.4.14 Векторные команды ввода-вывода сопроцессора арифметики с плавающей точкой

Формат 4.1F Чтение из памяти векторных данных $VR_D \leftarrow (\text{фдр.}(ARi, GRi));$
 $ARi \leftarrow \text{fm}(ARi, GRi)$



Формат 4.2F Запись в память векторных данных $VR_D \rightarrow (\text{фдр.}(ARi, GRi));$
 $ARi \leftarrow \text{fm}(ARi, GRi)$



2.4.16 Поле Рист/пр-к в командах пересылки данных сопроцессора арифметики с плавающей точкой

Код регистра	Регистр-источник	Регистр-приемник
0 0 0 0 0 0	FPFR0	FPFR0
0 0 0 0 0 1	SPMRL0	SPMRL0
0 0 0 0 1 0	SPMRH0	SPMRH0
0 0 0 0 1 1	DPMR0	SPMRH0
0 0 0 1 0 0	FPFR1	FPFR1
0 0 0 1 0 1	SPMRL1	SPMRL1
0 0 0 1 1 0	SPMRH1	SPMRH1
0 0 0 1 1 1	DPMR1	SPMRH1
0 0 1 0 0 0	FPFR2	FPFR2
0 0 1 0 0 1	SPMRL2	SPMRL2
0 0 1 0 1 0	SPMRH2	SPMRH2
0 0 1 0 1 1	DPMR2	SPMRH2
0 0 1 1 0 0	FPFR3	FPFR3
0 0 1 1 0 1	SPMRL3	SPMRL3
0 0 1 1 1 0	SPMRH3	SPMRH3
0 0 1 1 1 1	DPMR3	SPMRH3
0 1 0 0 0 0	FPIOIR	FPIOIR
0 1 0 0 0 1	FPOIR	FPOIR
0 1 0 0 1 0	FPUIR	FPUIR
0 1 0 0 1 1	FPIIR	FPIIR
0 1 0 1 0 0	FPDLIR	FPDLIR
0 1 0 1 0 1	FPIEIR	FPIEIR
0 1 0 1 1 0	RIER	RIER
0 1 0 1 1 1	IRRreset	-
0 1 1 0 0 0	-	-
0 1 1 0 0 1	SIR	SIR
0 1 1 0 1 0	RND_00	FPCR
0 1 1 0 1 1	RND_01	FPCR
0 1 1 1 0 0	RND_10	FPCR
0 1 1 1 0 1	RND_11	FPCR
0 1 1 1 1 0	Preset	FPCR
0 1 1 1 1 1	Pset	FPCR

										Лист
										89
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 2.11 – Обозначение регистров сопроцессора арифметики с плавающей точкой и их назначение

Обозначение регистров и их назначение	Разрядность
Регистры процессорных ячеек сопроцессора арифметики с плавающей точкой	
FPFR _i – регистр флагов процессорной ячейки i ($i=0, \dots, 3$)	4
SPMRL _i – младшая часть регистра маски одинарной точности процессорной ячейки i ($i=0, \dots, 3$)	32
SPMRH _i – старшая часть регистра маски одинарной точности процессорной ячейки i ($i=0, \dots, 3$)	32
DPMR _i – псевдо-регистр маски двойной точности процессорной ячейки i ($i=0, \dots, 3$). Запись в него 32-разрядного значения вызывает запись одного и того же в регистры SPMRL _i и SPMRH _i	32
Регистры контроллера прерываний сопроцессора арифметики с плавающей точкой	
FPIOIR - информация о прерывании по некорректным данным	6
FPOIR - информация о прерывании по переполнению	6
FPUIR - информация о прерывании по потере значимости	6
FPIIR - информация о прерывании по потере точности	6
FDDLIR - информация о прерывании по потере данных при сложении трёх операндов	6
FPIEIR - информация о прерывании по неправильной команде	10
RIER – регистр порядка целого числа при переупаковке	11
IRRreset – сброс всех запросов на прерывание сопроцессора арифметики с плавающей точкой	-
Общие регистры сопроцессора арифметики с плавающей точкой	
SIR – регистр системного интегратора, через который осуществляются пересылки между регистрами RISC-процессора и сопроцессора	32
FPCR – регистр управления, содержащий бит параллельной работы и режимы округления	3
RND_00 – установка режима округления к ближайшему (по умолчанию) в регистре FPCR	-
RND_01 – установка режима округления к $-\infty$ в регистре FPCR	-
RND_10 – установка режима округления к $+\infty$ в регистре FPCR	-
RND_11 – установка режима округления к нулю в регистре FPCR	-
Preset – сброс бита параллельной работы в регистре FPCR	-
Pset – установ бита параллельной работы в регистре FPCR	-

										Лист
										90
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

3 Архитектура и структура вычислительного узла на базе процессорного ядра NMC4 (NMPU)

3.1 Структурная схема NMPU

Структурная схема NMPU приведена на рисунке 3.1.

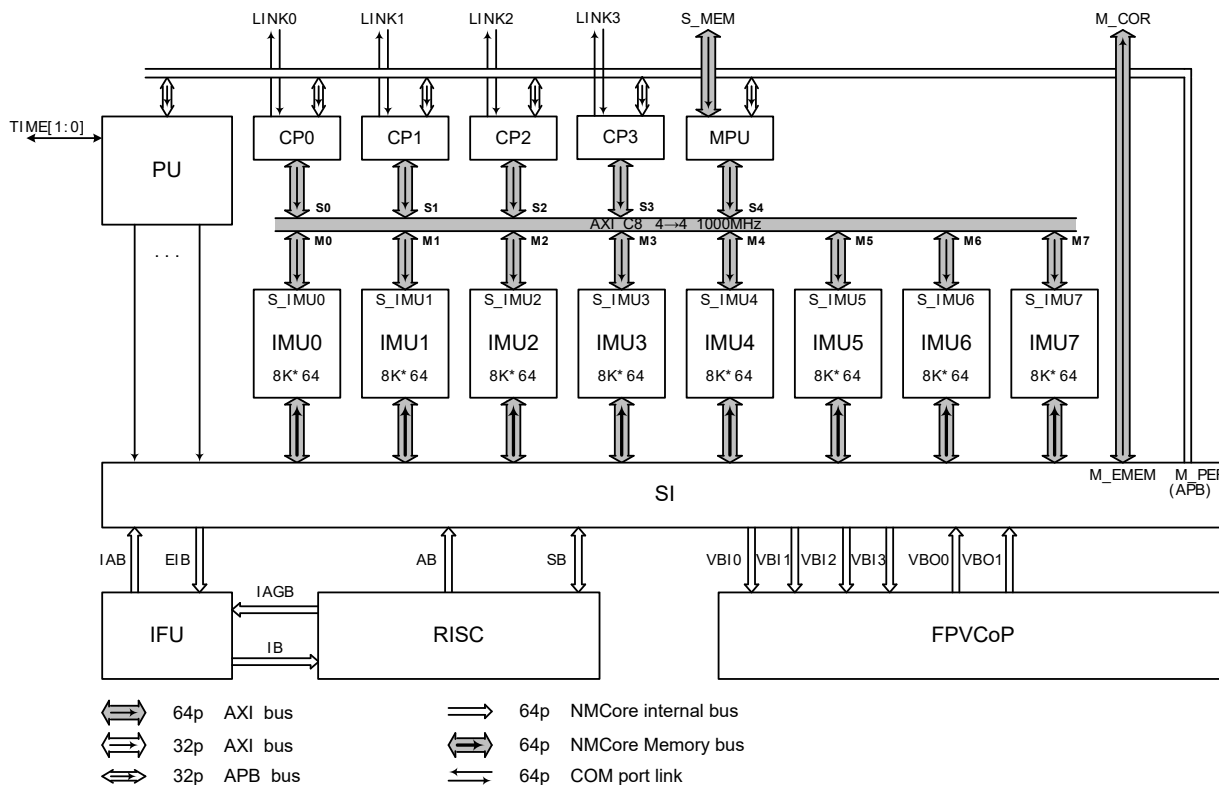


Рисунок 3.1 - Структурная схема процессорного устройства NMPU

В состав вычислительного узла входят следующие блоки:

NMC4 – процессорное ядро, содержащее RISC-процессор и матрично-векторный сопроцессор арифметики с плавающей точкой (FPVCoP). Обмен ядра с внешним миром осуществляется с помощью следующих 64-разрядных шин: команд (IB), скалярных данных (SB), четырёх шин векторных входных данных (VBI0 – VBI3) и двух шин векторных выходных данных (VBO0 – VBO1). Кроме того, используются шина адреса перехода по команде (IAGB) и шина адреса данных (AB).

IFU (Instruction Fetch Unit) – блок предвыборки команд, который выстраивает в единую очередь команды, считываемые из внутренней или внешней памяти системы по шине EIB в соответствии с адресом, выставляемым по шине IAB. Также IFU содержит кэш-память команд объёмом 1024*64 бит. При обращении во внешнюю память выбранные команды по шине EIB попадают в кэш и одновременно перетранслируются по шине IB в процессорное

					Лист
					91
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ядро. При повторном обращении по тому же адресу команды будут выбираться из кэш по шине IB, а не из внешней памяти. Программы, расположенные во внутренней памяти, не кэшируются. Кэш команд в IFU позволяет эффективно работать с программами, расположенными во внешней памяти, и освободить программиста от дополнительной работы по трансляции программного кода из внешней во внутреннюю память. Процессор использует как 32-, так и 64-разрядные команды.

SI (System Integrator) – системный интегратор, который осуществляет доступ во внешнюю и внутреннюю память за данными или к периферийным регистрам по запросу от процессорного ядра NMC4, а также во внешнюю и внутреннюю память за командами по запросу от IFU. Соответственно, для доступа во внешнюю память используется порт M_EMEM, являющийся мастером для шины AXI (M_COR), а к периферии – порт M_PER, являющийся мастером для периферийной шины APB.

IMU0-IMU7 (Internal Memory Unit 0-7) – восемь банков внутренней памяти объёмом по 512 Кбит (8К*64 разряда) каждый. Физически банк внутренней памяти состоит из двух полубанков памяти типа SRAM с организацией 4К x 64 каждый и имеет два порта – один со стороны процессорного ядра, другой – от каналов ПДП. Выбор полубанка памяти, в который производится обращение, осуществляется в зависимости от значения первого разряда адреса выполняемой операции (чтения или записи). Если первые разряды адресов обращений со стороны порта процессорного ядра и со стороны порта ПДП не совпадают, то будут обслужены оба запроса, а если первые разряды совпадают, то обслуживается только один запрос в соответствии с установленным приоритетом.

Банки внутренней памяти поддерживают доступ как за 32-, так и за 64-разрядными данными.

MPU (Memory Protect Unit) – блок защиты памяти процессорного узла NMPU. К нему приходит запрос на доступ во внутреннюю память вычислительного узла извне по порту S_MEM, который является ведомым портом шины AXI. Если запрос попадает в разрешённую область памяти, он обслуживается обычным образом, если нет, то он блокируется с формированием соответствующего прерывания.

CP0 - CP3 (Communication Port 0 - 3) – контроллеры ПДП для коммуникационных портов 0 – 3. Данные извне для процессорной системы поступают по двунаправленным 64-разрядным каналам связи (LINK0 – LINK3), буферизуются и в режиме ПДП записываются в один из внутренних банков этой системы (IMU0-IMU7).

					Лист
					92
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Выходные шины блоков CP0 - CP3, MPU и входные шины внутренних банков памяти IMU0-IMU7 объединяются с помощью шинного коммутатора.

PU (Peripheral Unit) – блок периферийных регистров процессорного ядра, которые содержат:

- регистры системного контроллера;
- регистры запросов и масок внешних прерываний;
- регистры управления и состояния двух интервальных таймеров.

										Лист
										93
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

3.2 Карта памяти процессорного узла NMPU

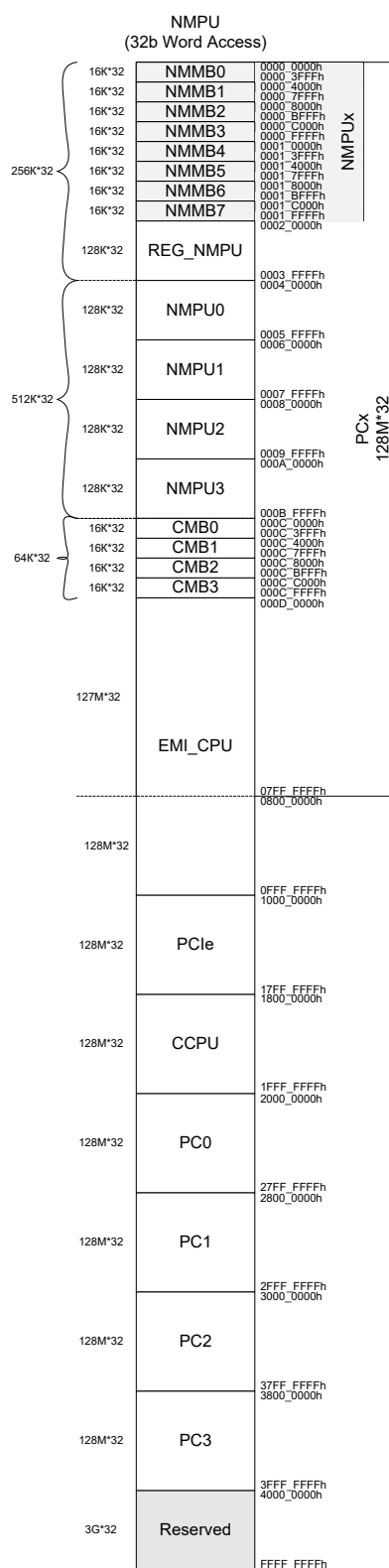


Рисунок 3.2– Карта памяти процессорного узла NMPU

Карты памяти всех узлов NMPU одинаковы и делятся на следующие области памяти:

					ЮФКВ.431282.020РЭ	Лист
						94
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

- NMMB0 - NMMB7 – собственные банки внутренней памяти конкретного NMPU, причём в банке NMMB0 хранятся программы обработки прерываний и начальный загрузчик.
- REG_NMPU – блок собственных периферийных регистров конкретного NMPU. При доступе в эту область памяти идёт переадресация на периферийную шину APB.
- NMPU0 – NMPU3 – области внутренней памяти всех NMPU, входящих в состав своего кластера. Таким образом, любой NMPU может осуществить доступ во внутреннюю память соседа, а также в свою внутреннюю память, но не прямо, как при обращении в NMMB0 - NMMB7, а через внешнюю шину AXI.
- CMB0-CMB3 – банки внутренней памяти своего кластера.
- EMI_CU – банк внешней памяти DDR своего кластера. При этом при использовании DDR-памяти объемом 256М x 32 в кластере со стороны NMPU будут недоступны 1М младших ячеек.
- PCIe – области памяти высокоскоростного линка для связи своего кластера с внешними процессорными системами .
- CCRPU – области памяти центрального процессорного узла.
- PC0 – PC3 – адресные пространства всех кластеров, что позволяет NMPU обмениваться данными как с управляющими ПУ своего и чужих кластеров, так и с NMPU своего и чужих кластеров. При этом обращение в эти области памяти будут выполняться заметно медленнее, чем в остальные области.
- Reserved – данная область памяти, где 31 или 30 разряд адреса равен 1, не используется. Обращение в данную область со стороны NMPU означает выполнение эксклюзивной операции, при этом адрес конкретной ячейки памяти определяется разрядами с 29-го по 0-й.

3.3 Системный интегратор и организация доступа в память

Блок системного интегратора (SI) предназначен для обеспечения многотактового параллельного доступа процессорного ядра NMC4 к внутренней и внешней памяти вычислительного узла NMPU. Блок системного интегратора формирует запросы на чтение или запись, осуществляет арбитраж между ними и коммутирует входные и выходные шины процессорного ядра с входными и выходными шинами данных разных банков памяти.

						ЮФКВ.431282.020РЭ	Лист 95
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

В данной реализации системный интегратор поддерживает одновременный доступ к восьми банкам внутренней памяти, одному банку внешней памяти по отношению к вычислительному узлу NMPU и к шине периферийных устройств.

Структурная схема подсистемы работы с памятью процессорного ядра NMC4 представлена на рисунке 3.3. На данной структурной схеме показано взаимодействие блока системного интегратора SI с другими узлами вычислительного узла.

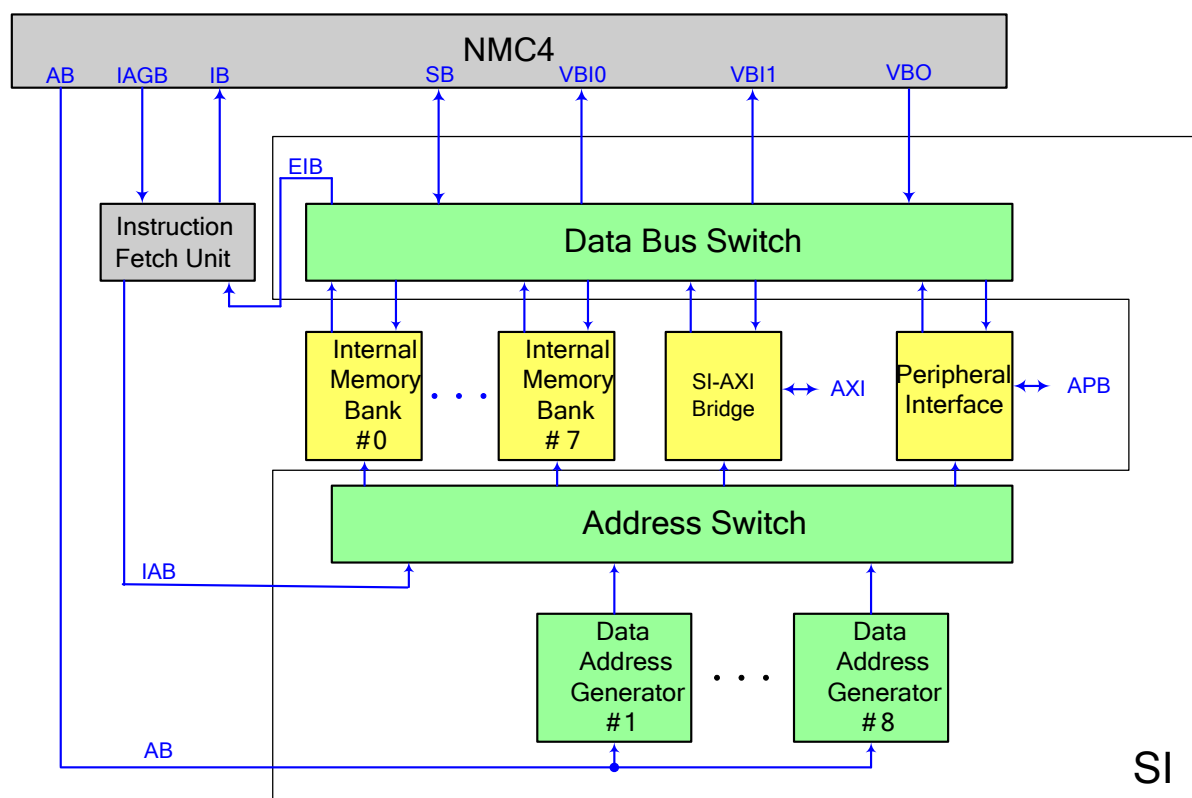


Рисунок 3.3 – Структурная схема подсистемы работы с памятью

Особенностью процессорного ядра NMC4, позволяющей вести параллельную выборку данных из разных банков памяти, является наличие в системе команд векторных команд. Векторная команда может выполняться за различное количество тактов – от 1 до 32 – в зависимости от кода команды. Если векторная команда однократовая, то её работа в конвейере ничем особенным не отличается от работы обычной скалярной команды. В случае, когда векторная команда выполняется за несколько тактов, это можно рассматривать как аппаратную организацию цикла, состоящего из одной однократовой векторной команды.

					Лист
					96
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

В каждом такте процессорное ядро может выдать в системный интегратор запрос на чтение или запись данных. При этом на адресной шине ядра формируется адрес первого обращения в память, смещение, позволяющее вычислять последующие адреса и количество обращений. Кроме этого, ядром формируется информация, указывающая на входную или выходную шину ядра, по которой будут передаваться данные при выполнении этой операции с памятью. Первый адрес, смещение и количество повторов фиксируется свободным адресным генератором данных, который в каждом такте формирует непосредственный запрос к банкам памяти. Следующий запрос от ядра занимает второй адресный генератор и т. д. Если запросы, формируемые процессорным ядром, обращаются в разные банки памяти, то происходит параллельное обслуживание запросов. Если запросы от ядра обращаются к одному банку памяти, то они обслуживаются последовательно в порядке поступления.

Кроме запросов на чтение или запись данных, на системный интегратор поступают запросы на выборку команд, генерируемые в блоке IFU. В системном интеграторе они рассматриваются как выделенный запрос на чтение данных со своей входной шиной.

В каждом такте системный интегратор осуществляет арбитраж доступа к внешней и внутренней памяти, и адрес выигравшего запроса подается непосредственно на адресные входы банков внутренней памяти или на блоки интерфейса с внешней памятью, или периферийными устройствами. Одновременно системный интегратор формирует управляющие сигналы для коммутатора шин данных, которые будут необходимы для пересылки данных между ядром и памятью.

3.3.1 Мост «системный интегратор – AXI»

Мост «системный интегратор – AXI» позволяет процессорному ядру осуществлять произвольный доступ к разделяемой памяти, к внутренней памяти остальных процессорных устройств, к периферийным устройствам кластера и к внешней по отношению к кластеру памяти.

Мост «системный интегратор – AXI» выполнен как 64-разрядный master-порт в соответствии со стандартом AMBA AXI 3.0. Данный порт поддерживает однократные операции чтения и записи с разрядностью шин данных в 32 и 64 бита. Аппаратура порта позволяет выполнять как обычные, так и эксклюзивные операции на внешней шине.

										Лист
										97
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.			Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4			09.11.2020		31406-3					

3.3.2 Интерфейс системного интегратора с периферийными устройствами

Блок интерфейса системного интегратора с периферийными устройствами предназначен для доступа к программно-доступным регистрам периферийных устройств, принадлежащих данному вычислительному узлу NMPU.

Блок интерфейса с периферийными устройствами выполнен как 32-разрядный master-порт в соответствии со стандартом AMBA APB. Данный порт поддерживает однократные операции чтения и записи только с разрядностью шин данных в 32 бита.

3.4 Внутренняя память процессорного устройства NMPU

Объем внутренней памяти вычислительного узла NMPU составляет 4 Мбит. Она разделена на восемь банков памяти по 512 Кбит каждый.

Каждый банк внутренней памяти (NMMB0 - NMMB7) имеет двухпортовую организацию. По одному из портов производится чтение и запись данных процессорным ядром, а также выборка команд процессора. Второй порт (порт ПДП) обслуживает чтение и запись данных под управлением контроллеров ПДП, а также чтение и запись данных со стороны других процессорных устройств кластера, управляющего процессорного узла (CPU) или центрального управляющего узла (CCPU). Таким образом, банк внутренней памяти способен обработать до двух запросов в каждом процессорном такте.

Структурная схема банка внутренней памяти представлена на рисунке 3.4.

										Лист
										98
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020			31406-3					

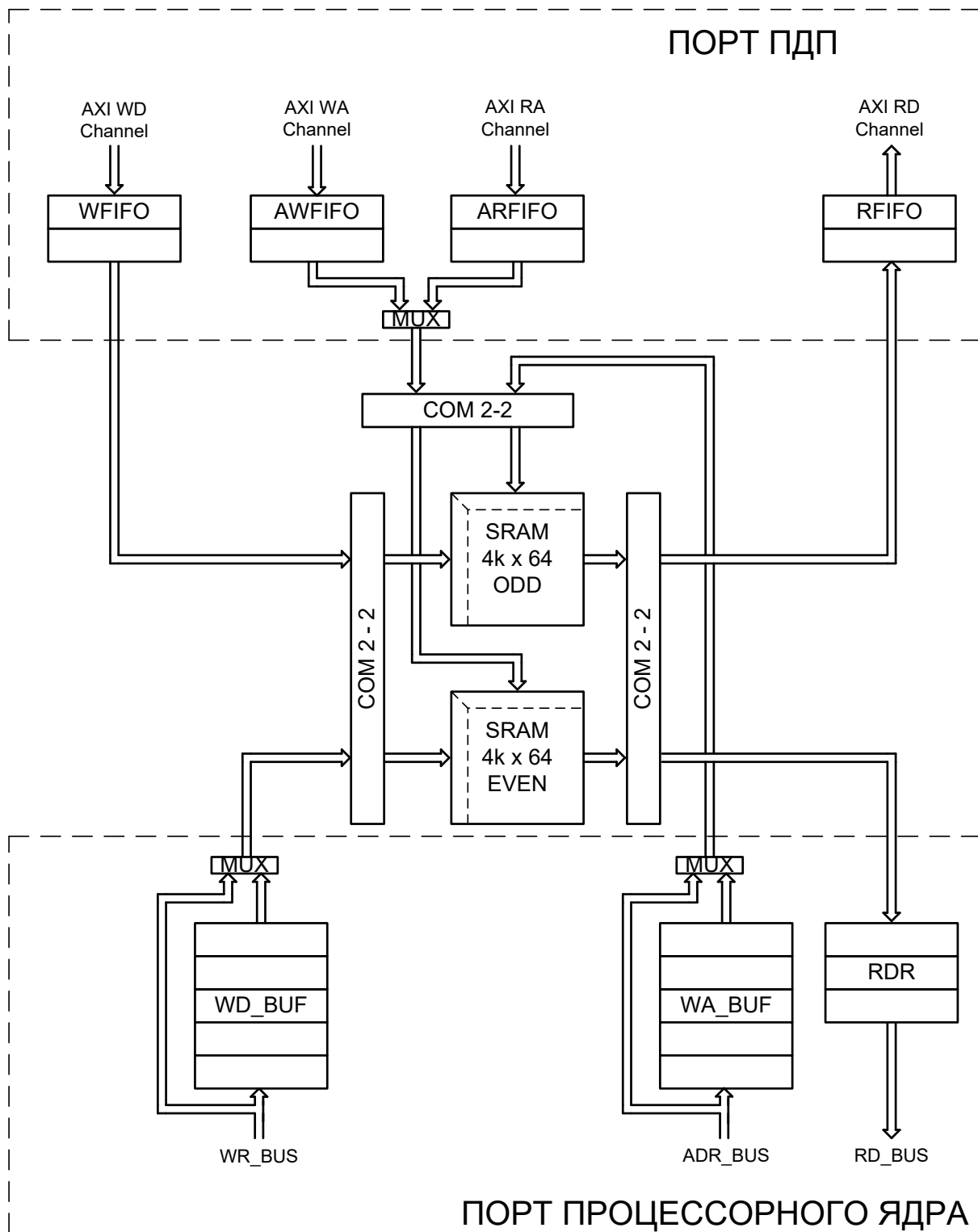


Рисунок 3.4 – Структурная схема банка внутренней памяти вычислительного узла NMPU

Физически банк внутренней памяти состоит из двух полубанков памяти типа SRAM с организацией 4К x 64бит каждый (на рисунке 3.4 обозначены как ODD и EVEN). Выбор полубанка памяти, в который производится обращение, осуществляется в зависимости от значения первого разряда адреса выполняемой операции (чтения или записи). Если первые

										Лист
										99
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

разряды адресов обращений со стороны порта процессорного ядра и со стороны порта ПДП не совпадают, то будут обслужены оба запроса, а если первые разряды совпадают, то обслуживается только один запрос в соответствии с установленным приоритетом.

Порт процессорного ядра содержит аппаратуру, реализующую заложенный принцип в конвейере процессорного ядра отложенной записи (Late Write). Реализация данного принципа позволяет выровнять конвейеры операций чтения и записи. Аппаратурой, поддерживающей такое выравнивание, в банке внутренней памяти являются буфер адресов операций записи WA_BUF и буфер записываемых данных WD_BUF с соответствующими выходными мультиплексорами.

Реализация принципа отложенной записи в конвейере процессорного ядра предполагает выдачу адресов операций записи и адресов операций чтения на одной ступени конвейера. Операции чтения выполняется в банке памяти естественным образом. Адреса же операций записи фиксируются в буфере WA_BUF и ожидают прихода записываемых данных. При этом конвейер чтения в банке внутренней памяти не блокируется, и последующие операции чтения могут выполняться «в обход» этих операций записи по шине RD_BUS.

Выдаваемые процессорным ядром данные для операций записи по шине WR_BUS фиксируются в соответствующей ячейке буфера WD_BUF и будут записаны в полубанк памяти в моменты отсутствия запросов на чтение данных из этого банка памяти. Глубина конвейера процессорного ядра при работе с внутренней памятью определяет размер буферов WA_BUF и WD_BUF – по пять ячеек каждый.

«Обход» операций записи последующими операциями чтения возможен только, если адреса операций чтения не совпадают с адресами операций записи, находящимися в буфере WA_BUF. В случае совпадения адресов конвейер чтения из банка памяти аппаратно блокируется до того момента, когда все данные операций записи, чьи адреса находятся в буфере WA_BUF, будут записаны в соответствующие полубанки памяти. Необходимо отметить, что сравнение адресов операций чтения с ячейками буфера WA_BUF происходит только при выполнении операций чтения данных ядром процессора. При выполнении выборки команд такого сравнения не происходит.

Буфер RDR предназначен для фиксации данных, считываемых из полубанков памяти при блокировке конвейера чтения со стороны процессорного ядра. Это позволяет освободить полубанки памяти от операций чтения данных и осуществлять доступ к ним со стороны порта ПДП.

										Лист
										100
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Порт ПДП банка памяти выполнен как 64-разрядный slave-порт в соответствии со стандартом AMBA AXI 3.0.

И операции чтения, и операции записи по порту ПДП выполняются строго последовательно в порядке поступления. Порядок чередования операций чтения и записи между собой может быть произвольным. Сравнение адресов чтения или записи порта ПДП с адресами, хранящимися в буфере WA_BUF порта процессорного ядра, не производится.

Буфера AWFIFO, ARFIFO, WFIFO и RFIFO позволяют осуществлять непрерывную передачу данных по шине ПДП.

3.5 Блок предвыборки команд IFU и управление кэш-памятью команд

Блок предвыборки команд IFU выстраивает в единую очередь команды, считываемые из внутренней или из внешней памяти системы. Также IFU содержит кэш-память команд объемом 1024*64 бит. При обращении во внешнюю память выбранные команды попадают в кэш и одновременно перетранслируются в процессорное ядро. При повторном обращении по тому же адресу команды будут выбираться из кэш, а не из внешней памяти. Программы, расположенные во внутренней памяти, не кэшируются. Кэш команд в IFU позволяет эффективно работать с программами, расположенными во внешней памяти, и освободить программиста от дополнительной работы по трансляции программного кода из внешней во внутреннюю память. Процессор использует как 32-, так и 64-разрядные команды, но выборка идёт всегда по 64 разряда (выбирается либо одна 64-разрядная команда, либо сразу две 32-разрядные).

Основные характеристики кэш-памяти команд:

- объём 8 Кбайт (1К*64 разряда);
- наборно-ассоциативная организация (8 way set-associative cache);
- аппаратная поддержка до восьми промахов в кэш без блокировки выборки команд;
- предвыборка до 8 команд из внешней памяти;
- переменная величина страницы кэш (до 128*64 разряда);
- использование алгоритма замещения страниц LRU (Least Recently Used).
- возможность программной заморозки кэш, её очистки и включения/выключения;
- возможность программного распределения кэшируемых и некэшируемых областей внешней памяти.

Управление кэш-памятью команд осуществляется с помощью программного доступа к периферийным регистрам, расположенным в памяти по адресам от 0x0002_0C00 до 0x0002_0C08.

										Лист
										101
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

3.5.1 Программно доступные регистры блока управления кэш-памятью

Блок содержит два программно доступных регистра:

- регистр управления,
- регистр адреса гиперстраницы.

Имеются три способа доступа к регистру управления:

- нормальный доступ – устанавливает в регистре записываемое значение;
- побитовая установка – устанавливает значение 1 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются;
- побитовый сброс – устанавливает значение 0 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются.

Для каждого способа записи выделен отдельный адрес. Чтение регистра может производиться по любому из описанных адресов. Регистр адреса гиперстраницы имеет только нормальный способ доступа.

Перечень программно доступных регистров управления кэш-памятью приведен в таблице 3.1.

Таблица 3.1 – Программно доступные регистры блока управления кэш-памятью

Адрес (32-разрядный доступ)	Название	Доступ	Описание
0x0002_0C00	CHSR	ЧТ/ЗП	Регистр управления кэш-памятью команд
0x0002_0C02	CHSR_SET	ЧТ/ЗП	Побитовая установка регистра CHSR
0x0002_0C04	CHSR_CLR	ЧТ/ЗП	Побитовый сброс регистра CHSR
0x0002_0C08	PDA	ЧТ/ЗП	Регистр адреса гиперстраницы

											Лист
											102
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020				31406-3						

Регистр управления кэш-памятью команд

Формат регистра управления кэш-памятью команд приведен в таблице 3.2.

Таблица 3.2 – Формат регистра управления кэш-памятью команд

Разряды	Название	Доступ	Описание
31-3	-	-	Зарезервировано.
2	CRST	ЗП	Запись значения 1 в данное поле сбрасывает содержимое кэш-памяти. При чтении возвращается 0.
1	GTWE	ЧТ/ЗП	Разрешение аппаратной записи в регистр гиперстраницы: 0 - аппаратная запись разрешена, 1 - аппаратная запись запрещена.
0	CEN	ЧТ/ЗП	Разрешение работы кэш-памяти: 0 - при выборке команд из внешней памяти не используется кэш-память, 1 - при выборке команд из внешней памяти используется кэш-память.

Бит CEN определяет, будет ли при выборке команд из внешней памяти анализироваться состояние кэш-памяти. Если работа кэш-памяти запрещена, то команды будут выбираться из внешней памяти, минуя кэш-память. Необходимо отметить, что при нулевом значении данного бита состояние кэш-памяти не изменяется, то есть сброс данного поля означает “заморозку” кэш-памяти в состоянии на момент сброса бита CEN.

Бит GTWE разрешает аппаратную запись в регистр адреса гиперстраницы. Если аппаратная запись в регистр GPA разрешена, то при обращении за командой в гиперстраницу, отличную от отраженной в кэш-памяти, произойдет сброс содержимого кэш-памяти и замещение гиперстраницы в регистре GPA. Кэш-память в этом случае будет заполняться с состояния как после системного сброса.

Если аппаратная запись в регистр GPA запрещена, то при обращении за командой в гиперстраницу, отличную от отраженной в кэш-памяти, состояние кэш-памяти не изменится, а команды будут выбираться из внешней памяти так, как будто кэш-память отсутствует.

Данный механизм, в сочетании с программной записью регистра гиперстраницы, позволяет разделить внешнюю память на кэшируемую и некешируемую области.

Регистр адреса гиперстраницы

Формат регистра адреса гиперстраницы приведен в таблице 3.3.

Таблица 3.3 - Формат регистра адреса гиперстраницы

Разряды	Название	Описание
31-20	HyperTag	Поле загрузки адреса гиперстраницы.
19-0	-	Зарезервировано

					Лист
					103
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр предназначен для загрузки адреса гиперстраницы внешней памяти, отражаемой в кэш-памяти. Регистр доступен для записи и чтения. Запись в данный регистр сбрасывает содержимое кэш-памяти и устанавливает записываемое значение как адрес текущей гиперстраницы. Если разрешена аппаратная запись в регистр гиперстраницы, содержимое регистра может меняться, но при чтении возвращается всегда последнее записанное программным способом значение. Если с момента системного сброса записи в регистр не производилось, то возвращается неинициализированное значение.

										Лист
										104
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

3.6 Блок защиты памяти MPU

Блок защиты памяти разрешает доступ внешним устройствам в выделенные области памяти NMPU.

Внешние устройства имеют произвольный доступ к внутренней памяти процессорной системы NMPU через интерфейс AXI3 Slave процессорной системы. Блок защиты памяти находится внутри NMPU и непосредственно подключен к интерфейсу AXI3 Slave.

Блок защиты памяти декодирует адрес транзакции и определяет, разрешён или запрещён доступ по этому адресу. Блок пропускает разрешённые транзакции без изменения, а запрещённые транзакции обрабатывает следующим образом:

- с точки зрения внешнего устройства – транзакция завершается с кодом ошибки SLVERR, при этом в транзакции чтения вместо данных во всех передачах транзакции возвращаются нулевые значения;
- с точки зрения процессорной системы NMPU – генерируется (маскируемый по каждой выделенной области) запрос на прерывание к процессору NMC4, который снимается программно.

Интерфейсы чтения и записи AXI3 разделены, поэтому в NMPU присутствуют два экземпляра блоков защиты памяти: по одному на чтение и на запись.

Структурная схема блока защиты памяти NMPU приведена на рисунке 3.5.

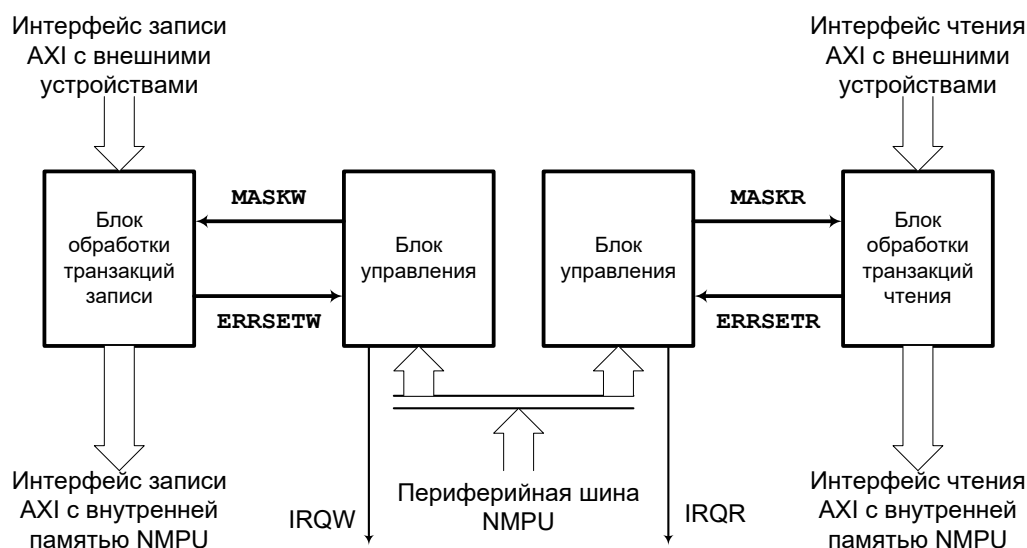


Рисунок 3.5 - Структурная схема блока защиты памяти NMPU

					Лист
					105
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Каждый экземпляр блока защиты памяти состоит из двух частей:

- блока управления – который содержит конфигурационные регистры устройства и генерирует сигнал (MASK[31:0]) маски доступных областей памяти,
- блока обработки транзакций – который работает с сигналами шины AXI3, выдаёт сигнал (ERRSET[31:0]) обращения в запрещённую область.

Блок обработки транзакций производит сравнение адресов и самостоятельно завершает транзакции AXI3, адреса которых попадают в запрещённые сегменты. На рисунке 3.6 показана работа блока защиты памяти на примере транзакций чтения.

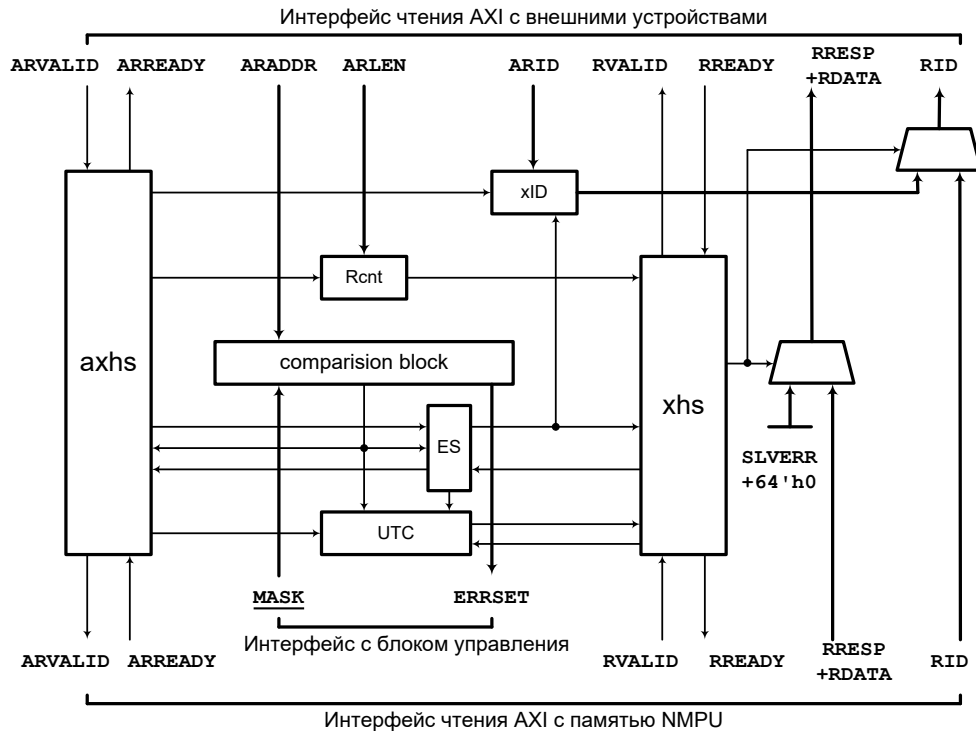


Рисунок 3.6 - Структурная схема блока обработки транзакций

В обычном режиме блок обработки транзакций не вмешивается в обработку проходящих транзакций, только ведёт подсчёт текущего количества незавершённых транзакций (для которых прошла передача адреса и ещё не было передачи последних данных чтения). Как только на входном интерфейсе блока появляется адрес, попадающий в защищённую область, блок блокирует канал адреса, дожидается передачи всех данных от незавершённых транзакций и после этого выдаёт нулевые данные и код ошибки (RRESP=10b, ошибка конечного устройства).

Блок обработки транзакций содержит:

- axhs – блок квитирования в канале адреса,
- xhs – блок квитирования в канале данных чтения,
- xID – регистр идентификатора AXI3 (используется для хранения ID запрещённой транзакции),

					Лист
					106
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Rcnt – счётчик возвращаемых данных в пакете при чтении,
 comparision block – комбинационная схема декодирования адреса (детектирует попадание в запрещённый сегмент),

ES – регистр-признак режима обработки запрещённой транзакции (во время обработки запрещённой транзакции блокируется приём адресов от внешнего устройства),

UTC – счётчик незавершённых транзакций (используется для освобождения конвейера от уже выполняющихся в NMPU транзакций).

Блок обработки транзакций сообщает блоку управления об обращении в защищённый сегмент с помощью шины ERRSETx. Блок управления фиксирует сигналы ERRSETx, в зависимости от настройки может генерировать запрос на прерывание к ядру NMC.

Структурная схема блока управления приведена на рисунке 3.7.

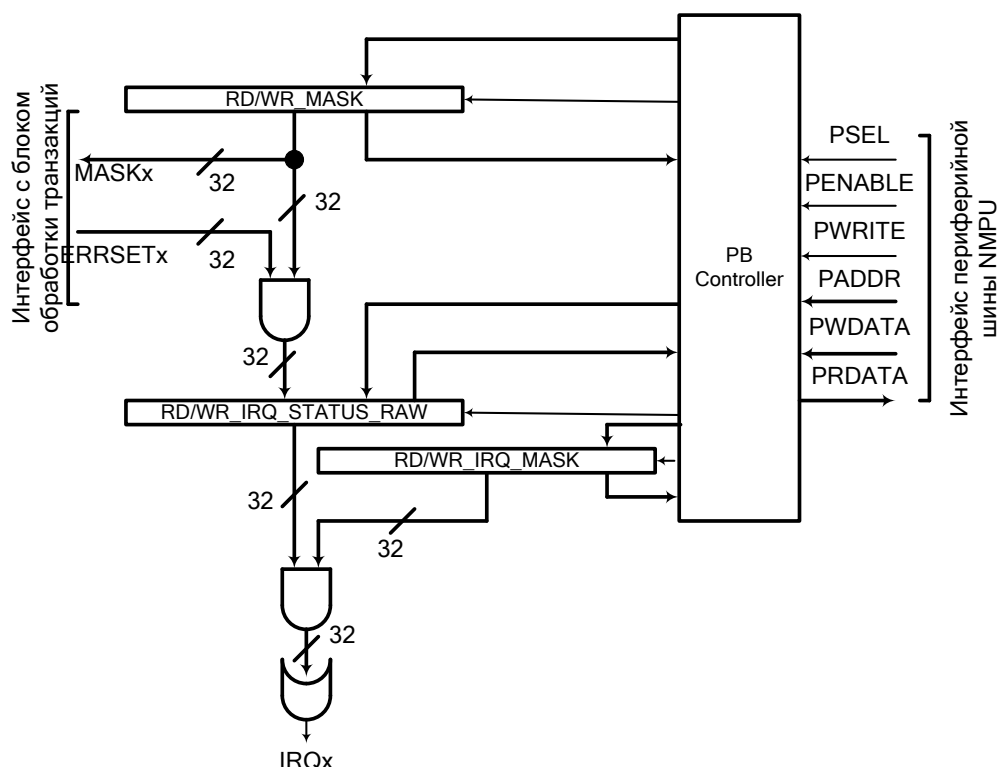


Рисунок 3.7 - Структурная схема блока управления

3.6.1 Разделение внутренней памяти NMPU на защищаемые сегменты

Внутренняя память NMPU разделяется на 32 защищаемых сегмента, каждый размером 16 Кбайт. Сегменту с номером i соответствует один бит с номером i в каждом регистре управления блоком. В таблице 3.4 приведена нумерация сегментов внутренней памяти процессорной системы NMPU.

					Лист
					107
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 3.4 – Нумерация сегментов внутренней памяти процессорной системы NMPU

Номер сегмента	Адреса в собственном пространстве NMPU (32-разрядный доступ)	Смещение относительно базового адреса в карте памяти внешних NMPU (32-разрядный доступ)	Смещение относительно базового адреса в карте памяти ARM и устройств ввода-вывода (байтовый доступ)
0	0000 0000h-0000 0FFFh	0000 0000h-0000 0FFFh	0000 0000h-0000 3FFFh
1	0000 1000h-0000 1FFFh	0000 1000h-0000 1FFFh	0000 4000h-0000 7FFFh
2	0000 2000h-0000 2FFFh	0000 2000h-0000 2FFFh	0000 8000h-0000 BFFFh
3	0000 3000h-0000 3FFFh	0000 3000h-0000 3FFFh	0000 C000h-0000 FFFFh
4	0000 4000h-0000 4FFFh	0000 4000h-0000 4FFFh	0001 0000h-0001 3FFFh
5	0000 5000h-0000 5FFFh	0000 5000h-0000 5FFFh	0001 4000h-0001 7FFFh
6	0000 6000h-0000 6FFFh	0000 6000h-0000 6FFFh	0001 8000h-0001 BFFFh
7	0000 7000h-0000 7FFFh	0000 7000h-0000 7FFFh	0001 C000h-0001 FFFFh
8	0000 8000h-0000 8FFFh	0000 8000h-0000 8FFFh	0002 0000h-0002 3FFFh
9	0000 9000h-0000 9FFFh	0000 9000h-0000 9FFFh	0002 4000h-0002 7FFFh
10	0000 A000h-0000 AFFFh	0000 A000h-0000 AFFFh	0002 8000h-0002 BFFFh
11	0000 B000h-0000 BFFFh	0000 B000h-0000 BFFFh	0002 C000h-0002 FFFFh
12	0000 C000h-0000 CFFFh	0000 C000h-0000 CFFFh	0003 0000h-0003 3FFFh
13	0000 D000h-0000 DFFFh	0000 D000h-0000 DFFFh	0003 4000h-0003 7FFFh
14	0000 E000h-0000 EFFFh	0000 E000h-0000 EFFFh	0003 8000h-0003 BFFFh
15	0000 F000h-0000 FFFFh	0000 F000h-0000 FFFFh	0003 C000h-0003 FFFFh
16	0001 0000h-0001 0FFFh	0001 0000h-0001 0FFFh	0004 0000h-0004 3FFFh
17	0001 1000h-0001 1FFFh	0001 1000h-0001 1FFFh	0004 4000h-0004 7FFFh
18	0001 2000h-0001 2FFFh	0001 2000h-0001 2FFFh	0004 8000h-0004 BFFFh
19	0001 3000h-0001 3FFFh	0001 3000h-0001 3FFFh	0004 C000h-0004 FFFFh
20	0001 4000h-0001 4FFFh	0001 4000h-0001 4FFFh	0005 0000h-0005 3FFFh
21	0001 5000h-0001 5FFFh	0001 5000h-0001 5FFFh	0005 4000h-0005 7FFFh
22	0001 6000h-0001 6FFFh	0001 6000h-0001 6FFFh	0005 8000h-0005 BFFFh
23	0001 7000h-0001 7FFFh	0001 7000h-0001 7FFFh	0005 C000h-0005 FFFFh
24	0001 8000h-0001 8FFFh	0001 8000h-0001 8FFFh	0006 0000h-0006 3FFFh
25	0001 9000h-0001 9FFFh	0001 9000h-0001 9FFFh	0006 4000h-0006 7FFFh
26	0001 A000h-0001 AFFFh	0001 A000h-0001 AFFFh	0006 8000h-0006 BFFFh
27	0001 B000h-0001 BFFFh	0001 B000h-0001 BFFFh	0006 C000h-0006 FFFFh
28	0001 C000h-0001 CFFFh	0001 C000h-0001 CFFFh	0007 0000h-0007 3FFFh
29	0001 D000h-0001 DFFFh	0001 D000h-0001 DFFFh	0007 4000h-0007 7FFFh
30	0001 E000h-0001 EFFFh	0001 E000h-0001 EFFFh	0007 8000h-0007 BFFFh
31	0001 F000h-0001 FFFFh	0001 F000h-0001 FFFFh	0007 C000h-0007 FFFFh

3.6.2 Программно доступные регистры блока защиты памяти

Регистры блока представлены в карте памяти процессорной системы NMPU. Имеются четыре способа записи в каждый регистр:

- нормальный доступ – устанавливает в регистре записываемое значение,
- побитовая установка – устанавливает значение 1 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются,

										Лист
										108
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

- побитовый сброс – устанавливает значение 0 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются,
- обнуление – устанавливает значение 0 во всех битах регистра, независимо от записываемого значения (т. е. имеет значение сам факт записи).

Для каждого способа записи выделен отдельный адрес. Некоторые способы для некоторых регистров недоступны. Чтение регистра может производиться по любому из описанных адресов. В таблице 3.5 приведены адреса регистров блока защиты памяти.

Таблица 3.5 – Перечень программно доступных регистров блока защиты памяти

Адрес (32-разрядный доступ)	Название	Доступ	Описание
0002_1400h	RD_MASK	ЧТ/ЗП	Маска защищаемых сегментов: 0 - обращение в данный сегмент по чтению разрешено, 1 - обращение в данный сегмент по чтению блокируется.
0002_1402h	RD_MASK_SET	ЗП	Побитовая установка регистра RD_MASK
0002_1404h	RD_MASK_CLEAR	ЗП	Побитовый сброс регистра RD_MASK
0002_1406h	RD_MASK_NULL	ЗП	Обнуление регистра RD_MASK
0002_1408h	RD_IRQ_STATUS_RAW	ЧТ	Статус запросов на прерывание без учёта маски: 0 - обращение по чтению в данный сегмент не было, 1 - зафиксировано обращение по чтению в данный сегмент.
0002_140Ah	RD_IRQ_STATUS_RAW_SET	ЗП	Побитовая установка RD_IRQ_STATUS_RAW (только для отладки)
0002_140Ch	RD_IRQ_STATUS_RAW_CLEAR	ЗП	Побитовый сброс регистра RD_IRQ_STATUS_RAW
0002_140Eh	RD_IRQ_STATUS_RAW_NULL	ЗП	Обнуление регистра RD_IRQ_STATUS_RAW
0002_1410h	RD_IRQ_MASK	ЧТ/ЗП	Маска запросов на прерывание от регистра RD_IRQ_STATUS_RAW: 0 - прерывание запрещено, 1 - прерывание разрешено.
0002_1412h	RD_IRQ_MASK_SET	ЗП	Побитовая установка регистра RD_IRQ_MASK
0002_1414h	RD_IRQ_MASK_CLEAR	ЗП	Побитовый сброс регистра RD_IRQ_MASK
0002_1416h	RD_IRQ_MASK_NULL	ЗП	Обнуление регистра RD_IRQ_MASK
0002_1418h	RD_IRQ_STATUS	ЧТ	Статус запросов на прерывание с учётом маски: 0 - нет запроса, 1 - есть запрос.
0002_141Ah	Зарезервировано	-	
0002_141Ch	Зарезервировано	-	

								Лист
								109
Изм.	Лист	№ докум.	Подп.	Дата				
Инд.№подл.	Подп. и дата	Взам.инв.№	Инд.№дубл.	Подп. и дата				
31406-4	09.11.2020	31406-3						

Продолжение таблицы 3.5

Адрес (32-разрядный доступ)	Название	Доступ	Описание
0002_141Eh	RD_IRQ_STATUS_NULL	ЗП	Обнуление незамаскированных запросов на прерывание (сбрасываются все биты регистра RD_IRQ_STATUS и все биты регистра RD_IRQ_STATUS_RAW, для которых установлен бит RD_IRQ_MASK).
0002_1440h	WR_MASK	ЧТ/ЗП	Маска защищаемых сегментов: 0 - обращение в данный сегмент по чтению разрешено, 1 - обращение в данный сегмент по чтению блокируется.
0002_1442h	WR_MASK_SET	ЗП	Побитовая установка регистра WR_MASK
0002_1444h	WR_MASK_CLEAR	ЗП	Побитовый сброс регистра WR_MASK
0002_1446h	WR_MASK_NULL	ЗП	Обнуление регистра WR_MASK
0002_1448h	WR_IRQ_STATUS_RAW	ЧТ	Статус запросов на прерывание без учёта маски: 0 - обращений по чтению в данный сегмент не было, 1 - зафиксировано обращение по чтению в данный сегмент.
0002_144Ah	WR_IRQ_STATUS_RAW_SET	ЗП	Побитовая установка WR_IRQ_STATUS_RAW (только для отладки)
0002_144Ch	WR_IRQ_STATUS_RAW_CLEAR	ЗП	Побитовый сброс регистра WR_IRQ_STATUS_RAW
0002_144Eh	WR_IRQ_STATUS_RAW_NULL	ЗП	Обнуление регистра WR_IRQ_STATUS_RAW
0002_1450h	WR_IRQ_MASK	ЧТ/ЗП	Маска запросов на прерывание от регистра WR_IRQ_STATUS_RAW: 0 - прерывание запрещено, 1 - прерывание разрешено.
0002_1452h	WR_IRQ_MASK_SET	ЗП	Побитовая установка регистра WR_IRQ_MASK
0002_1454h	WR_IRQ_MASK_CLEAR	ЗП	Побитовый сброс регистра WR_IRQ_MASK
0002_1456h	WR_IRQ_MASK_NULL	ЗП	Обнуление регистра WR_IRQ_MASK
0002_1458h	WR_IRQ_STATUS	ЧТ	Статус запросов на прерывание с учётом маски: 0 - нет запроса, 1 - есть запрос.
0002_145Ah	Зарезервировано	-	
0002_145Ch	Зарезервировано	-	
0002_145Eh	WR_IRQ_STATUS_NULL	ЗП	Обнуление незамаскированных запросов на прерывание (сбрасываются все биты регистра WR_IRQ_STATUS и все биты регистра WR_IRQ_STATUS_RAW, для которых установлен бит WR_IRQ_MASK).

3.6.3 Прерывания

Каждый экземпляр (чтение и запись) блока защиты памяти имеет один сигнал запроса на прерывание к NMPU. Сигнал запроса установлен, пока хотя бы для одного из сегментов RD/WR_IRQ_STATUS_RAW[i]=1 и RD/WR_IRQ_MASK[i]=0. Запрос можно снять программно одним из двух способов:

- с помощью регистра RD/WR_IRQ_CLEAR_RAW – побитовый сброс битов регистра RD/WR_IRQ_STATUS_RAW,
- с помощью регистра RD/WR_IRQ_STATUS_CLEAR – сброс всех незамаскированных битов регистра RD/WR_IRQ_STATUS_RAW.

					Лист
					110
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.7 Блок коммуникационного порта

Блок коммуникационного порта (CPx) служит для обмена данными между 64-разрядным каналом связи (LINK) и оперативной памятью процессорной системы.

Контроллеры коммуникационных портов присутствуют во всех процессорных узлах микросхемы – по четыре для каждого ПУ: CP0, CP1, CP2 и CP3.

Блок CPx состоит из двух независимых частей: приёмной и передающей (см. Рисунок 3.8). Обе части блока коммуникационного порта могут работать одновременно, обеспечивая полнодуплексный режим коммуникационной шины.

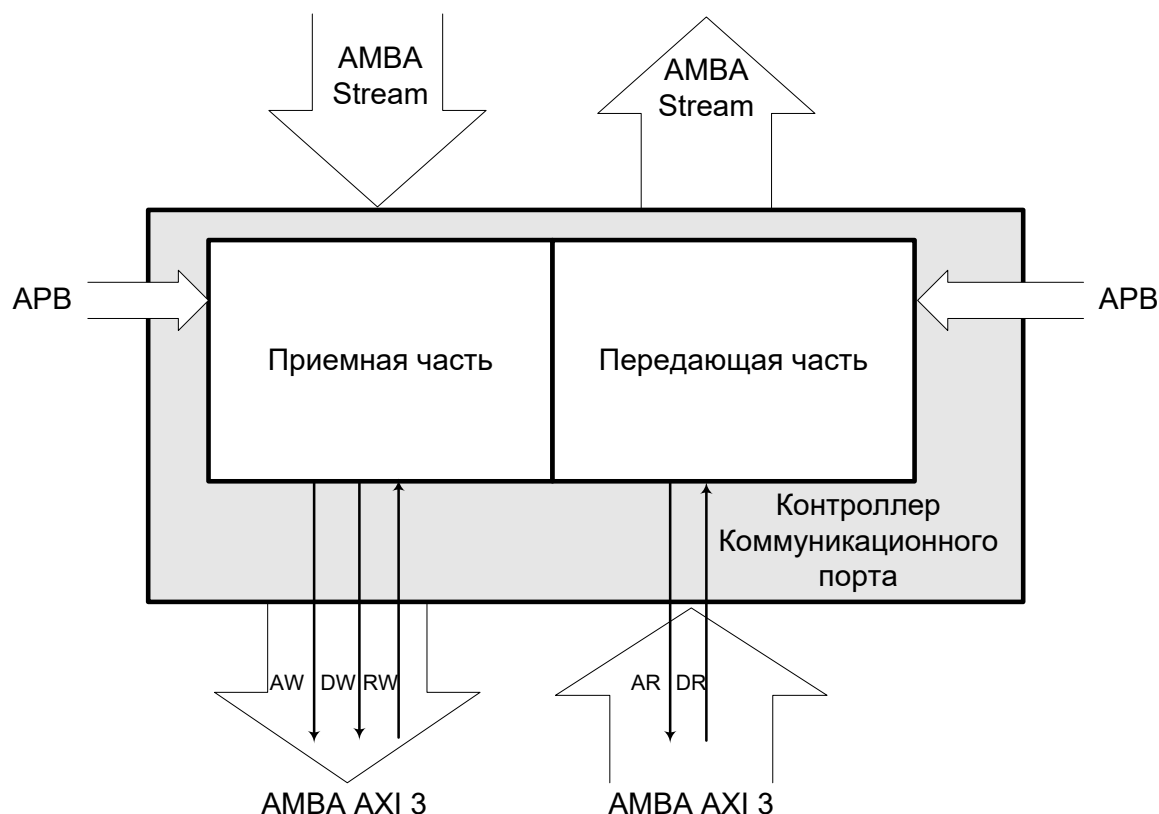


Рисунок 3.8 - Структурная схема блока коммуникационного порта

Интерфейс с каналом связи соответствует спецификации AMBA AXI4 Stream. Блок коммуникационного порта имеет два таких интерфейса, отличающихся только направлением передачи данных: приёмный – через который данные поступают от канала связи к контроллеру, и передающий – через который данные передаются от блока CPx на внешний канал связи.

Выбран простой вариант интерфейса, в который включены сигналы квитирования (handshake) и шина данных.

					Лист
					111
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Интерфейс прямого доступа в память соответствует спецификации шины AMBA AXI3. Блок коммуникационного порта является ведущим устройством шины AMBA AXI3 и имеет полный набор каналов интерфейса: канал адреса записи (AW), канал данных записи (DW), канал подтверждения записи (RW), канал адреса чтения (AR), канал данных чтения (DR).

Обе части блока коммуникационного порта производят одиночные транзакции на шине AXI3. Во всех транзакциях для передачи данных используются все разряды шины данных. Особенностью контроллера является тот факт, что разрядность шины данных приёмного интерфейса с коммуникационной шиной равна разрядности шины данных в канале данных записи интерфейса ПДП, а разрядность шины данных передающего интерфейса с коммуникационной шиной равна разрядности шины данных в канале данных чтения интерфейса ПДП. Разрядность шины данных приёмного интерфейса и разрядность шины данных передающего интерфейса равна 64 битам.

Периферийный интерфейс APB блока соответствует спецификации шины AMBA APB2. Этот интерфейс используется для чтения и записи программно доступных регистров контроллера.

Системные сигналы – тактовый сигнал и сигнал сброса. Блок коммуникационного порта использует общие системные сигналы шинной подсистемы AMBA.

Каждая часть (приёмная и передающая) имеет собственный сигнал IRQ запроса на прерывание. Высокий уровень сигнала IRQ сигнализирует процессорному ядру о запросе на прерывание.

					ЮФКВ.431282.020РЭ			Лист 112
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020		31406-3					

3.7.1 Приёмная часть блока коммуникационного порта

3.7.1.1 Структура приемной части блока коммуникационного порта

Структура приёмной части блока коммуникационного порта показана на рисунке 3.9.

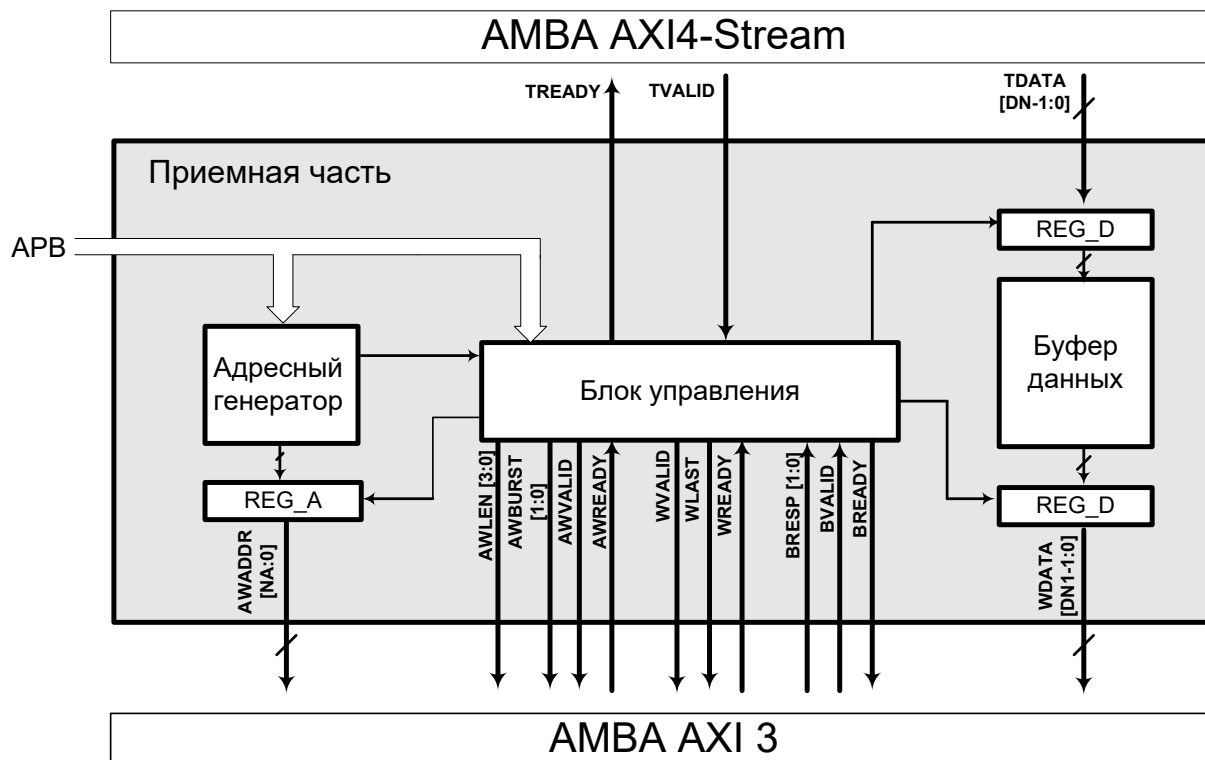


Рисунок 3.9 - Структура приемной части блока коммуникационного порта

Адресный генератор (АГ) работает в двух режимах: одномерной и двухмерной адресации. Подробнее работа адресных генераторов контроллера описана в п. 3.7.3.

Буфер данных (БД), размер которого шесть 64-разрядных слов, служит для временного хранения данных.

Блок управления (БУ) формирует управляющие сигналы для остальных блоков и шин контроллера. В состав блока управления входят автомат состояния, основной счётчик данных, регистр масок прерывания, бит ошибки/остановки, а также дополнительные счётчики управления: счётчик незавершённых транзакций, счётчик доступных данных.

Конвейерные регистры на шинах данных и адреса используются для улучшения временных характеристик схемы.

					Лист
					113
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.7.1.2 Принципы работы

Данные поступают в конвейерный регистр через интерфейс AXI4 Stream. Из конвейерного регистра данные записываются в БД. Если буфер данных заполнен, то интерфейс коммуникационной шины блокируется, данные не могут быть приняты.

Из БД данные записываются в память по шине AXI3. Данные записываются одиночными запросами. Запрос в канал адреса не выставляется, пока в БД нет данных.

Регистры приемной части блока коммуникационного порта, доступные через периферийную шину:

- регистр текущего адреса,
- основной счётчик данных,
- регистр смещения адреса,
- счётчик последовательных адресов,
- регистр режима адресации,
- регистр управления,
- регистр масок прерывания,
- регистр состояния контроллера.

Текущее состояние блока коммуникационного порта определяется автоматом состояний, битом ошибки/остановки и значениями управляющих счётчиков.

Основной счётчик данных работает следующим образом:

- **декремент** при каждой выдаче адреса в канал адреса ИЛИ **декремент** при каждом чтении из БД в состоянии очистки буфера.

Счётчик незавершённых транзакций работает следующим образом:

- **инкремент** при каждой выдаче адреса в канал адреса,
- **декремент** при каждом получении подтверждения в канале подтверждения записи.

Счётчик доступных данных работает следующим образом:

- **инкремент** при каждом приёме слова данных в БД,
- **декремент** при каждой выдаче адреса в канал адреса ИЛИ **декремент** при каждом чтении из БД в состоянии очистки буфера.

Бит ошибки/остановки устанавливается автоматически при получении в канале подтверждения записи сигнала ошибки записи. Этот бит может быть установлен и снят программно.

Автомат состояний приемной части блока коммуникационного порта показан на рисунке 3.10.

										Лист
										114
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020			31406-3					

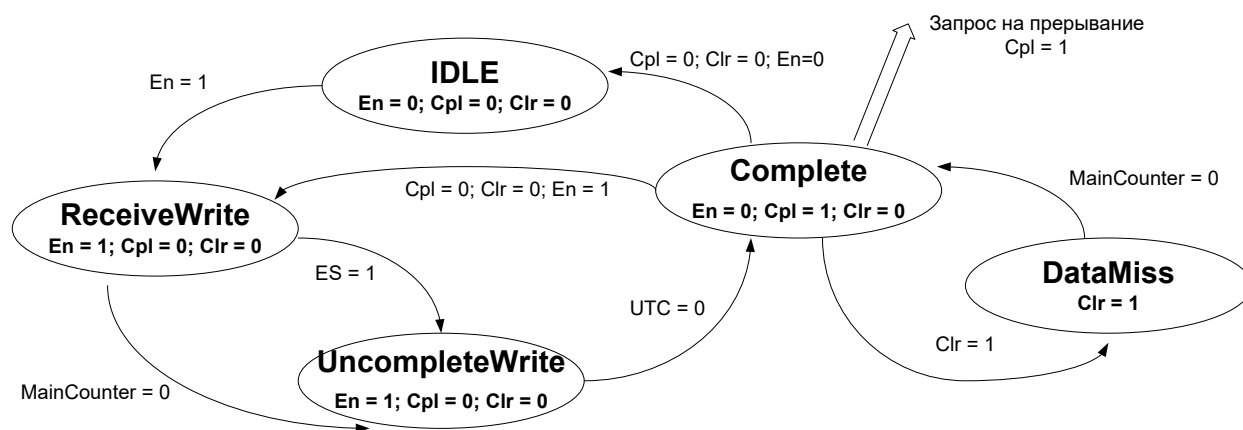


Рисунок 3.10 - Автомат состояний приемной части ККП

Idle – состояние бездействия, начальное состояние. В этом состоянии не выдаются запросы на запись.

ReceiveWrite – приём и запись данных, основное рабочее состояние. В этом состоянии разрешены запросы на запись. Условия перехода из этого состояния в состояние UncompleteWrite: основной счётчик достиг нуля ИЛИ установка (программная или аппаратная) бита ошибки/остановки.

UncompleteWrite – состояние незавершённой записи, ожидание подтверждения на запись последнего данного. В этом состоянии не выдаются запросы на запись. Условие перехода в состояние Complete: счётчик незавершённых транзакций достиг нуля.

Complete – приём завершён, сигнализация ядру (с помощью запроса на прерывание или статусным битом) о завершении приёма массива данных заданного размера. В этом состоянии не выдаются запросы на запись. Условия перехода в состояние DataMiss: запись в бит Clr значения 1. Условия перехода в состояние Idle: запись в бит Cpl значения 0, И запись в бит Clr значения 0, И запись в бит En значения 0. Условия перехода в состояние ReceiveWrite: запись в бит Cpl значения 0, И запись в бит Clr значения 0, И запись в бит En значения 1.

DataMiss – режим очистки буфера, может быть использован при ошибках и остановках. В этом состоянии не выдаются запросы на запись. Данные из БД читаются по одному, но не выставляются в канал данных записи. Условие перехода в состояние Complete: основной счётчик достиг нуля.

					Лист
					115
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.7.2 Передающая часть блока коммуникационного порта

3.7.2.1 Структура передающей части блока коммуникационного порта

Структура передающей части блока коммуникационного порта показана на рисунке 3.11.

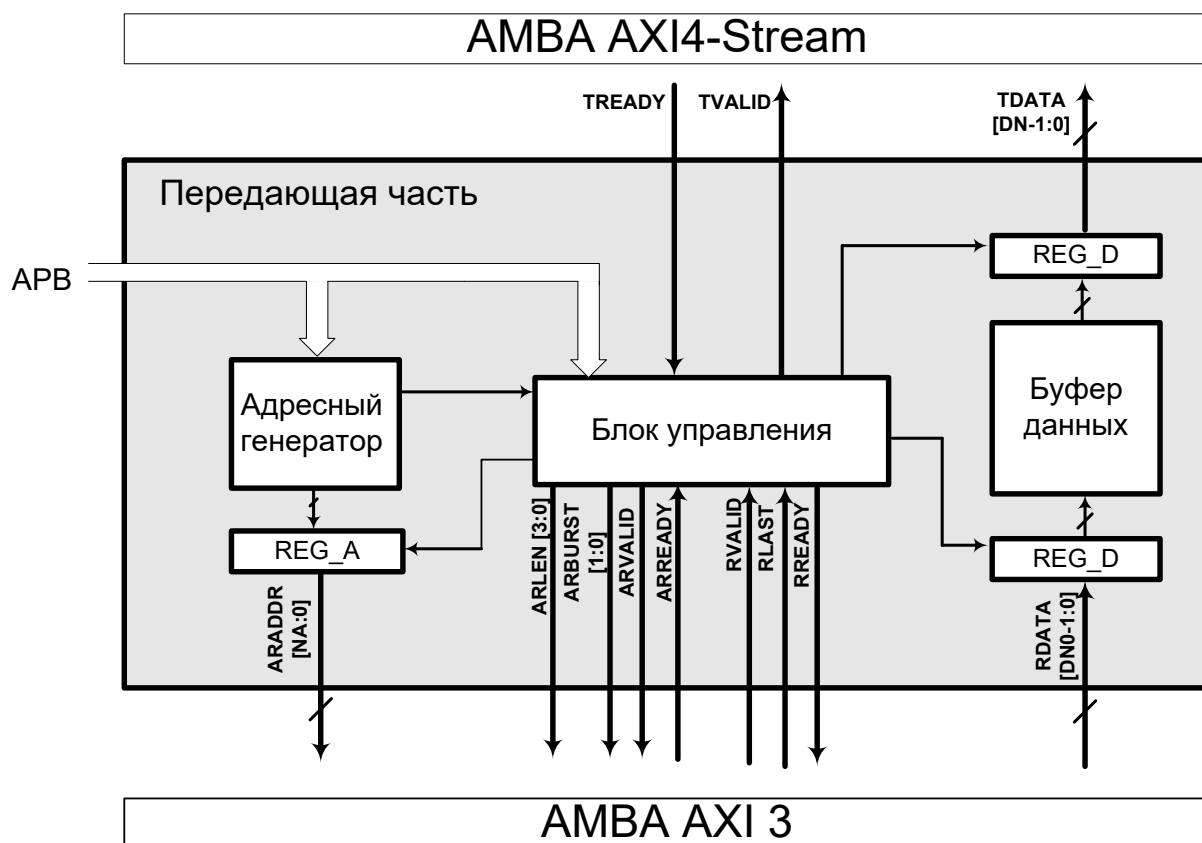


Рисунок 3.11 - Структура передающей части блока коммуникационного порта

Адресный генератор работает в двух режимах: одномерной и двухмерной адресации. Подробнее работа адресных генераторов описана в п. 3.7.3.

Буфер данных, размер которого шесть 64-разрядных данных, служит для временного хранения данных.

Блок управления формирует управляющие сигналы для остальных блоков и шин контроллера. В состав блока управления входят автомат состояния, основной счётчик данных, регистр масок прерывания, бит ошибки/остановки, а также дополнительный счётчик управления: счётчик активных запросов.

Конвейерные регистры на шинах данных и адреса используются для улучшения временных характеристик схемы.

					Лист
					116
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.7.2.2 Принципы работы

Чтение данных происходит по шине AXI3. Данные читаются одиночными запросами. Одиночный запрос в канал адреса выставляется только в случае, если БД может вместить данные от всех незавершённых запросов на шине.

Данные из БД считываются в конвейерный регистр. Через интерфейс AXI4 Stream данные считываются из конвейерного регистра. Интерфейс может быть заблокирован коммуникационной шиной в случае её неготовности.

Регистры контроллера, доступные через периферийную шину:

- регистр текущего адреса,
- основной счётчик данных,
- регистр смещения адреса,
- счётчик последовательных адресов,
- регистр режима адресации,
- регистр управления,
- регистр масок прерывания,
- регистр состояния контроллера.

Текущее состояние контроллера определяется автоматом состояний, битом ошибки/остановки и значением счётчика активных запросов.

Основной счётчик данных работает следующим образом:

- **декремент** при каждой выдаче адреса в канал адреса.

Счётчик активных запросов работает следующим образом:

- **инкремент** при каждой выдаче адреса в канал адреса,
- **декремент** при каждом чтении из БД.

Бит ошибки/остановки устанавливается автоматически при получении в канале данных сигнала ошибки чтения, этот бит может быть установлен и снят программно.

Автомат состояний передающей части блока коммуникационного порта показан на рисунке 3.12.

										Лист
										117
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.			Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4			09.11.2020		31406-3					

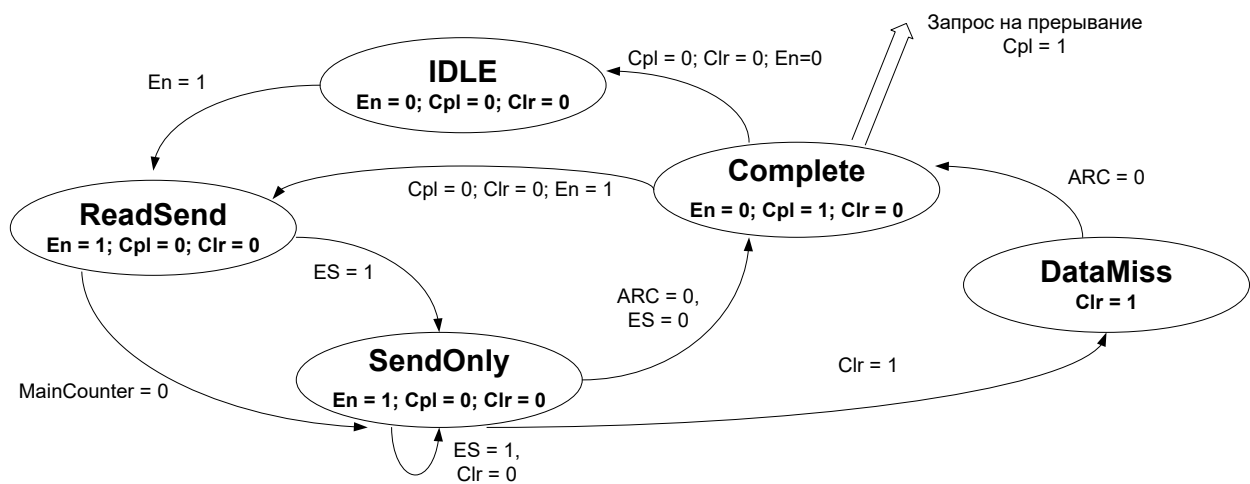


Рисунок 3.12 - Автомат состояний передающей части ККП

Idle – состояние бездействия, начальное состояние. В этом состоянии не выдаются запросы на чтение.

ReadSend – чтение и отправка данных, основное рабочее состояние. В этом состоянии разрешены запросы на чтение. Условия перехода из этого состояния в состояние SendOnly: основной счётчик достиг нуля ИЛИ установка (программная или аппаратная) бита ошибки/остановки.

SendOnly – отправка последних данных. В этом состоянии не выдаются запросы на чтение. При установленном бите ошибки/остановки отправка блокируется. Условие перехода в состояние Complete: счётчик активных запросов достиг нуля. Условие перехода в состояние DataMiss: программная запись в бит Clr значения 1.

Complete – отправка завершена, сигнализация ядру (с помощью запроса на прерывание или статусным битом) о завершении отправки массива данных заданного размера. В этом состоянии не выдаются запросы на чтение. Условия перехода в состояние Idle: запись в бит Cpl значения 0, И запись в бит En значения 0. Условия перехода в состояние ReadSend: запись в бит Cpl значения 0, И запись в бит En значения 1.

DataMiss – режим очистки буфера, может быть использован при ошибках и остановках. В этом состоянии не выдаются запросы на чтение. Данные из БД читаются по одному, но не выставляются в интерфейс коммуникационной шины. Условие перехода в состояние Complete: счётчик активных запросов достиг нуля.

					Лист
					118
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.7.3 Адресный генератор блока коммуникационного порта

Адресный генератор имеется в каждой из двух частей блока коммуникационного порта: приёмной и передающей. Структура адресного генератора блока коммуникационного порта приведена на рисунке 3.13).

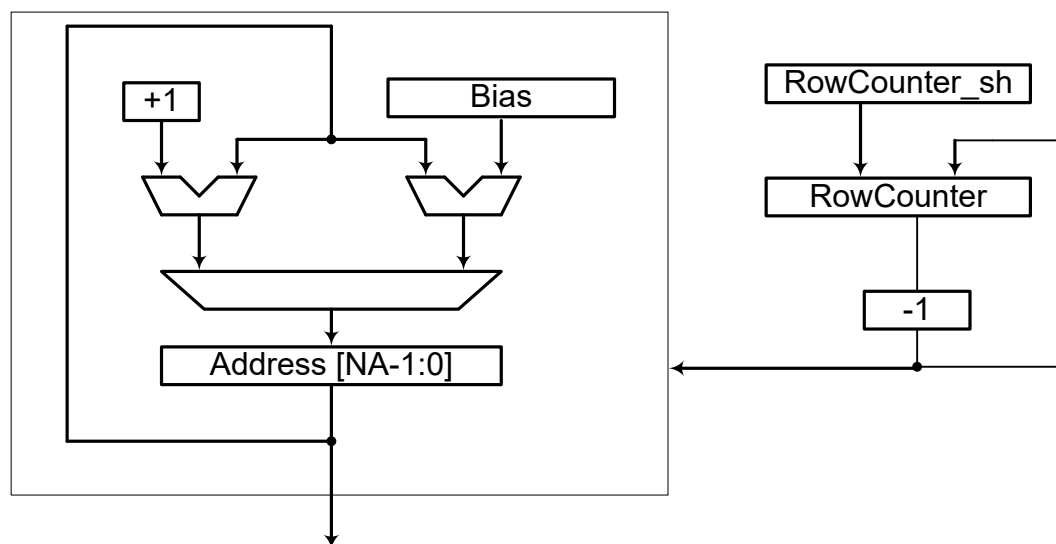


Рисунок 3.13 - Структура адресного генератора блока коммуникационного порта

Все регистры адресного генератора доступны для записи и чтения.

Address – регистр текущего адреса, значение этого регистра выставляется в канал адреса при выдаче запроса.

Bias – регистр смещения, значение этого регистра используется для вычисления следующего адреса при двухмерной адресации. Если счётчик RowCounter достиг нуля, то к текущему адресу прибавляется значение регистра Bias.

RowCounter – счётчик последовательных данных, значение этого регистра используется для генерации следующего адреса.

RowCounter_sh – теневой регистр счётчика последовательных данных, хранит записанное значение RowCounter.

БУ формирует сигнал переключения адресного генератора. При переключении адрес из регистра текущего адреса поступает в конвейерный регистр адреса в контроллере, новое значение поступает в регистр текущего адреса из схемы сумматора.

При двухмерной адресации буфер данных в памяти расположен не непрерывным блоком, а равноотстоящими друг от друга фрагментами (строками равного размера). Внутри

					Лист
					119
ЮФКВ.431282.020РЭ					
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

строки адреса данных изменяются последовательно, между строками есть расстояние (в адресных единицах) – Bias.

В показанном на рисунке 3.14 примере двухмерной адресации в адресном генераторе приведенные формулы справедливы для Address и Bias в байтах.

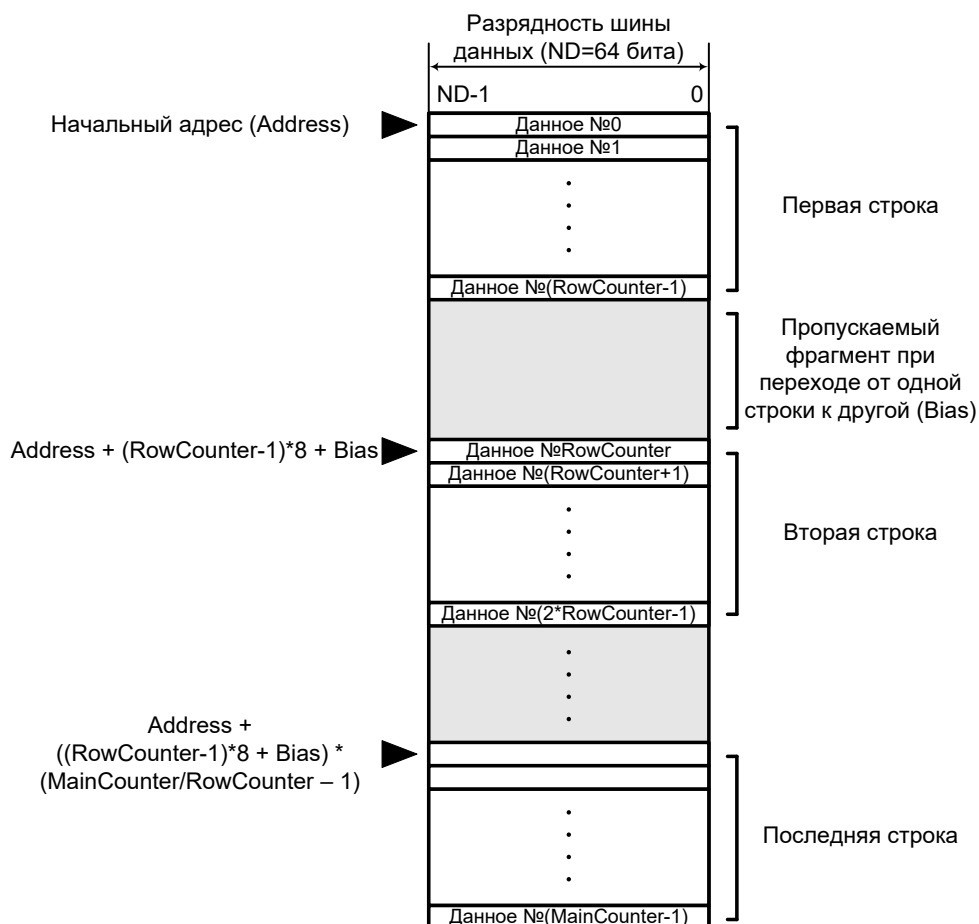


Рисунок 3.14 - Двухмерная адресация в адресном генераторе

Чтобы настроить адресный генератор на адресацию к такому массиву, нужно задать в RowCounter размер строки (в 64-разрядных словах) и задать смещение адреса при переходе от одной строки к другой в регистр Bias (в единицах адреса).

					Лист
					120
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.7.4 Программная модель передающей части блока коммуникационного порта

Все регистры передающей части контроллера 32-разрядные, в зарезервированных битах при чтении возвращается 0, запись любого значения в зарезервированные биты никак не влияет на устройство. Набор регистров для каждого коммуникационного порта одинаковый. Адреса отличаются только начальным смещением Base (доступ 32-разрядный), значение Base выражено в единицах адреса соответствующей процессорной системы:

- Base = 0x00021800 для CP0 ПУ на основе NMC;
- Base = 0x00021C00 для CP1 ПУ на основе NMC;
- Base = 0x00022000 для CP2 ПУ на основе NMC;
- Base = 0x00022400 для CP3 ПУ на основе NMC;
- Base = 0x000B8000 для CP0 ПУ на основе ARM;
- Base = 0x000B9000 для CP1 ПУ на основе ARM;
- Base = 0x000BA000 для CP2 ПУ на основе ARM;
- Base = 0x000BB000 для CP3 ПУ на основе ARM;

Набор регистров передающей части контроллера коммуникационного порта представлен в таблице 3.6.

Таблица 3.6 - Набор регистров передающей части блока коммуникационного порта

Адрес (32-разрядный доступ)	Название	Доступ	Пояснение
Base+00h	CPRC_MainCounter	ЧТ/ЗП	Основной счётчик данных
Base+02h	CPRC_Address	ЧТ/ЗП	Регистр текущего адреса в адресном генераторе
Base+04h	CPRC_Bias	ЧТ/ЗП	Регистр смещения адреса
Base+06h	CPRC_RowCounter	ЧТ/ЗП	Счётчик последовательных данных
Base+08h	CPRC_AddressMode	ЧТ/ЗП	Регистр режима адресации
Base+0Ah	CPRC_CSR	ЧТ/ЗП	Регистр управления
Base+0Ch	CPRC_InterruptMask	ЧТ/ЗП	Регистр масок запросов на прерывание
Base+0Eh	CPRC_InternalState	ЧТ	Регистр состояния

Примечание - Все адреса и смещения задаются в формате адреса процессорной системы, внутри которой находится блок коммуникационного порта. Все счётчики считают переданные 64-разрядные слова (счётчики CPRC_MainCounter и CPTR_RowCounter).

					Лист
					121
Изм.	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

- Поле FSM (разряды 28-24) – показывает текущее состояние конечного автомата передающей части:

b00000 – Idle – бездействие,

b00001 – ReadSend – чтение из памяти и отправка,

b00011 – SendOnly – чтение завершено, только отправка,

b00010 – Complete – отправка завершена,

b00110 – DataMiss – режим очистки буфера данных.

										Лист
										125
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

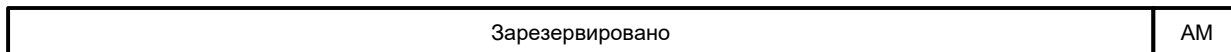


Рисунок 3.27 - Формат регистра CPTR_AddressinMode

Регистр CPTR_AddressinMode определяет режим адресации в адресном генераторе. Бит AM = 0 – одномерная адресация, бит AM = 1 – двухмерная адресация.

Регистр управления CPTR_CSR

Формат регистра CPTR_CSR приведен на рисунке 3.28.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

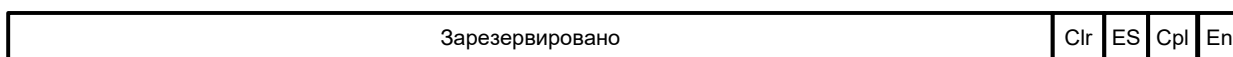


Рисунок 3.28 - Формат регистра CPTR_CSR

Регистр CPTR_CSR используется для управления состоянием блока коммуникационного порта:

- Бит En (0-й разряд). Запись в бит En = 1 запускает приём.
- Бит Cpl (1-й разряд). При чтении Cpl = 1 означает, что приём и запись заданного количества слов завершены, либо запись приостановлена вследствие ошибки или программной приостановки (бит ES = 1). Чтобы произвести следующий запуск, необходимо записать Cpl = 0.
- Бит ES (2-й разряд). При чтении ES = 1 означает, что запись в память приостановлена. Бит ES устанавливается аппаратно, если блок коммуникационного порта получил сигнал об ошибке своего обращения в память – по несуществующему или недоступному адресу. Также бит ES можно установить программно. После обработки ошибки бит ES необходимо сбрасывать программно, так как он блокирует запись.
- Бит Clr (3-й разряд) показывает, что приёмная часть блока коммуникационного порта находится в состоянии очистки буфера данных. В этом состоянии принимаемые данные теряются – осуществляется только их подсчёт в регистре основного счётчика данных (CPTR_MainCounter). Бит Clr сбрасывается автоматически при достижении CPTR_MainCounter = 0.

Регистр масок запросов на прерывание CPTR_InterruMask

Формат регистра CPTR_InterruMask приведен на рисунке 3.29.

					ЮФКВ.431282.020РЭ	Лист 128
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

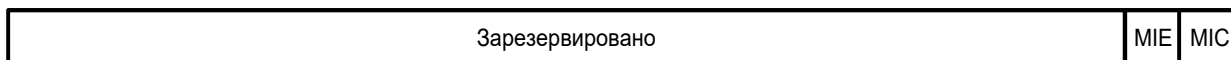


Рисунок 3.29 - Формат регистра CPTR_InterruptMask

Данный регистр позволяет запретить выдачу запроса на прерывание от приёмной части блока коммуникационного порта по любой из двух причин – завершение приёма и ошибка при обращении в память:

- Бит MIC (0-й разряд) – маска запроса на прерывание по завершении приёма. MIC = 1 – запрос маскирован, MIC = 0 – запрос разрешён.
- Бит MIE (1-й разряд) – маска запроса на прерывание по ошибке или программной остановке. MIE = 1 – запрос маскирован, MIE = 0 – запрос разрешён.

Регистр состояния CPTR_InternalState

Формат регистра CPTR_InternalState приведен на рисунке 3.30.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

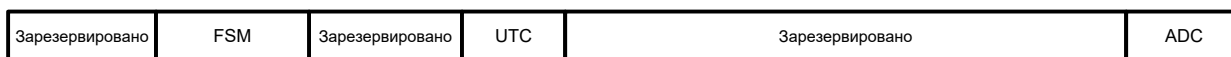


Рисунок 3.30 - Формат регистра CPTR_InternalState

Регистр состояния CPTR_InternalState доступен только для чтения, показывает внутреннее состояние приёмной части блока коммуникационного порта. Может быть использован для отладки и для обработки ошибочных ситуаций. Регистр имеет следующие поля:

- Поле ADC (разряды 2-0) – счётчик доступных данных. Показывает количество данных, имеющихся в приёмном буфере блока коммуникационного порта, но ещё не выданных на запись в память.
- Поле UTC (разряды 20-18) – счётчик незавершённых транзакций. Показывает количество транзакций записи на шине AXI3, для которых ещё не получено подтверждения.
- Поле FSM (разряды 28-24) – показывает текущее состояние конечного автомата передающей части:

- b00000 – Idle – бездействие,
- b00001 – ReceiveWrite – приём и запись данных,
- b00011 – UncompleteWrite – приём завершён, только запись,
- b00010 – Complete – запись завершена,
- b00110 – DataMiss – режим очистки буфера данных.

					ЮФКВ.431282.020РЭ	Лист 129
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

3.7.6 Прерывания блока коммуникационного порта

Блок коммуникационного порта может выдавать по два запроса на прерывание от каждого коммуникационного порта: от передающей и приёмной части. Эти прерывания вызываются либо при завершении обмена данными, либо при возникновении ошибок при обмене. Описание причин прерываний приведено в таблице 3.8.

Таблица 3.8 - Виды запросов на прерывание от блока коммуникационного порта

Причина прерывания	Бит, вызывающий запрос	Бит, маскирующий запрос
Завершение отправки заданного массива данных	Бит Cpr1 регистра CPTR_CSR передающей части	Бит M1C регистра CPTR_InterruptMask передающей части
Ошибка чтения из памяти при отправке	Бит ES регистра CPTR_CSR передающей части	Бит M1E регистра CPTR_InterruptMask передающей части
Завершение приёма заданного количества данных	Бит Cpr1 регистра CPCR_CSR приёмной части	Бит M1C регистра CPCR_InterruptMask приёмной части
Ошибка записи в память при приёме	Бит ES регистра CPCR_CSR приёмной части	Бит M1E регистра CPCR_InterruptMask приёмной части

										Лист
										130
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

3.8 Мост «системный интегратор – AXI»

Мост «системный интегратор – AXI» обеспечивает процессорному ядру NMC доступ к внешней памяти и периферийным устройствам системы на кристалле.

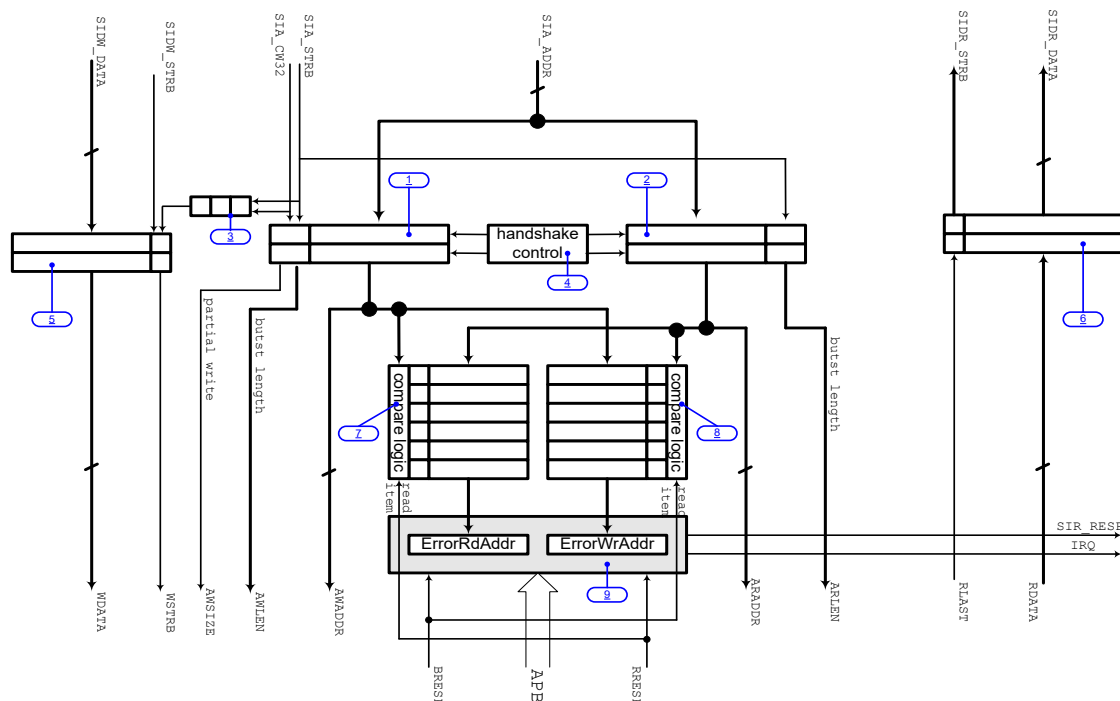


Рисунок 3.31 – Структурная схема моста "системный интегратор - AXI"

Элементы структурной схемы моста:

- 1) буфер адресов записи,
- 2) буфер адресов чтения,
- 3) буфер типа операции записи – хранит признак: 64- или 32-разрядные данные, а также младший бит адреса,
- 4) блок управления – обрабатывает сигналы управления всей схемы, отслеживает порядок запросов,
- 5) буфер данных записи,
- 6) буфер данных чтения,
- 7) буфер сравнения для адресов чтения – сравнивает текущий адрес записи со всеми адресами чтения ещё не завершённых транзакций,
- 8) буфер сравнения для адресов записи – сравнивает текущий адрес чтения со всеми адресами записи ещё не завершённых транзакций,
- 9) блок обработки подтверждений – содержит программно доступные регистры.

					Лист
					131
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Функции и особенности моста:

- Мост преобразует транзакции записи и чтения ядра NMC в транзакции записи и чтения шины AXI.
- Мост отслеживает порядок транзакций чтения и записи, и, в случае конфликта по адресам двух транзакций в разных каналах (между чтением и записью), выдача более поздней транзакции блокируется до прихода подтверждения первой транзакции. Это обеспечивает исходный порядок (в котором получены адреса от NMC4) операций доступа в память.
- Обращения в периферийную область обрабатываются особым образом – исходный порядок обеспечивается для всех транзакций, попадающих в периферийную область. В данной микросхеме подобным образом обрабатываются все обращения наружу процессорного кластера (адреса, начиная с 1000_0000h и больше).
- Мост различает запросы чтения данных и инструкций процессорного ядра. На шине AXI мост использует разные идентификаторы (ARID и RID): 0 – чтение данных, 1 – выборка инструкций. Адреса инструкций не проходят через буфер сравнения и с ними не сравнивается текущий адрес записи, то есть, если одновременно по одному адресу выполняется транзакция записи и транзакция выборки инструкции, то порядок их исполнения не гарантируется. При чтении данных и выборке инструкций поддерживается интерливинг данных чтения (спецификация AXI, п. 8.3 Read Ordering) неограниченной глубины: данные передаются к системному интегратору в том порядке, в котором получены с шины AXI (системный интегратор различает их по идентификатору, который передаётся вместе с данными).
- Мост корректно обрабатывает транзакции, которые возвращают ошибку в фазе подтверждения (сигналы RRESP, BRESP). Мост сохраняет адрес первой транзакции, закончившейся с ошибкой, и генерирует запрос на прерывание. Адрес ошибочной транзакции и функция управления прерыванием доступны для ядра NMC через периферийный интерфейс. Исключение составляет выборка инструкций – для неё не сохраняется адрес ошибочной транзакции.
- Мост использует только один тип транзакции AXI – одиночная транзакция типа INCR, при этом запись и чтение могут производиться 32- или 64-разрядными словами (все адреса, соответственно, выровнены до четырёх байт).
- Мост не использует идентификаторы AXI (в системе ему назначается постоянный идентификатор).

										Лист
										132
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

- Имеются два режима записи: режим запаздывающих данных и режим выровненных данных. В режиме выровненных данных адрес выдаётся на шину AXI только при наличии данных для записи. В режиме запаздывающих данных адрес выдаётся до появления данных, в таком случае время, на которое запаздывают данные, зависит от состояния конвейера ядра NMC4 и может достигать десятков тактов.

3.8.1 Особенности работы моста

Основная функция моста – распределение потока обращений в память на два независимых конвейера шины AXI: конвейер чтения и конвейер записи. Порядок выполнения операций в разных конвейерах не гарантируется, поэтому в случаях, когда порядок требуется соблюдать, мост обеспечивает порядок путём задержки более позднего запроса.

Порядок, в котором выполняются две операции, требуется соблюдать в следующих случаях:

- запись в память, затем чтение по тому же адресу – чтение дожидается завершения записи, чтобы вернуть обновлённые данные,
- чтение из памяти, затем запись по тому же адресу – запись дожидается завершения чтения, чтобы данные чтения не были обновлены,
- запись в область периферийных устройств, затем чтение из области периферийных устройств,
- чтение из области периферийных устройств, затем запись в область периферийных устройств – независимо от адреса при обращении к периферийным устройствам требуется соблюдать порядок операций чтения и записи.

Транзакция чтения AXI производится в две фазы: фаза адреса и фаза данных (в фазе данных приходит также сигнал подтверждения). В первой фазе адрес из буфера адресов выдаётся на шину AXI и одновременно записывается в буфер сравнения для адресов чтения. Мост поддерживает выдачу нескольких адресов чтения до получения данных, поэтому адреса чтения могут выдаваться до тех пор, пока не заполнится буфер сравнения. Адрес покидает буфер сравнения в момент прихода данных (фаза данных). Мост не поддерживает пакетные передачи, поэтому одному адресу всегда соответствует одно данное.

Транзакция записи AXI производится в три фазы: фаза адреса, фаза данных и фаза подтверждения. Мост имеет два режима записи: отличие их состоит в том, как соотносятся фаза адреса и фаза данных. В режиме выровненных данных адрес записи не выставляется на шину AXI и остаётся в буфере адресов записи до прихода соответствующих данных записи. В

										Лист
										133
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

режиме запаздывающих данных адрес выдаётся на шину AXI независимо от того, пришли на данный момент данные или нет.

Преимущество режима запаздывающих данных:

- меньше блокировок ядра – например, при выполнении трёх операций записи, а затем чтения, если первая запись блокируется, то блокируется и чтение, так как не может обойти третью запись и попасть в буфер адресов чтения.

Преимущество режима выровненных данных:

- меньше блокировок в конвейере записи в память. Например, когда контроллер памяти принимает адреса записи от одного NMC, он вынужден дожидаться соответствующих данных и не давать доступа другим устройствам системы. Если же данные приходят вместе с адресом, выдаваемый адрес записи поступает в буфер сравнения для адресов записи. Адрес покидает буфер сравнения в момент прихода подтверждения.

3.8.2 Эксклюзивные операции

Эксклюзивные операции – это механизм (exclusive access) шины AXI, позволяющий реализовать атомарные операции с памятью.

В системе команд NMPU нет выделенных команд для эксклюзивного доступа. Мост «системный интегратор – AXI» преобразует обычные операции чтения и записи NMPU в эксклюзивные операции шины AXI. Для разграничения разных типов доступа используются старшие не используемые на шине AXI биты адреса ядра NMC4:

- бит 31 – признак эксклюзивной транзакции,
- бит 30 – признак фазы статуса.

Соответственно, возможны следующие типы операций чтения/записи, представленные в таблице 3.9.

									Лист
									134
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 3.9 - Типы операций эксклюзивного доступа

Бит 31	Бит 30	ЧТ/ЗП	Описание
0	0	ЧТ	обычное чтение из памяти или периферии
0	0	ЗП	обычная запись в память или периферию
0	1	ЧТ	чтение статуса последней эксклюзивной записи (фактически производится обычное чтение, но данные подменяются кодом статуса)
0	1	ЗП	зарезервированная комбинация (фактически производится обычная запись)
1	0	ЧТ	эксклюзивное чтение
1	0	ЗП	фаза данных эксклюзивной записи
1	1	ЧТ	зарезервированная комбинация (фактически производится эксклюзивное чтение, но данные подменяются кодом статуса)
1	1	ЗП	зарезервированная комбинация (фактически производится эксклюзивная запись)

Никакие транзакции не завершаются самим мостом – происходит просто преобразование адреса путём откидывания разрядов 30 и 31. Эксклюзивные транзакции проводятся на шине AXI с признаком ARLOCK/AWLOCK=b01. Чтение статуса производится как обычная операция чтения (ARLOCK=b00), но адрес следует выбирать так, чтобы данное чтение не изменяло состояния каких-либо устройств. Операция чтения статуса отличается от обычного чтения:

- мост отбрасывает код подтверждения RRESP и данные чтения,
- вместо данных ядру NMC4 отправляется код статуса:
 - 0 – последняя эксклюзивная запись прошла успешно,
 - 1 – не успешно.

3.8.3 Ошибки обращения

Каждая транзакция AXI завершается подтверждением, по которому можно определить, нормально завершилась транзакция или с ошибкой. Возможны ошибки следующих видов:

- ошибка адресации – возникает, когда область памяти, в которую направлено обращение, зарезервирована,
- ошибка конечного устройства – возникает, когда slave-устройство, запретило обращение к данному адресу в данный момент,
- ошибка эксклюзивной операции – возникает при попытке эксклюзивного доступа в slave-устройство, не поддерживающее эксклюзивных операций.

Если в фазе подтверждения транзакции приходит сигнал ошибки, то код ошибки и адрес (читается из буфера сравнения) сохраняются в программно доступных регистрах моста.

									Лист
									135
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ				
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Исключение составляет выборка инструкций – для неё не сохраняется адрес ошибочной транзакции.

При возникновении ошибки мост может устанавливать сигнал запроса на прерывание.

3.8.4 Программно доступные регистры моста «системный интегратор – AXI»

Программно доступные регистры моста используются для обработки ошибок обращения в память и для настройки режима записи.

Перечень регистров моста приведен в таблице 3.10.

Таблица 3.10 – Перечень регистров моста «системный интегратор – AXI»

Адрес (32-разрядный доступ)	Название	Доступ	Описание
0002_1000h	CSR	ЧТ/ЗП	Регистр управления
0002_1002h	IRQMask	ЧТ/ЗП	Маска прерывания
0002_1004h	RdAddr	ЧТ	Регистр адреса чтения
0002_1006h	WrAddr	ЧТ	Регистр адреса записи

										Лист
										136
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр управления (CSR)

Формат регистра управления приведен в таблице 3.11.

Таблица 3.11 – Описание полей регистра CSR

Разряды	Название	Доступ	Описание
[13]	AWR	ЧТ	Активность канала записи: 0 - мост не содержит команд записи и нет незавершённых транзакций записи, 1 - имеется хотя бы одна незавершённая команда записи. Данный бит не учитывает признак ошибки.
[12]	ARD	ЧТ	Активность канала чтения: 0 - мост не содержит команд чтения и нет незавершённых транзакций чтения, 1 - имеется хотя бы одна незавершённая команда чтения. Данный бит не учитывает признак ошибки.
[11:10]	RRI	ЧТ	Код подтверждения ошибочной операции при выборке команд (RRESP шины AXI). 00 - нормальное завершение (поле имеет значение 00, пока бит ERI не установлен), 01 - зарезервировано, 10 - конечное устройство вернуло ошибку, 11 - обращение в зарезервированную область памяти.
[9:8]	RWR	ЧТ	Код подтверждения ошибочной операции при записи данных (BRESP шины AXI). 00 - нормальное завершение (поле имеет значение 00, пока бит EWR не установлен), 01 - ошибка эксклюзивной записи, 10 - конечное устройство вернуло ошибку, 11 - обращение в зарезервированную область памяти.
[7:6]	RRD	ЧТ	Код подтверждения ошибочной операции при чтении данных (RRESP шины AXI). 00 - нормальное завершение (поле имеет значение 00, пока бит ERD не установлен), 01 - ошибка эксклюзивного чтения, 10 - конечное устройство вернуло ошибку, 11 - обращение в зарезервированную область памяти.
[5]	MCLR	ЧТ/ЗП	Установка режима записи 0. Запись значения 1 в этот бит устанавливает режим записи 0.
[4]	MSET	ЧТ/ЗП	Установка режима записи 1. Запись значения 1 в этот бит устанавливает режим записи 1.
[3]	M	ЧТ	Текущий режим записи: 0 – режим запаздывающих данных, 1 – режим выровненных данных.
[2]	ERI	ЧТ/ЗП	Признак ошибки адресации в запросе на выборку команд. Устанавливается аппаратно в момент прихода подтверждения RRESP на шине AXI. Сброс производится программно путём записи значения 1 в данный бит.
[1]	EWR	ЧТ/ЗП	Признак ошибки адресации в запросе записи. Устанавливается аппаратно в момент прихода подтверждения BRESP на шине AXI. Сброс производится программно путём записи значения 1 в данный бит.
[0]	ERD	ЧТ/ЗП	Признак ошибки адресации в запросе чтения данных. Устанавливается аппаратно в момент прихода подтверждения RRESP на шине AXI. Сброс производится программно путём записи значения 1 в данный бит.

Регистр всегда доступен для чтения, и записи значения 1 в некоторые биты (ERD, EWR, ERI, MSET, MCLR).

										Лист
										137
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Бит М имеет теневой регистр: запись значения 1 в биты MSET и MCLR изменяет только теневой регистр. Перезапись в рабочий регистр осуществляется автоматически, но только во время простоя канала записи (когда бит AWR имеет значение 0). Чтобы изменить значение бита М, необходимо провести запись значения 1 в бит MSET либо MCLR и дождаться, пока в бите М установится требуемое значение.

Признак ошибки (ERD, ERI и EWR) устанавливается аппаратно, если возвращаемый код подтверждения транзакции AXI (RRESP и BRESP соответственно) свидетельствует об ошибочном завершении транзакции.

Поле кода подтверждения (RRD, RRI и RWR) обновляется с завершением каждой транзакции, пока не установлен соответствующий бит ошибки (ERD, ERI и EWR). Таким образом, в нём остаётся код первой произошедшей ошибки.

Регистр маски прерываний (IRQMask)

Регистр маски прерываний разрешает или запрещает выдачу запроса на прерывание к NMPU. Формат регистра IRQMask приведен в таблице 3.12.

Таблица 3.12- Описание полей регистра IRQMask

Разряды	Название	Доступ	Описание
[2]	IRI	ЧТ/ЗП	Включение прерывания при ошибках выборки инструкций: 0 - прерывание запрещено, 1 - прерывание разрешено.
[1]	IWR	ЧТ/ЗП	Включение прерывания при ошибках записи: 0 - прерывание запрещено, 1 - прерывание разрешено.
[0]	IRD	ЧТ/ЗП	Включение прерывания при ошибках чтения данных: 0 - прерывание запрещено, 1 - прерывание разрешено.

Регистр адреса чтения и регистр адреса записи (RdAddr и WrAddr)

Регистр адреса (RdAddr и WrAddr) обновляется с завершением каждой транзакции, пока не установлен бит ошибки (ERD и EWR). Таким образом, при возникновении ошибки в нём остаётся адрес первой транзакции, завершившейся с ошибкой. Для выборки инструкций регистр адреса не доступен. Формат регистров RdAddr и WrAddr приведен в таблице 3.13.

Таблица 3.13 - Описание полей регистров RdAddr и WrAddr

Разряды	Название	Доступ	Описание
[31:30]	-	-	Зарезервировано
[29:0]	ADDR	ЧТ	Адрес завершившейся операции.

										Лист
										138
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

3.8.5 Прерывания

Запрос на прерывание от моста установлен всегда, когда установлены биты ERD и IRD, ERI и IRI или EWR и IWR. Запрос снимается программно путём сброса битов ERD, ERI или EWR.

									Лист
									139
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

3.9 Мост «системный интегратор - периферийная шина NMPU»

Мост «системный интегратор - периферийная шина NMPU», показанный на рисунке 3.32 обеспечивает ядру NMC4 доступ к регистрам собственных периферийных устройств процессорной системы NMPU:

- системный контроллер,
- контроллер внешних прерываний,
- блок таймеров,
- блок предвыборки команд IFU,
- мост «системный интегратор – AXI»,
- блок защиты памяти MPU,
- коммуникационные порты CP0-CP3.

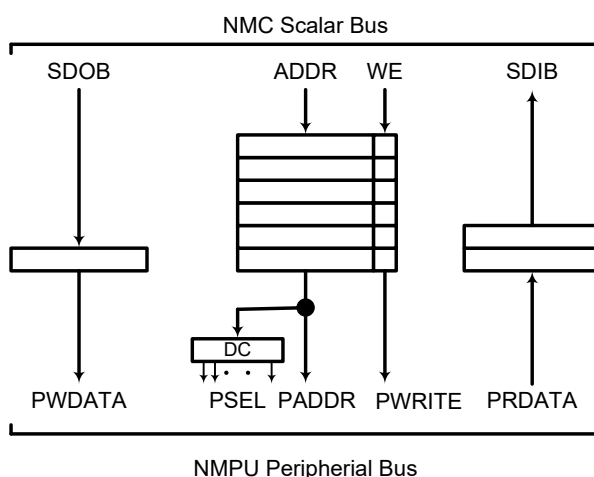


Рисунок 3.32 - Мост «системный интегратор - периферийная шина NMPU»

Мост состоит из буфера адресов, буфера данных чтения, регистра данных записи и схемы управления. Транзакция на периферийной шине занимает всегда два такта и не конвейеризована.

Доступ на периферийную шину допускается только скалярными командами загрузки и выгрузки регистров NMPU. При обращении ядра к адресам периферийной шины векторными командами поведение системы не специфицировано.

Все регистры на периферийной шине NMPU имеют чётные адреса, а все нечётные адреса зарезервированы. Это означат, что:

- запись по ним никак не влияет на устройства системы,
- чтение возвращает значение 0,

									Лист
									140
Изм.	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

- при записи регистровыми парами значение старшего 32-разрядного слова (РОН) отбрасывается, значение младшего (адресный регистр) записывается,
- при чтении регистровыми парами в старшем 32-разрядном слове (РОН) возвращается 0, в младшем (адресный регистр) – возвращается прочитанное значение.

Мост не имеет программно доступных регистров.

									Лист
									141
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

3.10 Блок периферийных устройств (PU) процессорного узла NMPU

3.10.1 Общие сведения

Блок периферийных устройств процессора хранит идентификатор своего NMPU, служит для фиксации внешних событий и прерываний, обмена прерываниями между NMPU и управляющим ПУ внутри кластера, а также подсчёта интервалов времени. NMPU управляет этим блоком с помощью реализации программного доступа к регистрам периферийных устройств как на запись, так и на чтение. Причём этот доступ осуществляется по адресам от 0x0002_0000h до 0x0003_FFFFh (область периферийных регистров) как к ячейкам памяти. Все периферийные устройства выполнены в виде IP-блоков и имеют стандартные интерфейсы в соответствии со спецификацией шины AMBA APB спецификации 2.0 компании ARM. В состав периферийных устройств NMPU входят следующие блоки:

- системный контроллер;
- контроллер внешних прерываний;
- блок таймеров.

3.10.2 Системный контроллер NMPU

Системный контроллер выполняет следующие функции:

- содержит идентификатор своего NMPU;
- служит для генерации запросов на прерывание к другим ПУ.

Структурная схема системного контроллера представлена на рисунке 3.33.

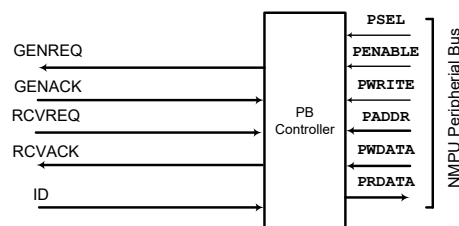


Рисунок 3.33 - Системный контроллер NMPU

					Лист
ЮФКВ.431282.020РЭ					142
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.10.2.1 Программно доступные регистры системного контроллера NMPU

Перечень программно доступных регистров системного контроллера NMPU приведен в таблице 3.14.

Таблица 3.14 – Перечень программно доступных регистров системного контроллера NMPU

Адрес (32-разрядный доступ)	Название	Доступ	Описание
2_0000h	ID	ЧТ	Регистр идентификации процессорной системы
2_0002h	SYNC	ЧТ/ЗП	Регистр межпроцессорной синхронизации

Регистр идентификации процессорной системы (ID)

Регистр идентификации процессорной системы доступен только для чтения. Регистр содержит 32-разрядный идентификатор NMPU. Формат регистра ID приведен в таблице 3.15.

Таблица 3.15 – Описание полей регистра ID

Разряды	Название	Доступ	Описание
[31:24]	INDEX	ЧТ	Номер NMPU в составе СнК: 00000000 – NMPU0 кластера 0; 00000001 – NMPU1 кластера 0; 00000010 – NMPU2 кластера 0; 00000011 – NMPU3 кластера 0; 00000100 – NMPU0 кластера 1; 00000101 – NMPU1 кластера 1; 00000110 – NMPU2 кластера 1; 00000111 – NMPU3 кластера 1; 00001000 – NMPU0 кластера 2; 00001001 – NMPU1 кластера 2; 00001010 – NMPU2 кластера 2; 00001011 – NMPU3 кластера 2; 00001100 – NMPU0 кластера 3; 00001101 – NMPU1 кластера 3; 00001110 – NMPU2 кластера 3; 00001111 – NMPU3 кластера 3
[23:20]	VAR	ЧТ	Особенности архитектуры процессорного ядра: 0010 - ядро NMC4 с сопроцессором арифметики с плавающей точкой
[19:16]	ARCH	ЧТ	Архитектура процессорного ядра: 0100 - NMC4
[15:4]	PRTNUM	ЧТ	Идентификатор изделия: 0x0B8 - процессор NM6408
[3:0]	REV	ЧТ	Версия изделия: 0000

Регистр межпроцессорной синхронизации (SYNC)

Регистр межпроцессорной синхронизации позволяет NMPU и управляющему ПУ внутри кластера обмениваться сигналами запроса и подтверждения. Поле GENREQ отвечает

										Лист
										143
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

за выдачу запросов другим процессорным системам NMPU и управляющему ПУ, поле RCVREQ используется для приёма запросов и выдачи подтверждений. Описание полей регистра SYNC и соответствие разрядов его полей и запросов на прерывание приведено в таблицах 3.16 и 3.17 соответственно.

Таблица 3.16 - Описание полей регистра SYNC

Разряды	Название	Доступ	Описание
31-24	-	-	Зарезервировано
23-16	GENREQ	ЧТ/ЗП	Один бит поля GENREQ соответствует одному биту поля RCVREQ другого ПУ. Запись значения 1 в бит поля GENREQ вызывает аппаратную установку соответствующего бита RCVREQ другого ПУ. Программный сброс бита RCVREQ другого ПУ системы сбрасывает аппаратно бит поля GENREQ
15-8	-	-	Зарезервировано
7-0	RCVREQ	ЧТ/ЗП	Один бит поля RCVREQ соответствует одному биту GENREQ другого ПУ. Программная установка соответствующего бита GENREQ в другой процессорной системе устанавливает бит RCVREQ. Запись значения 1 в бит поля RCVREQ сбрасывает этот бит и инициирует аппаратный сброс соответствующего бита GENREQ. Установка бита поля RCVREQ вызывает запрос на прерывание

Таблица 3.17 - Соответствие разрядов полей регистра SYNC и запросов на прерывание

Разряд регистра SYNC запросчика	Разряд регистра SYNC приёмника	Запрос на прерывание в контроллере внешних прерываний приёмника
23 (GENREQ[7])	7 (RCVREQ[7])	Низкоприоритетное межпроцессорное прерывание 7 от соседнего NMPU _k своего кластера
22 (GENREQ[6])	6 (RCVREQ[6])	Низкоприоритетное межпроцессорное прерывание 6 от соседнего NMPU _j своего кластера
21 (GENREQ[5])	5 (RCVREQ[5])	Низкоприоритетное межпроцессорное прерывание 5 от соседнего NMPU _i своего кластера
20 (GENREQ[4])	4 (RCVREQ[4])	Низкоприоритетное межпроцессорное прерывание 4 от управляющего ПУ своего кластера
19 (GENREQ[3])	3 (RCVREQ[3])	Высокоприоритетное межпроцессорное прерывание 3 от соседнего NMPU _k своего кластера
18 (GENREQ[2])	2 (RCVREQ[2])	Высокоприоритетное межпроцессорное прерывание 2 от соседнего NMPU _j своего кластера
17 (GENREQ[1])	1 (RCVREQ[1])	Высокоприоритетное межпроцессорное прерывание 1 от соседнего NMPU _i своего кластера
16 (GENREQ[0])	0 (RCVREQ[0])	Высокоприоритетное межпроцессорное прерывание 0 от управляющего ПУ своего кластера

Примечания

- 1 Для NMPU₀: NMPU_i = NMPU₁, NMPU_j = NMPU₂, NMPU_k = NMPU₃.
- 2 Для NMPU₁: NMPU_i = NMPU₀, NMPU_j = NMPU₃, NMPU_k = NMPU₂.
- 3 Для NMPU₂: NMPU_i = NMPU₃, NMPU_j = NMPU₀, NMPU_k = NMPU₁.
- 4 Для NMPU₃: NMPU_i = NMPU₂, NMPU_j = NMPU₁, NMPU_k = NMPU₀.

					Лист
					144
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Запросы на прерывание не могут быть маскированы в системном контроллере.
Маскирование может быть произведено только в контроллере внешних прерываний.

									Лист
									145
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020		31406-3						

3.10.3 Контроллер внешних прерываний NMC

Схема контроллера внешних прерываний процессорного ядра NMC приведена на рисунке 3.34. Контроллер внешних прерываний процессорного ядра NMC обрабатывает сигналы запросов на прерывание, направленные от устройств системы (как расположенных внутри NMPU, так и внешних) к процессорному ядру NMC4.

Функции контроллера:

- детектирование запросов,
- маскирование неиспользуемых запросов,
- арбитраж активных запросов,
- формирование адреса-вектора перехода,
- подтверждение или разрешение следующих запросов после обработанного.

Контроллер имеет 28 входных сигналов запросов. Поступающий запрос фиксируется в регистре запросов IRR. Далее запрос может быть маскирован регистром IMR. Схема приоритетов (Priority Unit) выбирает запрос с наибольшим приоритетом, формирует запрос на прерывание для ядра NMC4 и соответствующий ему адрес-вектор прерывания.

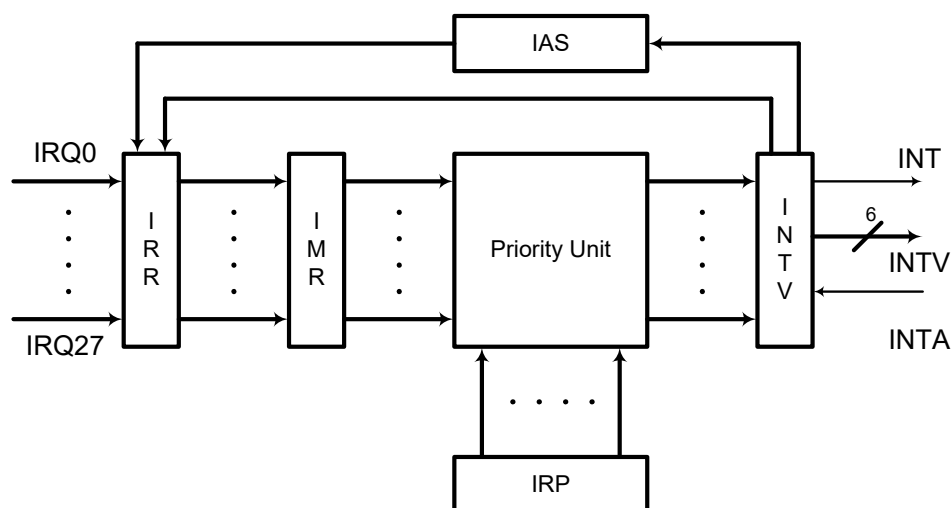


Рисунок 3.34 – Контроллер внешних прерываний NMC

Если сигнал INTA имеет активный уровень, то считается, что процессорное ядро NMC4 зафиксировало прерывание. При этом бит в регистре IRR сбрасывается, а также, если данный запрос работает в режиме программного подтверждения (см. таблицу 3.17), аппаратно устанавливается соответствующий бит в регистре IAS. Установка некоторого разряда IAS

					Лист
					146
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

блокирует обработку новых прерываний, поступающих по той же линии IRQ. Сброс разрядов IAS выполняется программно с помощью команды записи процессорного ядра NMC4.

Если сигнал INTA имеет неактивный уровень, то запрос на прерывание INT будет стоять до прихода сигнала INTA. При этом адрес-вектор INTV на выходе блока INTC не фиксируется, т. е., если на вход IRQx поступит более приоритетное прерывание, то адрес-вектор изменится и будет соответствовать более приоритетному прерыванию.

3.10.3.1 Внешние прерывания процессорного ядра NMC

В таблице 3.18 приведён список всех прерываний процессорной системы NMPU.

Таблица 3.18 – Перечень всех внешних прерываний ядра NMC

№	Поз. бита	Описание	Режим подтв.	Адрес-вектор
0	0	Прерывание 0 от сопроцессора арифметики с плавающей точкой (некорректные данные)	Аппаратный	020 hex
1	1	Прерывание 1 от сопроцессора арифметики с плавающей точкой (overflow)	Аппаратный	028 hex
2	2	Прерывание 2 от сопроцессора арифметики с плавающей точкой (underflow)	Аппаратный	030 hex
3	3	Прерывание 3 от сопроцессора арифметики с плавающей точкой (потеря точности)	Аппаратный	038 hex
4	4	Прерывание 4 от сопроцессора арифметики с плавающей точкой (потеря данных)	Аппаратный	040 hex
5	5	Прерывание 5 от сопроцессора арифметики с плавающей точкой (неправильная команда)	Аппаратный	048 hex
6	6	Прерывание от системного интегратора (выборка команды из периферийной области памяти)	Аппаратный	050 hex
7	7	Прерывание от моста «системный интегратор – AXI» (ошибка обращения во внешнюю память)	Программный	058 hex
8	8	Прерывание от MPU по защите памяти на запись	Программный	060 hex
9	9	Прерывание от MPU по защите памяти на чтение	Программный	068 hex
10	10	Прерывание от блока таймеров (таймер 0)	Аппаратный	070 hex
11	11	Прерывание от блока таймеров (таймер 1)	Аппаратный	078 hex
12	12	Межпроцессорное прерывание 0 от системного контроллера	Аппаратный	080 hex
13	13	Межпроцессорное прерывание 1 от системного контроллера	Аппаратный	088 hex
14	14	Межпроцессорное прерывание 2 от системного контроллера	Аппаратный	090 hex
15	15	Межпроцессорное прерывание 3 от системного контроллера	Аппаратный	098 hex
16	16	Прерывание от коммуникационного порта CP0 (передающий канал)	Аппаратный	0A0 hex
17	17	Прерывание от коммуникационного порта CP0 (принимаящий канал)	Аппаратный	0A8 hex
18	18	Прерывание от коммуникационного порта CP1 (передающий канал)	Аппаратный	0B0 hex
19	19	Прерывание от коммуникационного порта CP1 (принимаящий канал)	Аппаратный	0B8 hex
20	20	Прерывание от коммуникационного порта CP2 (передающий канал)	Аппаратный	0C0 hex
21	21	Прерывание от коммуникационного порта CP2 (принимаящий канал)	Аппаратный	0C8 hex
22	22	Прерывание от коммуникационного порта CP3 (передающий канал)	Аппаратный	0D0 hex
23	23	Прерывание от коммуникационного порта CP3 (принимаящий канал)	Аппаратный	0D8 hex
24	24	Межпроцессорное прерывание 4 от системного контроллера	Аппаратный	0E0 hex
25	25	Межпроцессорное прерывание 5 от системного контроллера	Аппаратный	0E8 hex
26	26	Межпроцессорное прерывание 6 от системного контроллера	Аппаратный	0F0 hex
27	27	Межпроцессорное прерывание 7 от системного контроллера	Аппаратный	0F8 hex

					Лист
					147
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

3.10.3.2 Режимы подтверждения запросов

Контроллер прерываний поддерживает два режима обработки запросов на прерывание от устройств системы:

- режим аппаратного подтверждения,
- режим программного подтверждения.

Режим для каждого из устройств выбран при разработке и не может быть изменён.

В режиме аппаратного подтверждения контроллер фиксирует запрос в регистре IRR в момент положительного фронта входного сигнала запроса. После того, как ядро принимает запрос, контроллер готов принять следующий запрос (следующий положительный фронт сигнала запроса) по этому же сигналу.

В режиме программного подтверждения контроллер фиксирует запрос, когда обнаруживает высокий уровень входного сигнала запроса и если не установлен соответствующий бит в регистре статуса IAS. В момент, когда ядро NMC4 принимает адрес-вектор прерывания, бит регистра IRR сбрасывается, а бит регистра IAS устанавливается. Снятие бита в регистре IAS в этом режиме производится программно – команда снятия бита регистра IAS подтверждает обработку текущего запроса и разрешает генерацию следующего.

3.10.3.3 Приоритеты запросов

Каждому входному сигналу запроса можно присвоить уровень приоритета: высокий или низкий. Арбитраж производится сначала между всеми запросами с высоким приоритетом, затем, если нет запросов с высоким приоритетом, между всеми запросами с низким. Для сигналов с одинаковым уровнем приоритета имеет значение порядковый номер сигнала: наибольший приоритет имеет 0-й запрос, следующий приоритет у 1-го запроса и так далее до 27-го запроса, который имеет наименьший приоритет.

3.10.3.4 Программно доступные регистры контроллера внешних прерываний

Все регистры контроллера внешних прерываний 32-разрядные, каждый бит регистра соответствует одному входному сигналу запроса. Регистры контроллера внешних прерываний представлены в карте памяти NMPU. Имеются четыре способа записи в каждый регистр:

- нормальный доступ – устанавливает в регистре записываемое значение,
- побитовая установка – устанавливает значение 1 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются,
- побитовый сброс – устанавливает значение 0 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются,

										Лист
										148
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

- обнуление – устанавливает значение 0 во всех битах регистра, независимо от записываемого значения (т. е. эффект производит сам факт записи по выделенному адресу).

Для каждого способа записи выделен отдельный адрес. Некоторые способы для некоторых регистров недоступны. Чтение регистра может производиться по любому из описанных адресов. Адреса регистров контроллера внешних прерываний приведены в таблице 3.19.

Таблица 3.19 - Регистры контроллера внешних прерываний

Адрес (32-разрядный доступ)	Название	Доступ	Описание
0002_0400h	IRR	ЧТ	Регистр запросов на прерывание с номерами от 0 до 31. Значение 1 в бите данного регистра показывает наличие запроса, для которого ещё не выполнена команда перехода по адресу-вектору прерывания. Программный сброс битов данного регистра производится только с помощью регистра IRR CLR.
0002_0402h	IRR SET	ЧТ/ЗП	Побитовая установка регистра IRR.
0002_0404h	IRR CLR	ЧТ/ЗП	Побитовый сброс регистра IRR. Программный сброс бита регистра IRR следует делать, когда данный запрос замаскирован.
0002_0406h	-	-	Зарезервировано.
0002_0408h	IMR	ЧТ/ЗП	Регистр маски прерываний с номерами от 0 до 31. Значение 0 - прерывание запрещено, 1 - прерывание разрешено.
0002_040Ah	IMR SET	ЧТ/ЗП	Побитовая установка регистра IMR.
0002_040Ch	IMR CLR	ЧТ/ЗП	Побитовый сброс регистра IMR.
0002_040Eh	IMR NULL	ЧТ/ЗП	Сброс всех битов регистра IMR.
0002_0410h	IRP	ЧТ/ЗП	Регистров приоритетов прерываний с номерами от 0 до 31. Значение 0 – высокий приоритет, 1 – низкий приоритет.
0002_0412h	IRP SET	ЧТ/ЗП	Побитовая установка регистра IRP.
0002_0414h	IRP CLR	ЧТ/ЗП	Побитовый сброс регистра IRP.
0002_0416h	IRP NULL	ЧТ/ЗП	Сброс всех битов регистра IRP.
0002_0418h	IAS	ЧТ	Регистр подтверждения и статуса запросов с номерами от 0 до 31. Значение 0 - запрос обработан, 1 - запрос обрабатывается (выполнен или выполняется переход по адресу-вектору, но бит регистра IAS ещё не сброшен).
0002_041Ah	-	-	Зарезервировано.
0002_041Ch	IAS CLR	ЧТ/ЗП	Побитовый сброс регистра IAS.
0002_041Eh	-	-	Зарезервировано.

					Лист
					149
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр запросов на внешние прерывания (IRR)

Описание полей регистра IRR приведено в таблице 3.20.

Таблица 3.20 – Описание полей регистра IRR

Разряды	Доступ	Описание
31-0	ЧТ/ЗП	Битовая строка, в которой i-й разряд соответствует i-му запросу. При чтении каждый бит показывает состояние запроса: 0 – запрос неактивен или уже удовлетворён, 1 – запрос активен. Запись значения 1 в бит сбрасывает этот бит.

Бит регистра IRR устанавливается аппаратно в момент приёма запроса, снимается также аппаратно в момент, когда ядро принимает адрес-вектор данного прерывания. Бит может установиться аппаратно, даже если данный запрос замаскирован – в этом случае перед снятием маски следует выполнить программный сброс бита путём записи значения 1.

Функция побитовой установки регистра IRR добавлена для упрощения отладки программного обеспечения.

Биты 31-28 данного регистра не используются, запись в эти биты блокируется, при чтении читаются нули.

Регистр маски прерываний (IMR)

Описание полей регистра IMR приведено в таблице 3.21.

Таблица 3.21 - Описание полей регистра IMR

Разряды	Доступ	Описание
31-0	ЧТ/ЗП	Битовая строка, в которой i-й разряд соответствует i-му запросу. Значения битов: 0 – запрос маскирован, 1 – запрос разрешён.

Регистр маски прерываний разрешает или запрещает прерывание по отдельным сигналам запроса. Если бит регистра IMR имеет значение 0, то соответствующее прерывание запрещено, если значение 1 – то разрешено. Значение регистра допускается изменять в любой момент времени. При снятии маски следует иметь в виду, что разрешаемый запрос может быть активен, то есть установлено значение 1 в бите регистра IRR. Если такой запрос не нужно обрабатывать, то перед снятием маски следует снять активный бит регистра IRR путём записи в этот бит значения 1.

Биты 31-28 данного регистра не используются, запись в эти биты блокируется, при чтении читаются нули.

Регистр приоритетов (IRP)

Описание полей регистра IRP приведено в таблице 3.22.

										Лист
										150
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

Таблица 3.22 - Описание полей регистра IRP

Разряды	Доступ	Описание
31-0	ЧТ/ЗП	Битовая строка, в которой i-й разряд соответствует i-му запросу. Значения битов: 0 – высокий уровень приоритета, 1 – низкий уровень приоритета.

Регистр приоритетов устанавливает уровень приоритета для каждого сигнала запроса. Допускается менять значение этого регистра в любой момент времени.

Биты 31-28 данного регистра не используются, запись в эти биты блокируется, при чтении читаются нули.

Регистр подтверждения и статуса запросов (IAS)

Описание полей регистра IAS приведено в таблице 3.23.

Таблица 3.23 - Описание полей регистра IAS

Разряды	Доступ	Описание
31-0	ЧТ/ЗП	Битовая строка, в которой i-й разряд соответствует i-му запросу. При чтении показывает состояние запроса от периферийного устройства: 0 - запрос обработан, 1 - запрос обрабатывается (выполнен или выполняется переход по адресу-вектору, но бит регистра IASL ещё не сброшен).

Регистр подтверждения и статуса используется только для запросов, работающих в режиме программного подтверждения. Бит в регистре IAS устанавливается аппаратно в момент, когда ядро принимает адрес-вектор данного прерывания. Сброс бита производится программно с помощью регистра побитового сброса (IAS_CLR или IAS_CLR). Во время, когда бит регистра IAS установлен, аппаратная установка соответствующего бита в регистре IRR блокируется контроллером. Сброс бита регистра IAS разрешает следующий запрос по той же линии.

Для запросов, работающих в режиме аппаратного подтверждения, биты регистра IAS всегда имеют значение 0.

Биты 31-28 данного регистра не используются, запись в эти биты блокируется, при чтении читаются нули.

3.10.4 Блок таймеров NMPU

В состав периферийных узлов NMPU входят два независимых 32-разрядных таймера, которые пользователь может использовать для отсчета задаваемых интервалов времени.

Таймер может работать в одном из двух режимов: в режиме однократного запуска и в непрерывном режиме. Интервал счета таймера задается программно. В качестве сигнала счета используется тактовый сигнал процессора.

									Лист
									151
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

По достижении нулевого значения таймер формирует запрос на прерывание, который может быть обработан стандартным образом.

Структурная схема блока таймеров приведена на рисунке 3.35. Основные элементы блока таймеров: регистры счётчика, теньевые регистры, инкременторы, схема управления.

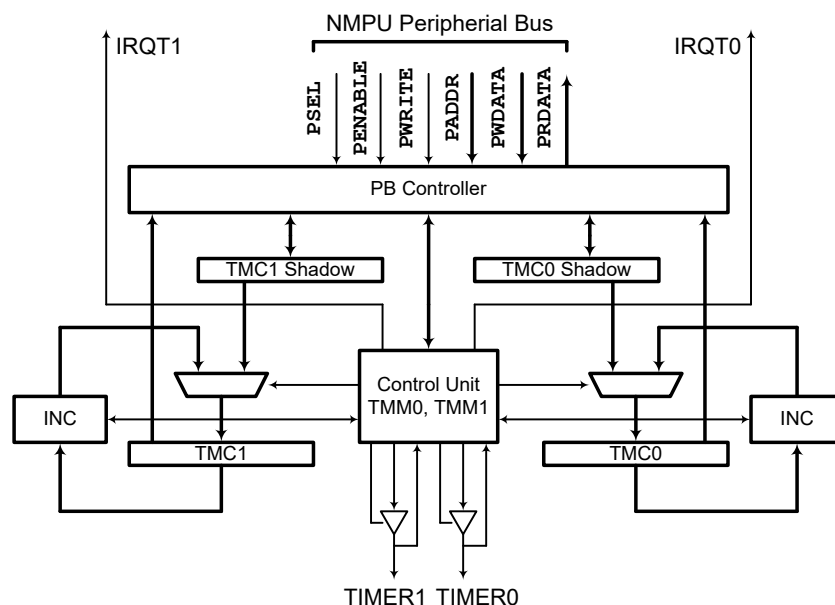


Рисунок 3.35 - Структурная схема блока таймеров

3.10.4.1 Программно доступные регистры блока таймеров

Каждый таймер в блоке таймеров имеет два регистра: регистр счётчика и регистр настройки. Перечень регистров блока таймера приведен в таблице 3.24.

Таблица 3.24 – Перечень регистров блока таймера

Адрес (32-разрядный доступ)	Название	Доступ	Описание
0002 0800h	TMC0	ЧТ/ЗП	Регистр счётчика таймера 0
0002 0802h	TMM0	ЧТ/ЗП	Регистр настройки таймера 0
0002 0804h	TMC1	ЧТ/ЗП	Регистр счётчика таймера 1
0002 0806h	TMM1	ЧТ/ЗП	Регистр настройки таймера 1

					Лист
					152
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр счётчика таймера (ТМСх)

Описание полей регистра ТМСх приведено в таблице 3.25.

Таблица 3.25 – Описание полей регистра ТМСх

Разряды	Доступ	Описание
31-0	ЧТ/ЗП	Запись обновляет теневой регистр, чтение возвращает текущее значение рабочего регистра.

Запись в регистр счётчика производится через теневой регистр. Теневой регистр доступен для записи всегда. Копирование значения из теневого регистра в рабочий происходит по любому из условий:

- при запуске таймера (запись значения 1 в бит ТА регистра настройки),
- в момент переключения, если текущее значение таймера равно нулю.

При чтении всегда возвращается значение рабочего регистра.

Регистр настройки таймера (ТММх)

Описание полей регистра ТММх приведено в таблице 3.26.

Каждый таймер имеет свой регистр настройки. Регистр доступен на запись и чтение.

Таблица 3.26 - Описание полей регистра ТММх

Разряды	Название	Доступ	Описание
[1]	ТМ	ЧТ/ЗП	Режим работы таймера: 0 – однократный режим работы таймера, 1 - непрерывный режим работы таймера.
[0]	ТА	ЧТ/ЗП	Разрешение работы таймера: 0 – таймер остановлен, 1 - таймер осуществляет счет.

3.10.4.2 Принцип работы таймеров

На рисунке 3.36 представлены временные диаграммы работы таймера.

										Лист
										153
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.			Подп. и дата		Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4			09.11.2020		31406-3					

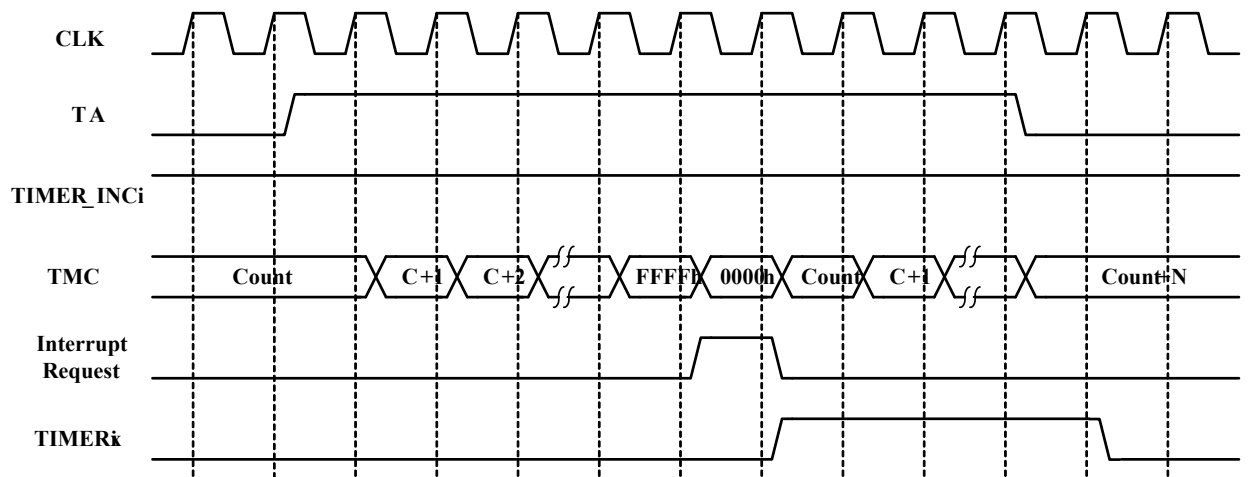


Рисунок 3.36 – Временные диаграммы работы таймера

После разрешения работы таймера, по следующему положительному фронту тактового сигнала NMPU, начальное значение, соответствующее отсчитываемому временному интервалу, переписывается из теневого регистра таймера в рабочий. После этого рабочий регистр таймера инкрементируется в каждом такте. При обнулении рабочего счетчика формируется сигнал запроса прерывания (Interrupt Request), который обрабатывается блоком прерываний стандартным образом. Одновременно с этим, если задан непрерывный режим работы таймера, из теневого регистра в рабочий переписывается значение, определяющее отсчитываемый временной интервал. Если задан однократный режим работы таймера, то счет прекращается, и соответствующий бит TA регистра настройки сбрасывается.

Длительность временного интервала, отсчитываемого таймером, задается в дополнительном коде. Таким образом, длительность отсчитываемого временного интервала может изменяться от одного (код FFFFFFFFh) до 2^{32} (код 00000000h) процессорных тактов.

										Лист
										154
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4 Структура процессорного кластера PC

4.1 Структурная схема процессорного кластера PC

Процессорный кластер PC является основной регулярной частью, на базе которой строится высокопроизводительная СнК 1879ВМ8Я. Структурная схема процессорного кластера PC приведена на рисунке 4.1.

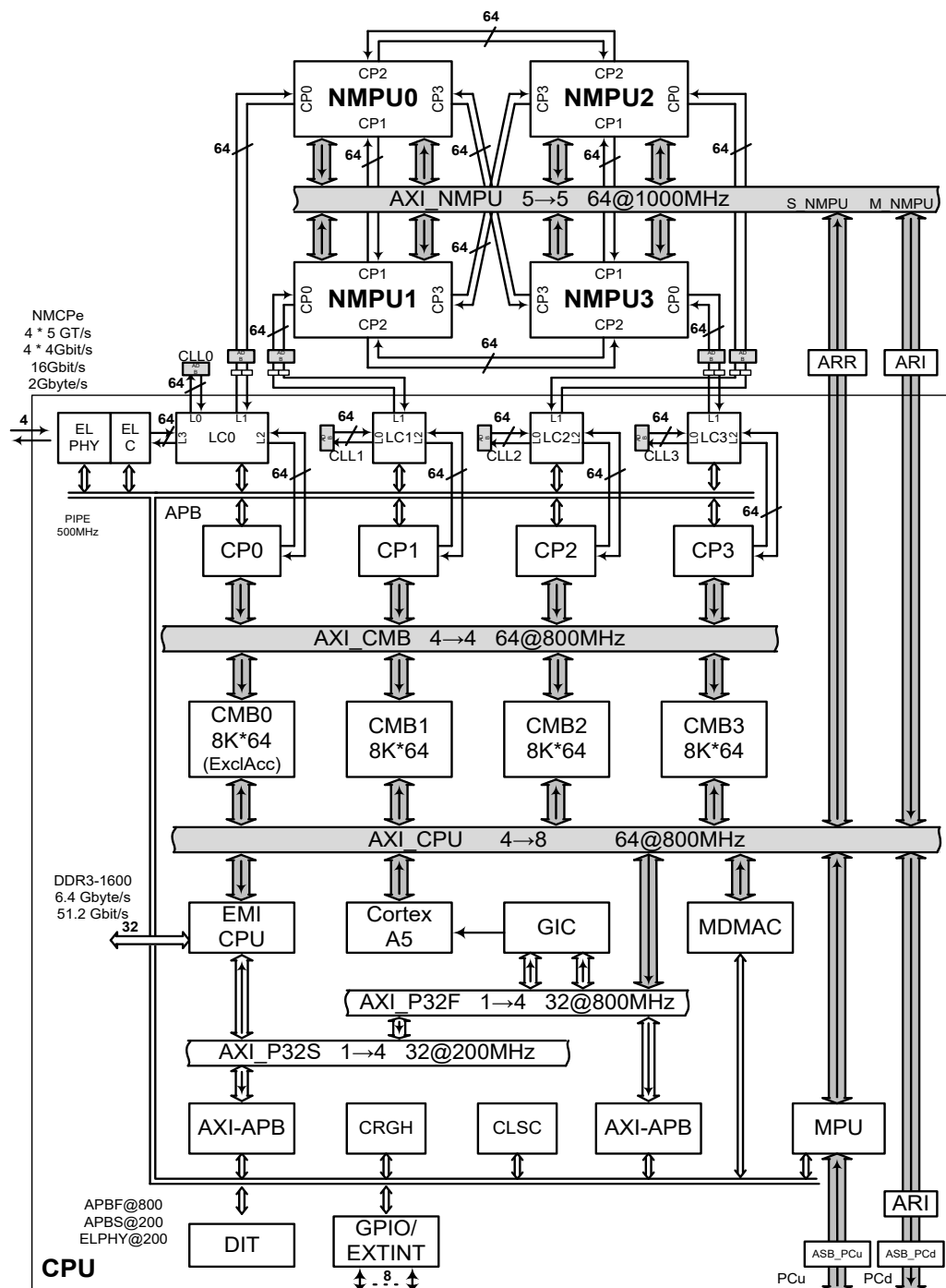


Рисунок 4.1 - Структурная схема процессорного кластера PC

					ЮФКВ.431282.020РЭ	Лист 155
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Процессорный кластер PC включает в себя следующие основные блоки:

NMPU0 - NMPU3 – четыре вычислительных узла NeuroMatrix на базе процессорного ядра NMC4, которые соединены непосредственно «каждый с каждым» тремя 64-разрядными полнодуплексными коммуникационными портами. Обмен данными через эти порты выполняется с использованием механизма ПДП. Дополнительно четыре узла NMPU соединены между собой через 64-разрядный коммутатор 5 в 5 шины AXI 3.0 (**AXI_NMPU 5 > 5**), обеспечивающий произвольный доступ узлам NMPUx во внутренние банки друг друга. Через этот же коммутатор узлы NMPUx подключаются к управляющему процессорному узлу кластера (CPU).

CPU – управляющий процессорный узел кластера, содержащий: управляющий скалярный процессор ARM Cortex-A5, внутреннюю память, а также интерфейсы для интеграции кластера в вычислительную систему. Для связи с внешними блоками используются четыре высокоскоростных коммуникационных канала связи CLLx и два среднескоростных шинных интерфейса стандарта AXI3 (PCu и PCd). Для связи внутри кластера используется 64-разрядный коммутатор 4 в 8 шины AXI 3.0 (**AXI_CPU**).

Cortex-A5 – управляющий скалярный процессор ARM Cortex-A5.

СМВ0 - СМВ3 – четыре банка статической памяти объёмом по 8К*64 разряда, причём банк СМВ0 поддерживает как обычный, так и эксклюзивный доступ в память.

СР0 - СР3 – четыре контроллера коммуникационных портов, соединённых с узлами NMPU через коммутаторы каналов связи (**LC0 - LC3**). Каждый коммутатор позволяет организовать один из трёх вариантов соединения (на примере LC0):

1. Коммуникационный порт СР0 узла NMPU0 соединяется с портом СР0 кластера PC. В таком режиме узел NMPU получает быстрый канал доступа к внутренним банкам памяти кластера СМВx, x=0, 1, 2, 3.
2. Коммуникационный порт СР0 узла NMPU0 соединяется с внешним устройством через канал связи CLL0. В этом режиме узел NMPU получает внешний канал доступа, который может быть использован для соединения нескольких PC-кластеров между собой или для подсоединения внешних устройств.
3. Коммуникационный порт СР0 кластера PC соединяется с внешним устройством через канал связи CLL0. В этом режиме управляющий узел CPU получает внешний канал доступа, который может быть использован для соединения нескольких PC-кластеров между собой или подсоединения внешних устройств.

										Лист
										156
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Для доступа контроллеров коммуникационных портов к банкам памяти СМВ0 - СМВ3 служит 64-разрядный коммутатор 4 в 4 шины AXI 3.0 (AXI_CMB), обеспечивающий доступ любого контроллера коммуникационных портов к любому банку памяти.

EL – внешний 4-проводной дуплексный линк, работающий на частоте 5 ГГц и предназначенный для обмена данными с другими процессорными системами. Каждый такой линк обеспечивает пропускную способность в 2 Гбайта/с в каждую сторону. Он состоит из контроллера линка (**ELC**) и физического интерфейса линка (**EL PHY**). Линк обменивается данными через порт L3 контроллера коммуникационных портов LC0, который обеспечивает соединение либо с коммуникационным портом CP0 узла NMPU0, либо с портом CP0 кластера, либо с внешним устройством через канал связи CLL0.

EMI CPU – контроллер 32-разрядного интерфейса с внешней динамической памятью DDR3-1600 (эффективная частота передачи данных – 1600 МГц). Максимальный объем поддерживаемой памяти – 1 Гбайт.

MDMAC – высокопроизводительный контроллер ПДП. Основной задачей этого контроллера является подкачка данных из внешней памяти DDR3 во внутренние банки кластера СМВх, х=0, 1, 2, 3. Контроллер также имеет доступ к внутренним банкам памяти всех NMPU.

MPU – блок защиты памяти. Управляющий узел CPU может запрещать доступ внешних устройств к внутренним банкам CPU и NMPU. В случае обращения в защищаемую область памяти операция не производится, а генерирующему запросу устройству выдается признак ошибки SLVERR.

GIC – контроллер прерываний ядра ARM.

DIT – два интервальных 32-разрядных таймера.

GPIO/EXTINT – универсальный блок интерфейсов общего назначения. Он управляет работой восьми внешних выводов, каждый из которых может программно настраиваться на функционирование в качестве выводов общего назначения (GPIO), внешних входов прерывания (EXTINT), а также пара выводов может реализовать интерфейс «запрос-подтверждение».

CLSC – системный контроллер кластера. Он выполняет следующие функции: содержит идентификатор своего кластера, а также служит для генерации запросов на прерывание к другим кластерам.

									Лист
									157
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

CRGH – генератор тактовых сигналов и сигналов сброса. Он предназначен управлять генерацией синхросигналов и сигналов сброса для **NMPU0 - NMPU3**.

4.1.1 Основные потоки данных в кластере

4.1.1.1 Обмен данными с внешней памятью

Кластер осуществляет загрузку/выгрузку данных во внешнюю память через 32-разрядный интерфейс DDR3-1600. Максимальная производительность при обмене с внешней памятью обеспечивается при использовании механизма ПДП (контроллер MDMAC подкачивает/выгружает данные в/из блоки(ов) внутренней памяти CMBx). Узлы NMPU, в свою очередь, используют коммуникационные порты CP0 для обмена данными между внутренними банками кластера CMBx и своими внутренними банками NMBx. Пиковая производительность интерфейса с внешней памятью – 6,4 Гбайт/с.

Процессорные узлы NMPU имеют возможность произвольного доступа во внешнюю память через шинную структуру, но этот способ рассматривается как вспомогательный, т. к. его эффективность гораздо ниже, чем использование каналов ПДП.

4.1.1.2 Обмен данными между банками внутренней памяти узлов NMPU

Основной способ обмена данными между узлами NMPU – использование коммуникационных портов (CP1 - CP3). Блоки коммуникационных портов совмещены с внутренними каналами ПДП и предназначены для двунаправленного полнодуплексного безадресного обмена данными между двумя вычислительными узлами NMPU. Такой способ позволяет быстро передавать данные из внутренней памяти одного NMPU во внутреннюю память другого NMPU без участия процессорного ядра. Наличие 8 банков памяти позволяет производить операции передачи данных на фоне вычислений. Пиковая односторонняя пропускная способность одного порта 8 Гбайт/с (16 Гбайт/с в обе стороны).

Другой способ обмена между внутренними банками памяти – произвольный доступ процессорных ядер в память соседних узлов NMPU через шинную структуру. Этот способ неэффективен по сравнению с использованием коммуникационных портов, и его рекомендуется рассматриваться как вспомогательный.

4.1.1.3 Настройка и мониторинг кластера управляющим процессором ARM

Управляющий процессор Cortex-A5 имеет доступ ко всем внутренним банкам узлов NMPU (NMBx), банкам памяти CMBx, а также управляет всеми периферийными устройствами CPU через шину APB. Управляющий процессор не имеет доступа к периферийным регистрам узлов NMPU.

										Лист
										158
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.1.2 Шинная структура процессорного кластера РС

Соединение основных компонентов кластера выполнено по стандарту AMBA AXI 3.0 с использованием шинных коммутаторов (далее по тексту - шинная структура).

Процессорный кластер РС включает три основных коммутатора:

- **AXI_NMPU** (5 в 5) работает на частоте 1 ГГц. Обеспечивает произвольный доступ во внутреннюю память NMBx от соседних узлов NMPU, мастер-устройств управляющего узла кластера CPU (Cortex-A5, MDMAC), а также мастер-устройств верхнего уровня иерархии СнК (через слэив-интерфейс S_NMPU).

Используя мастер-интерфейс M_NMPU, узлы NMPU получают произвольный доступ в банки памяти кластера СМВх, а также выход на верхний уровень иерархии СнК. К периферийным устройствам кластера на шине APB процессоры NMC напрямую доступа не имеют.

- **AXI_CMB** (4 в 4) работает на частоте 800 МГц. Обеспечивает доступ во внутренние банки СМВх со стороны коммуникационных портов.

- **AXI_CPU** (4 в 8) работает на частоте 800 МГц. Обеспечивает доступ во внутренние банки СМВх и внешнюю DDR память со стороны мастер-устройств управляющего узла кластера CPU (Cortex-A5, MDMAC), а также мастер-устройств верхнего уровня иерархии СнК (через слэив-интерфейс PCu).

Используя мастер-интерфейс PCd, узлы NMPUx и CPU получают доступ во внутреннюю память соседних кластеров РС, а также во внутреннюю память и периферийные регистры верхнего уровня иерархии СнК.

Этот коммутатор содержит мост AXI-APB, к которому подключены периферийные устройства кластера, что позволяет выполнять их программирование центральным управляющим процессором, а также мастер-устройствами верхнего уровня иерархии.

										Лист
										159
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

4.2 Карта памяти CPU

Карта памяти CPU приведена на рисунке 4.2. Адреса приведены в формате ядра ARM (то есть адресация до байта).

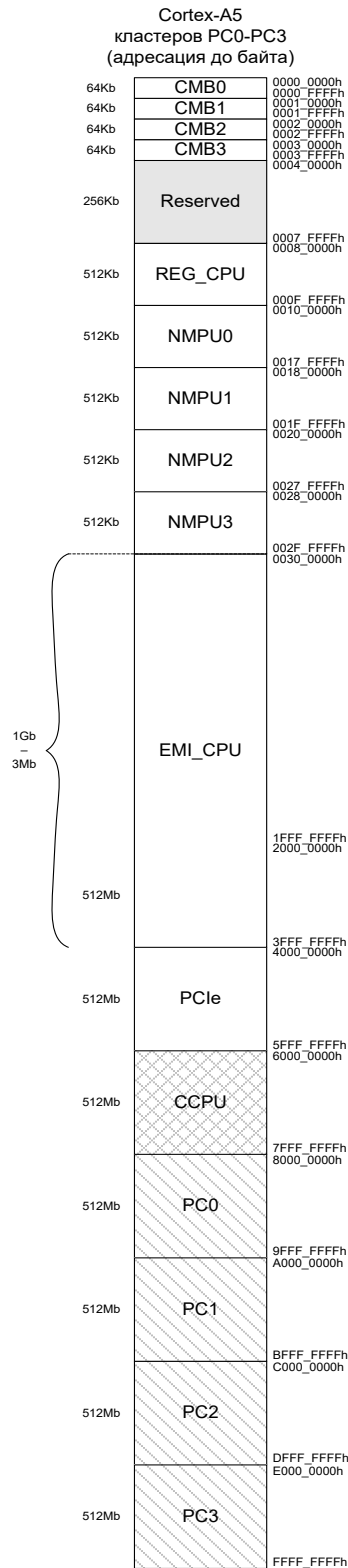


Рисунок 4.2 - Карта памяти CPU

					Лист
					160
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Карты памяти всех управляющих ПУ кластеров (CPU) одинаковы и делятся на следующие области памяти:

- СМВ0 - СМВ3 – банки внутренней памяти своего кластера.
- REG_CPU – область собственных периферийных регистров конкретного CPU. Структура данной области приведена на рисунке 5.3 (п. 5.1.3).
- NMPU0 – NMPU3 – области внутренней памяти всех NMPU, входящих в состав своего кластера. Эти области являются отражением внутренних банков памяти NMMBx всех четырех вычислительных узлов NMPU, позволяя обеспечить произвольный доступ к этим банкам со стороны CPU и соседних NMPU. Область периферийных регистров узлов NMPU недоступна со стороны CPU.
- EMI_CPU – банк внешней памяти DDR своего кластера. При этом при использовании DDR-памяти максимального объема (1 Гбайт) со стороны CPU будут недоступны 3 Мбайт младших ячеек, т. к. это адресное пространство используется под банки внутренней памяти кластера.
- PCIe – области памяти высокоскоростного линка для связи своего кластера с внешними процессорными системами.
- ССРU – области памяти центрального процессорного узла.
- РС0 – РС3 – адресные пространства всех кластеров, что позволяет CPU обмениваться данными как с управляющими ПУ чужих кластеров, так и с NMPU своего и чужих кластеров. При этом обращение в эти области памяти будут выполняться заметно медленнее, чем в остальные области.

4.3 Управляющий скалярный процессор ARM Cortex-A5

Процессорное ядро ARM Cortex-A5 включает в себя целочисленное ядро, базирующееся на архитектуре ARMv7, сопроцессор с плавающей точкой и кэш-память уровня L1. Ядро поддерживает системы команд ARM и Thumb™, технологию Jazelle для обеспечения возможности прямого выполнения байт-кодов Java. Сопроцессор с плавающей точкой поддерживает архитектуру ARMv7 VFPv4-D16 и соответствует стандарту IEEE 754.

Использованное в СБИС 1879ВМ8Я процессорное ядро Cortex-A5 основано на его версии r0p1 и имеет конфигурацию, имеющую следующие свойства:

- 64-разрядный интерфейс AXI;
- пятиступенчатый in-order конвейер с динамическим предсказанием переходов;
- интегрированные сопроцессор отладки CP14 и системный сопроцессор CP15;

										Лист
										161
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

- устройства управления памятью команд и данных Memory Management Unit (MMU);
- L1-кэш команд объемом 32 Кбайт;
- L1-кэш данных объемом 32 Кбайт;
- сопроцессор для вычислений с плавающей точкой (VFP);
- поддержка трассировки программ;
- система отладки на базе JTAG.

Структурная схема процессорного ядра представлена на рисунке 4.3.

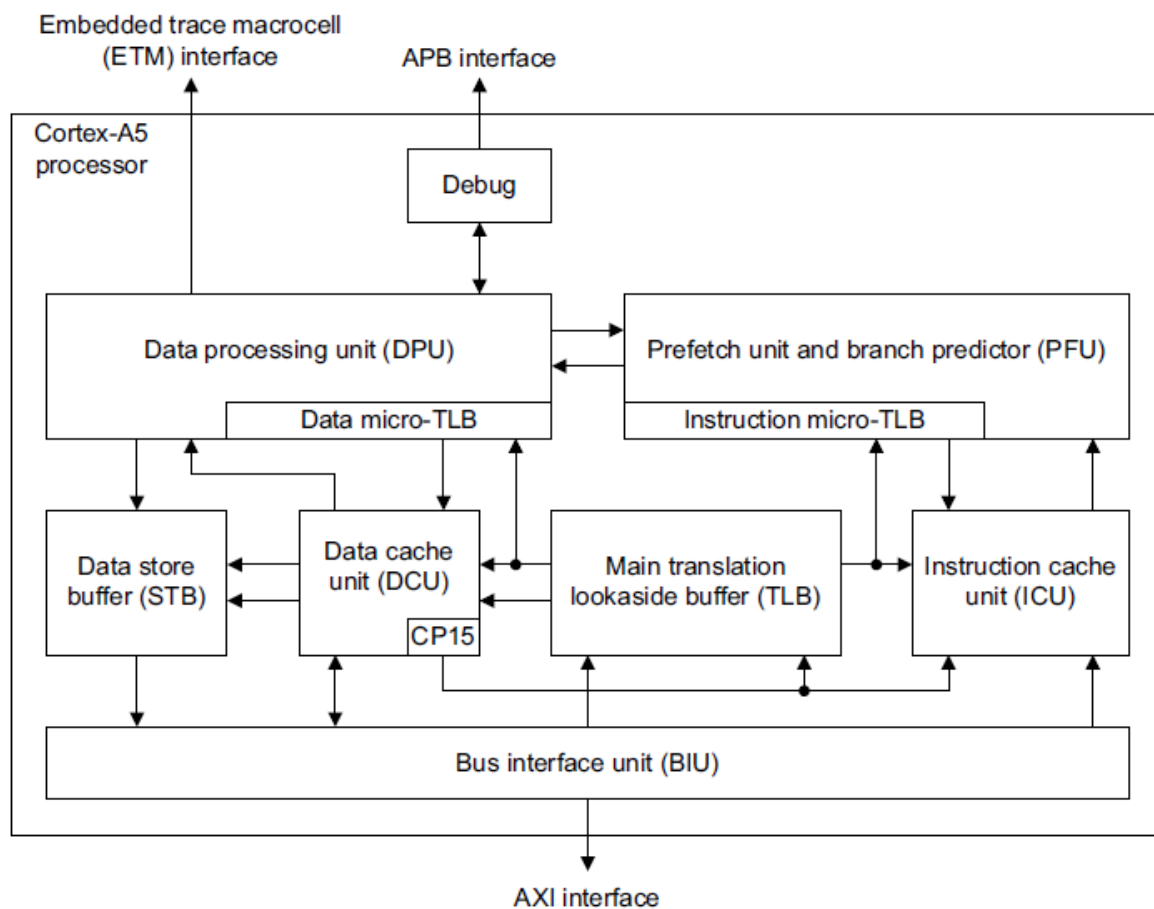


Рисунок 4.3 – Структурная схема процессорного ядра Cortex-A5

Подробное описание процессорного ядра Cortex-A5 можно найти в документе ARM DDI 0433B «Cortex-A5. Revision r0p1. Technical Reference Manual». Описание архитектуры ARMv7 можно найти в документе ARM DDI 0406C «ARM Architecture Reference Manual. ARMv7-A and ARMv7-R edition».

										Лист
										162
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

4.4 Внутренняя память кластера РС

Объем внутренней памяти кластера составляет 2 Мбит. Она разделена на четыре банка памяти объемом по 512 Кбит.

Каждый банк внутренней памяти кластера (СМВ0 - СМВ3) имеет двухпортовую организацию. По одному из портов производится чтение и запись данных, а также выборка команд процессорным ядром ARM Cortex-A5. Также этот порт используется для доступа в память со стороны процессорных устройств NMPU этого кластера, центрального управляющего узла (ССРУ), а также процессорных устройств NMPU и CPU других кластеров. Второй порт (порт ПДП) обслуживает только чтение и запись данных под управлением контроллеров коммуникационных портов СР0 - СР3. Таким образом, каждый банк внутренней памяти способен обработать до двух запросов в каждом процессорном такте.

Банки памяти СМВ0 - СМВ3 структурно и функционально ничем не отличаются от банков внутренней памяти NMMB0 - NMMB7 процессорных устройств NMPU, которые были подробно описаны в подразделе 3.4.

Исключением является банк СМВ0, так как это единственный банк в кластере, который поддерживает эксклюзивные операции. Далее будут описаны особенности выполнения эксклюзивных операций в этом банке как со стороны управляющих ПУ, так и со стороны процессорных устройств NMPU.

4.4.1 Общие сведения о механизме эксклюзивного доступа

Механизм эксклюзивного доступа был введен фирмой ARM вместо локированных операций при организации семафоров в памяти в многопроцессорных и многопоточных системах. С помощью операций эксклюзивного чтения и эксклюзивной записи строятся примитивы синхронизации между выполняющимися потоками команд.

Реализован единый механизм эксклюзивных операций для всех процессорных ядер системы, за основу взят порядок работы инструкций LDREX и STREX ядра ARM.

Спецификацию команд LDREX и STREX можно найти в документе *"ARM Architecture Reference Manual ARMv7-A and ARMv7-R edition"* (A3.4), спецификацию эксклюзивных транзакций на шинах – в документе *"AMBA AXI Protocol Version: 2.0 Specification"* (6.2).

4.4.2 Общий порядок эксклюзивных операций

Типовой порядок эксклюзивного доступа, независимо от типа процессорного ядра, состоит в следующем:

										Лист
										163
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

1. Процессорное ядро производит эксклюзивное чтение из выбранной ячейки памяти, при этом адрес этой ячейки резервируется в контроллере памяти.

2. Процессорное ядро производит попытку эксклюзивной записи в ту же самую ячейку памяти и резервирование снимается.

Эксклюзивная запись может завершиться:

- *успешно* – когда между эксклюзивным чтением и эксклюзивной записью не было другой записи в выбранную ячейку;

- *неуспешно* – когда между эксклюзивным чтением и эксклюзивной записью другое процессорное ядро или другое мастер-устройство совершило запись в данную ячейку.

Успешная эксклюзивная запись обновляет значение ячейки, неуспешная – не обновляет.

Контроллеры памяти имеют ограниченные возможности по резервированию ячеек памяти для эксклюзивных операций:

- в банках памяти СМВ0 – имеется по шесть позиций (мониторов) для резервирования,

- в контроллерах внешней памяти (ЕМІ_СРU) – по два монитора.

Остальные контроллеры памяти – СМВ1-3 и внутренней памяти NMPU – не поддерживают эксклюзивного доступа.

Правила занятия мониторов:

1. Одно и то же ядро в одном и том же контроллере памяти не может зарезервировать более одной ячейки – последующее резервирование снимает предыдущее.

2. Когда заняты все мониторы и новое эксклюзивное чтение не может занять монитор в соответствии с правилом 1, тогда резервирование, выполненное раньше других, снимается и новый запрос занимает его место.

Если несколько процессорных ядер пытаются выполнить описанный порядок эксклюзивного доступа в цикле и их число больше доступного числа мониторов в контроллере памяти, то возможна ситуация заикливания. Следует предотвращать возникновение подобной ситуации программно.

4.4.3 Эксклюзивные операции ядра ARM

Эксклюзивное чтение ядром ARM выполняется с помощью инструкции:

										Лист
										164
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020			31406-3					

LDREX Rt, [Rn]; где Rn - адрес в памяти, Rt - регистр-приёмник. Следует отметить, что при выполнении данной инструкции возможно исключение, если контроллер памяти не поддерживает эксклюзивного доступа.

Эксклюзивная запись ядром ARM выполняется с помощью инструкции

STREX Rd, Rt, [Rn]; где Rn - адрес в памяти, Rt - регистр-источник, Rd - регистр, в который записывается статус эксклюзивной записи: 0 – запись успешная, 1 – запись неуспешная.

В архитектуре ARMv7 имеются эксклюзивные операции с 8-, 16-, 32- и 64-разрядным данным.

4.4.4 Эксклюзивные операции NMPU

В системе команд процессорного ядра NMC4 нет выделенных команд для эксклюзивного доступа. Предлагается использовать для этого зарезервированные адреса в адресном пространстве NMPU, отображая их в доступные области, но с признаком эксклюзивного доступа. Для NMPU признаком того, что команда чтения или записи является эксклюзивной, служит старший (31-й) бит адреса обращения. В таблице 4.1 приведены все адреса, по которым возможен эксклюзивный доступ со стороны NMPU (с учётом карты памяти и набора контроллеров памяти, поддерживающих эксклюзивные транзакции).

Таблица 4.1 - Адреса для эксклюзивного доступа NMPU

Банк памяти	Адреса для доступа в обычном режиме (32-разрядный доступ)	Соответствующие адреса для эксклюзивного доступа (32-разрядный доступ)
СМВ0 своего кластера	000C 0000-000C 3FFF hex	800C 0000-800C 3FFF hex
ЕМ1 CPU своего кластера	000D 0000-0FFF FFFF hex	800D 0000-8FFF FFFF hex
ССМВ0	1800 0000-1800 3FFF hex	9800 0000-9800 3FFF hex
ЕМ1 ССРU	1810 0000-1FFF FFFF hex	9810 0000-9FFF FFFF hex
СМВ0 кластера 0	2000 0000-2000 3FFF hex	A000 0000-A000 3FFF hex
ЕМ1 PU кластера 0	2010 0000-27FF FFFF hex	A030 0000-A7FF FFFF hex
СМВ0 кластера 1	2800 0000-2800 3FFF hex	A800 0000-A800 3FFF hex
ЕМ1 CPU кластера 1	2830 0000-2FFF FFFF hex	A830 0000-AFFF FFFF hex
СМВ0 кластера 2	3000 0000-3000 3FFF hex	B000 0000-B000 3FFF hex
ЕМ1 CPU кластера 2	3030 0000-37FF FFFF hex	B030 0000-B7FF FFFF hex
СМВ0 кластера 3	3800 0000-3800 3FFF hex	B800 0000-B800 3FFF hex
ЕМ1 CPU кластера 3	3830 0000-3FFF FFFF hex	B830 0000-BFFF FFFF hex

Все эксклюзивные операции проводятся исключительно по адресам, выделенным для эксклюзивного доступа. Обращения по адресам из интервала 8000_0000 - FFFF_FFFF hex, но не попадающие в указанные выше диапазоны, будут восприниматься как обычные обращения по соответствующим адресам из интервала 0000_0000 - 3FFF_FFFF hex.

										Лист
										165
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Эксклюзивное чтение NMPU производится с помощью одной команды чтения любого из трёх типов:

- скалярная команда чтения из памяти в регистр (32-разрядное слово),
- скалярная команда чтения из памяти в регистровую пару (64-разрядное слово),
- одиночная (гер 1) векторная команда чтения (64-разрядное слово).

Эксклюзивная запись производится в две фазы: *фазу данных* и *фазу статуса*. Фаза данных представляет собой одну команду записи любого из трёх типов:

- скалярная команда записи из памяти в регистр (32-разрядное слово),
- скалярная команда записи из памяти в регистровую пару (64-разрядное слово),
- одиночная (гер 1) векторная команда записи (64-разрядное слово).

При этом фаза данных эксклюзивной записи должна производиться по тому же адресу и передавать слово той же разрядности, что и соответствующая операция эксклюзивного чтения – только в этом случае она может стать успешной.

Фаза статуса эксклюзивной записи представляет собой одну команду чтения любого из двух типов:

- скалярная команда чтения из памяти в регистр (32-разрядное слово),
- скалярная команда чтения из памяти в регистровую пару (64-разрядное слово).

Чтение в фазе статуса возвращает в регистр-приёмник 32-разрядное значение: 0 – когда эксклюзивная запись прошла успешно, 1 – когда неуспешно. В 64-разрядном слове статуса данное дублируется в старшей и младшей половине слова.

Адрес обращения в фазе статуса не обязательно должен соответствовать адресу выбранной ячейки памяти, но

- должен в 30-м разряде содержать 1 (по данному биту мост «системный интегратор – АХІ» определяет, что данная операция является чтением статуса),
- не быть адресом регистра периферийного устройства или области с включенной защитой MPU.

Рекомендуется делать так, чтобы между фазами эксклюзивной записи не могло возникнуть прерывание. Наиболее простой способ - помещать соответствующие инструкции в одно 64-разрядное слово, например:

```
ar5 = MyMutex;           // (1) - MyMutex - адрес синхроячейки в
обычном режиме
ar5 = ar5 + 80000000h;    // (2) - получаем адрес синхроячейки в
режиме эксклюзивного доступа
ar6 = 40050000h;        // (3) - адрес чтения в фазе статуса
```

									Лист
									166
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

```

[ar5]=ar0,gr0;          //(4) - фаза данных эксклюзивной записи -
пишем длинное слово из пары ar0,gr0
gr7=[ar6];             //(5) - фаза статуса при чтении
возвращается статус 0 - успешно, 1 - неуспешно

```

В этом примере инструкции (4) и (5) попадают при ассемблировании *в одно* 64-разрядное слово из-за «длинной» (64-разрядной) инструкции (3), поэтому они не могут быть при выполнении разделены обработкой прерывания.

										Лист
										167
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.5 Контроллеры коммуникационных портов СР0 - СР3

Контроллеры коммуникационных портов (СР0 - СР3) аналогичны блокам коммуникационных портов, описанным в подразделе 3.7. Отличие только в формате регистров Address и Bias, описанное в п. 3.7.5.

									Лист
									168
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

4.6 Коммутаторы каналов связи LC0 - LC3

Коммутаторы каналов связи используются для переключения каналов коммуникационных портов процессорных систем. LCx позволяют делать статическую программируемую коммутацию источников и приёмников данных внутри микросхемы.

В роли источника и приёмника данных в микросхеме выступают:

- контроллеры коммуникационных портов процессорных систем NMPU,
- контроллеры коммуникационных портов процессорных систем CPU,
- контроллеры коммуникационных портов процессорной системы SSPU,
- внешние высокоскоростные линки EL.

Положение коммутаторов в системе коммуникационных портов описано в подразделе 1.3.3 (Рисунок 1.4). Все коммутаторы каналов связи расположены внутри процессорных систем CPU, их подключение описано также в подразделе 4.1 (см. Рисунок 4.1).

В системе имеются два вида коммутаторов каналов связи:

- LC0 – коммутаторы 4 в 4,
- LC1 – LC3 – коммутаторы 3 в 3.

4.6.1 Структура коммутатора каналов связи

На рисунке 4.4 приведена структурная схема коммутатора каналов связи.

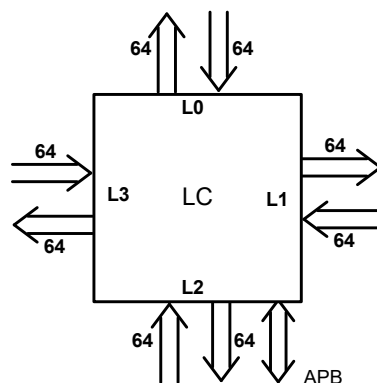


Рисунок 4.4 - Структурная схема коммутатора каналов связи

Коммутатор содержит программно доступные регистры, настройка которых осуществляется по периферийной шине APB. С их помощью задаётся, какой порт коммутатора с каким будет объединён.

									Лист
									169
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

4.6.2 Программно доступные регистры коммутаторов каналов связи

Программно доступные регистры коммутаторов каналов связи расположены в области памяти периферийных устройств REG_CPU и имеют базовые смещения:

Base = 0x000B_4000 hex для LC0;

Base = 0x000B_5000 hex для LC1;

Base = 0x000B_6000 hex для LC2;

Base = 0x000B_7000 hex для LC3.

Перечень регистров коммутаторов каналов связи представлен в таблице 4.2.

									Лист
									170
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 4.2 - Регистры коммутаторов каналов связи

Адрес (байтовый доступ)	Тип	Разрядность	Начальное значение	Имя	Описание
000B_4000 hex	ЧТ/ЗП	2	0x3	LC0_IN0	Регистр приёмного порта L0 коммутатора LC0
000B_4004 hex	ЧТ/ЗП	2	0x2	LC0_IN1	Регистр приёмного порта L1 коммутатора LC0
000B_4008 hex	ЧТ/ЗП	2	0x1	LC0_IN2	Регистр приёмного порта L2 коммутатора LC0
000B_400C hex	ЧТ/ЗП	2	0x0	LC0_IN3	Регистр приёмного порта L3 коммутатора LC0
000B_4010 hex	ЧТ/ЗП	2	0x3	LC0_OUT0	Регистр передающего порта L0 коммутатора LC0
000B_4014 hex	ЧТ/ЗП	2	0x2	LC0_OUT1	Регистр передающего порта L1 коммутатора LC0
000B_4018 hex	ЧТ/ЗП	2	0x1	LC0_OUT2	Регистр передающего порта L2 коммутатора LC0
000B_401C hex	ЧТ/ЗП	2	0x0	LC0_OUT3	Регистр передающего порта L3 коммутатора LC0
000B_5000 hex	ЧТ/ЗП	2	0x3	LC1_IN0	Регистр приёмного порта L0 коммутатора LC1
000B_5004 hex	ЧТ/ЗП	2	0x2	LC1_IN1	Регистр приёмного порта L1 коммутатора LC1
000B_5008 hex	ЧТ/ЗП	2	0x1	LC1_IN2	Регистр приёмного порта L2 коммутатора LC1
000B_500C hex	ЧТ/ЗП	2	0x0	LC1_OUT0	Регистр передающего порта L0 коммутатора LC1
000B_5010 hex	ЧТ/ЗП	2	0x3	LC1_OUT1	Регистр передающего порта L1 коммутатора LC1
000B_5014 hex	ЧТ/ЗП	2	0x2	LC1_OUT2	Регистр передающего порта L2 коммутатора LC1
000B_6000 hex	ЧТ/ЗП	2	0x3	LC2_IN0	Регистр приёмного порта L0 коммутатора LC2
000B_6004 hex	ЧТ/ЗП	2	0x2	LC2_IN1	Регистр приёмного порта L1 коммутатора LC2
000B_6008 hex	ЧТ/ЗП	2	0x1	LC2_IN2	Регистр приёмного порта L2 коммутатора LC2
000B_600C hex	ЧТ/ЗП	2	0x0	LC2_OUT0	Регистр передающего порта L0 коммутатора LC2
000B_6010 hex	ЧТ/ЗП	2	0x3	LC2_OUT1	Регистр передающего порта L1 коммутатора LC2
000B_6014 hex	ЧТ/ЗП	2	0x2	LC2_OUT2	Регистр передающего порта L2 коммутатора LC2
000B_7000 hex	ЧТ/ЗП	2	0x3	LC3_IN0	Регистр приёмного порта L0 коммутатора LC3
000B_7004 hex	ЧТ/ЗП	2	0x2	LC3_IN1	Регистр приёмного порта L1 коммутатора LC3
000B_7008 hex	ЧТ/ЗП	2	0x1	LC3_IN2	Регистр приёмного порта L2 коммутатора LC3
000B_700C hex	ЧТ/ЗП	2	0x0	LC3_OUT0	Регистр передающего порта L0 коммутатора LC3
000B_7010 hex	ЧТ/ЗП	2	0x3	LC3_OUT1	Регистр передающего порта L1 коммутатора LC3
000B_7014 hex	ЧТ/ЗП	2	0x2	LC3_OUT2	Регистр передающего порта L2 коммутатора LC3

					ЮФКВ.431282.020РЭ	Лист
						171
Изм.	Лист	№ докум.	Подп.	Дата		
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр приёмного порта Lx коммутатора LCi

Формат регистра приемного порта LCi_Inx приведен в таблице 4.3.

Таблица 4.3 - Формат регистра приёмного порта LCi_INx

Биты	Название	Тип	Выполняемая функция
[31:2]	Reserved	ЧТ	Резерв. При чтении выдаются все нули, запись в эти биты игнорируется.
[1:0]	DST	ЧТ/ЗП	Номер передающего порта, в который направляются данные из приёмного порта Lx.

Регистр задаёт, в какой передающий порт будут перенаправляться данные из приёмного порта LCi_INx. Допускаются все значения, в том числе можно настроить передачу из приёмного в передающий порт с одинаковыми номерами.

Регистр передающего порта Lx коммутатора LCi

Формат регистра приемного порта LCi_OUTy приведен в таблице 4.4.

Таблица 4.4 - Формат регистра передающего порта LCi_OUTy

Биты	Название	Тип	Выполняемая функция
[31:2]	Reserved	ЧТ	Резерв. При чтении выдаются все нули, запись в эти биты игнорируется.
[1:0]	SRC	ЧТ/ЗП	Номер приёмного порта, из которого передающий порт Ly забирает данные.

Регистр задаёт, из какого приёмного порта должен забирать данные передающий порт Ly. Допускаются все значения, в том числе можно настроить передачу из приёмного в передающий порт с одинаковыми номерами.

4.6.3 Коммутация портов

Передача данных происходит только тогда, когда передающий и приёмный порт настроены на работу друг с другом. Например, если требуется скомутировать приёмный порт x и передающий порт y коммутатора LCi, то следует установить:

- LCi_INx = y,
- LCi_OUTy = x.

В случае, когда каналы не настроены друг на друга, а передача данных запущена, то данные будут блокироваться коммутатором. Например, если установить LCi_INx = z, z≠y, то приёмный порт x будет пытаться отправить данные в передающий порт z, а если и порт z не настроен на приём от порта x, то передача данных будет блокироваться коммутатором до тех пор, пока не будет совершена настройка LCi_INx = y.

										Лист
										172
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

С точки зрения передающего канала – такая же схема: если настроить $LCi_OUTy = z$, $z \neq x$, то передающий порт y будет ожидать данные от приёмного порта z . Канал z может вообще не передавать данные, а может передавать, но в другой порт y' , отличный от y . В обоих случаях канал y не будет получать никаких данных и ожидать настройки $LCi_OUTy = x$.

Таким образом, схема коммутатора каналов связи подразумевает коммутацию «точка-точка». Дублирование данных, объединение данных из нескольких каналов в один и широковещательные передачи невозможны.

										Лист
										173
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.7 Контроллер ПДП память-память MDMAC

Контроллер обеспечивает обмен данными между разными блоками внутренней памяти (банки NMMBx, CMBx) и банками внешней памяти DDR. Особенности контроллера ПДП являются:

- Наличие одного универсального канала, который состоит из двух подканалов – передающего и принимающего. Эти каналы настраиваются и запускаются программно, а останавливаются либо аппаратно (по окончании обмена или по ошибке), либо программно.
- Встроенный буфер на 32 64-разрядных слова (256 байт).
- Аппаратная поддержка пакетов до четырех 64-разрядных слов на шине AMBA AXI с целью эффективного использования SDRAM.

Передача данных реализуется контроллером с помощью транзакций чтения и записи на шине AMBA AXI: контроллер производит чтение данных из источника с помощью передающего подканала, помещает данные во встроенный буфер, затем записывает данные в устройство-приёмник с помощью принимающего подканала.

4.7.1 Программно доступные регистры контроллера MDMAC

Каналы ПДП настраиваются с помощью программно доступных регистров передающего и приёмного подканалов. Регистры контроллера расположены в адресном пространстве периферийных устройств REG_CPU.

Набор регистров каждого подканала состоит из:

- регистра текущего адреса (Address);
- регистра смещения адреса (Bias);
- счётчика последовательных данных (RowCounter);
- регистра режима адресации (AddressMode).

Кроме того, есть регистры, общие для обоих подканалов:

- основной счётчик данных (MainCounter);
- регистр управления (Control);
- регистр масок запросов на прерывание (InterruptMask);
- регистр состояния (State).

Перечисленные выше регистры (кроме регистра State), как по разрядности, так и по составу функциональных полей совпадают с регистрами передающего и приёмного каналов

										Лист
										174
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020			31406-3					

коммуникационных портов (подраздел 3.7). Как и в контроллере коммуникационных портов обоими подканалами MDMAC поддерживается двухмерный режим адресации.

Список регистров приведен в таблице 4.5. Не указанные в таблице адреса зарезервированы – запись по зарезервированным адресам никак не влияет на устройство, при чтении выдается неспецифицированное значение. Неиспользованные старшие разряды имеющихся регистров при чтении возвращают 0.

Таблица 4.5 - Список регистров контроллера MDMAC

Название регистра	Адрес (байтовый доступ)	Разрядность	Доступ
Регистры передающего подканала MDMAC			
DMATR_Address	0x000B_C004	32	ЧТ/ЗП
DMATR_Bias	0x000B_C008	32	ЧТ/ЗП
DMATR_RowCounter	0x000B_C00C	16	ЧТ/ЗП
DMATR_AddressMode	0x000B_C010	1	ЧТ/ЗП
Регистры приёмного подканала MDMAC			
DMARC_Address	0x000B_C024	32	ЧТ/ЗП
DMARC_Bias	0x000B_C028	32	ЧТ/ЗП
DMARC_RowCounter	0x000B_C02C	16	ЧТ/ЗП
DMARC_AddressMode	0x000B_C030	1	ЧТ/ЗП
Общие регистры обоих подканалов			
DMA_MainCounter	0x000B_C000	16	ЧТ/ЗП
DMA_Control	0x000B_C014	4	ЧТ/ЗП
DMA_InterruptMask	0x000B_C038	2	ЧТ/ЗП
DMA_State	0x000B_C03C	32	ЧТ/ЗП

Регистры текущего адреса DMATR_Address и DMARC_Address

Формат регистров текущего адреса DMATR_Address и DMARC_Address приведен на рисунке 4.5.

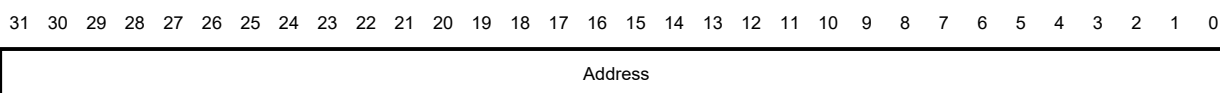


Рисунок 4.5 - Формат регистров DMATR_Address и DMARC_Address

Запись в регистр DMATR_Address (DMARC_Address) устанавливает начальный адрес буфера в памяти, с которым работает соответствующий подканал. При чтении возвращается текущий адрес в адресном генераторе. Адрес в данном регистре контроллера всегда в формате ядра ARM (то есть адресация до байта).

Регистры смещения адреса DMATR_Bias и DMARC_Bias

Формат регистров смещения адреса DMATR_Bias и DMARC_Bias приведен на рисунке 4.6.

										Лист
										175
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

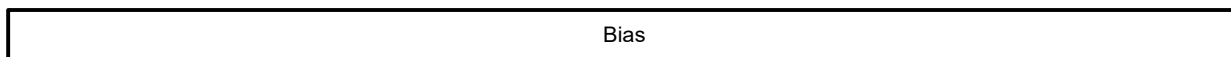


Рисунок 4.6 - Формат регистров DMATR_Bias и DMARC_Bias

Регистр DMATR_Bias (DMARC_Bias) используется только при двухмерной адресации, содержит смещение адреса при переходе от конца одной строки передаваемого массива до начала следующей. Если размер пропускаемого фрагмента (серое поле на рисунке 3.14, п. 3.7.3) равен N_s 64-разрядных слов, то следует записать значение $(N_s+1)*8$.

Счётчики последовательных данных DMATR_RowCounter и DMARC_RowCounter

Формат регистров DMATR_RowCounter и DMARC_RowCounter приведен на рисунке 4.7.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

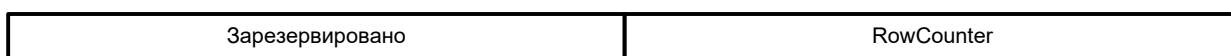


Рисунок 4.7 - Формат регистров DMATR_RowCounter и DMARC_RowCounter

Регистр DMATR_RowCounter (DMARC_RowCounter) используется только при двухмерной адресации. Запись в регистр DMATR_RowCounter (DMARC_RowCounter) устанавливает размер строки (в 64-разрядных словах) передаваемого массива.

Регистры режима адресации DMATR_AddressMode и DMARC_AddressMode

Формат регистров DMATR_AddressMode и DMARC_AddressMode приведен на рисунке 4.8.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

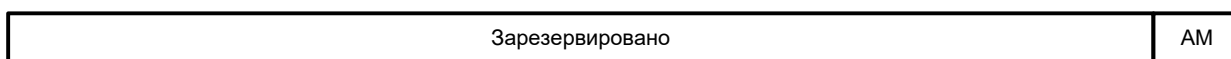


Рисунок 4.8 - Формат регистров DMATR_AddressMode и DMARC_AddressMode

Регистр DMATR_AddressMode (DMARC_AddressMode) определяет режим адресации в адресном генераторе. Бит AM=0 – одномерная адресация, бит AM=1 – двухмерная адресация. Подробнее о режимах адресации см. п. 3.7.3.

Основной счётчик данных DMA_MainCounter

Формат регистра DMA_MainCounter приведен на рисунке 4.9.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



Рисунок 4.9 - Формат регистра DMA_MainCounter

Запись в регистр DMA_MainCounter устанавливает количество 64-разрядных слов, которое будет передано. При чтении возвращается количество слов, которое осталось прочитать из памяти в текущей передаче.

					ЮФКВ.431282.020РЭ					Лист
										176
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

Регистр управления DMA_CSR

Формат регистра DMA_CSR приведен на рисунке 4.10.

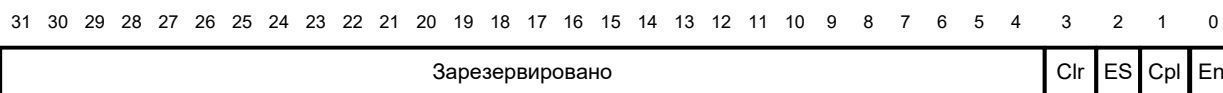


Рисунок 4.10 - Формат регистра DMA_CSR

Регистр DMA_CSR используется для управления состоянием контроллера MDMAC:

- Бит En (0-й разряд). Запись в бит En = 1 запускает передачу.
- Бит Cpl (1-й разряд). При чтении Cpl = 1 означает, что передача заданного количества слов завершена, либо передача приостановлена вследствие ошибки или программной приостановки (бит ES = 1). Чтобы произвести следующий запуск, необходимо записать Cpl = 0.
- Бит ES (2-й разряд). При чтении ES = 1 означает, что передача приостановлена. Бит ES устанавливается аппаратно, если MDMAC получил сигнал об ошибке своего обращения в память – по несуществующему или недоступному адресу. Также бит ES можно установить программно. После обработки ошибки бит ES необходимо сбрасывать программно, так как он блокирует работу каналов.
- Бит Clr (3-й разряд) показывает, что MDMAC находится в состоянии очистки буфера данных. В этом состоянии находящиеся в буфере данные теряются – осуществляется только их подсчёт в регистре основного счётчика данных (DMA_MainCounter). Бит Clr сбрасывается автоматически при достижении DMA_MainCounter = 0.

Регистр масок запросов на прерывание DMA_InterruptMask

Формат регистра DMA_InterruptMask приведен на рисунке 4.11.

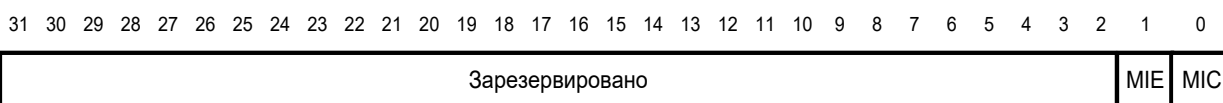


Рисунок 4.11 - Формат регистра DMA_InterruptMask

Данный регистр позволяет запретить выдачу запроса на прерывание от блока коммуникационного порта по каждой из двух причин: завершение передачи и ошибка при обращении в память. Регистр содержит следующие поля:

- Бит MIC (0-й разряд) – маска запроса на прерывание по завершении передачи. MIC = 1 – запрос маскирован, MIC = 0 – запрос разрешён.

					ЮФКВ.431282.020РЭ					Лист
										177
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

- По нормальному завершению работы контроллера ПДП, когда выполняется условие – установлен бит Cpl регистра DMARC_Control и сброшен бит маски MISC в регистре DMARC_InterruptMask (в т. ч. в конце процесса передачи).
- По ошибке доступа в память контроллера ПДП, когда выполняется одно из условий – либо установлен бит ES регистра DMATR_Control и сброшен бит маски MIE в регистре DMATR_InterruptMask, либо установлен бит ES регистра DMARC_Control и сброшен бит маски MIE в регистре DMARC_InterruptMask.

										Лист
										179
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

4.8 Внешний высокоскоростной линк EL

4.8.1 Основные характеристики

Внешний высокоскоростной линк обеспечивает дуплексную передачу типа точка-точка с суммарной пропускной способностью в обе стороны до 40 Гбод.

На физическом уровне передача осуществляется при помощи высокоскоростного последовательного физического интерфейса EL PHY, аналогичного PHY интерфейса PCIe. EL PHY имеет в своем составе 4 линии, каждая из которых имеет передающую и принимающую дифференциальные пары, работающие со скоростью 2,5 Гбод или 5 Гбод. Расчет реальной пропускной способности приведен в пункте 4.8.4. Интерфейс поддерживает только архитектуру с общим опорным тактовым сигналом (Common Refclk Architecture). Тактовый сигнал должен иметь частоту 100 МГц, скважность 40-60 % и внешнюю терминацию 50 Ом (дифференциальная терминация 100 Ом). Один тактовый сигнал может быть использован несколькими EL PHY и PCIe PHY, тогда терминация должна быть одна общая.

Линк EL способен передавать и принимать только данные, без их количества, адресов и других параметров. Таким образом, внешнее устройство, принимающее данные при помощи линка EL, должно знать их объем и адрес назначения.

Также в линке EL предусмотрены:

- режим пониженного потребления питания;
- исправление ошибок передачи и их подсчет;
- прерывания по некоторым событиям.

Линк EL входит в состав каждого кластера PC. EL подключен к одному из портов коммутатора каналов (LCx, подраздел 4.6) с помощью интерфейса данных AXI Stream. Таким образом, суммарно микросхема содержит четыре независимых внешних высокоскоростных линка общей пропускной способностью 160 Гбод.

Используемые далее сокращения:

EL – External Link – внешний линк

DMAC (Direct Memory Access Controller) – контроллер прямого доступа в память (в его роли выступают блоки коммуникационных портов CPx, см. подраздел 3.7)

MAC – Media Access Controller – контроллер канального уровня связи

PHY – Physical layer – блок физического уровня связи

PIPE – Phy Interface to PCI Express – интерфейс между MAC и Phy

PLL – Phase lock loop – генератор тактового сигнала.

										Лист
										180
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.8.2 Структура внешнего высокоскоростного линка EL

Внешний высокоскоростной линк EL представляет собой последовательно соединенные контроллер ELC (MAC) и блок физического интерфейса EL PHY (PHY). Каждый из них требует собственную программную настройку по периферийной шине APB. Схема их соединения и их интерфейсов представлена на рисунке 4.13.

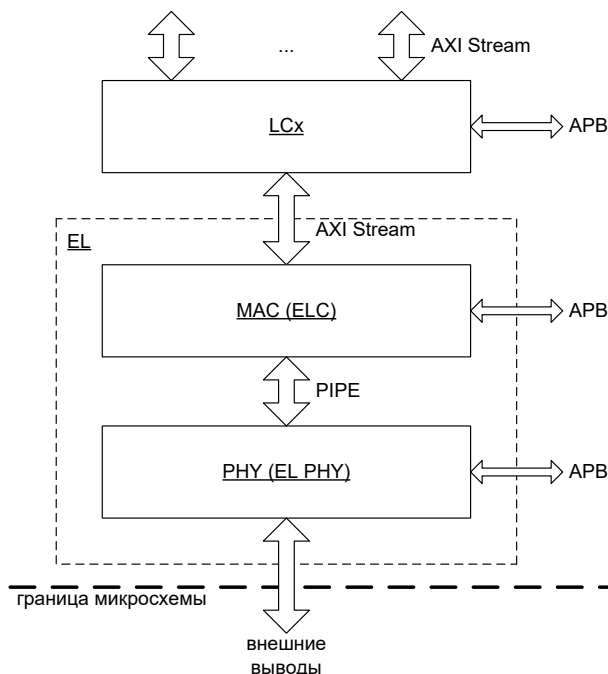


Рисунок 4.13 – Структурная схема внешнего высокоскоростного линка EL

									Лист
									181
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

4.8.3 Контроллер линка EL

4.8.3.1 Общие сведения

Структура контроллера ELC (MAC) приведена на рисунке 4.14.

Контроллер ELC, в дальнейшем называемый MAC, выполняет следующие функции:

- Управление сбросом, частотой, питанием Phy;
- Управление электрическими параметрами Phy;
- Формирование передаваемых сообщений – контрольных последовательностей, пакетов данных и подтверждений;
- Обработка входящих сообщений;
- Формирование прерываний (уровневых) по основным событиям;
- Отслеживание и исправление ошибок передачи.

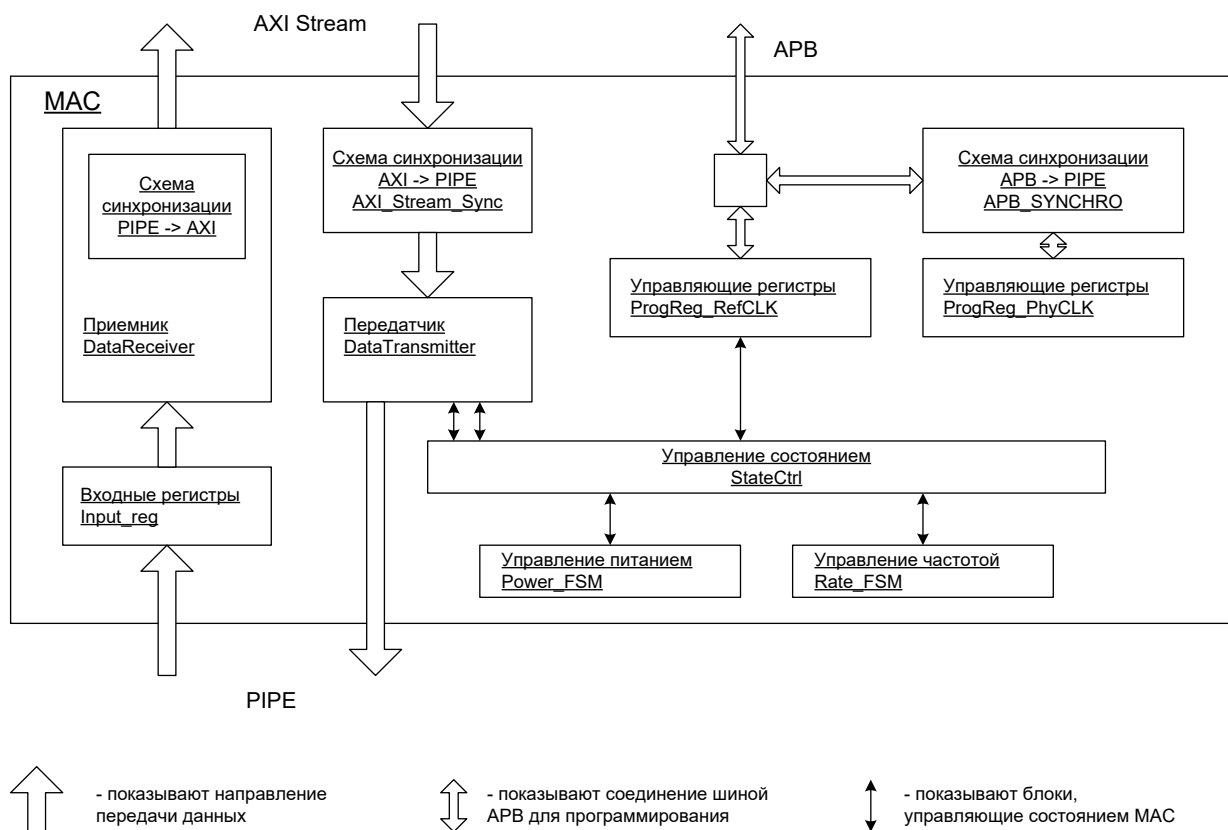


Рисунок 4.14 – Структура контроллера ELC (MAC)

					Лист
					182
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр управления CTRL_0

Формат регистра управления CTRL_0 приведен в таблице 4.7.

Таблица 4.7 - Формат регистра управления CTRL_0

Биты	Тип доступа	Начальное значение	Описание
31:22			reserved: резерв
21	ЧТ/ЗП	0	I3_swing: размах выходного сигнала линии №3: Параметр следует менять только когда контроллер находится под сбросом (pipe_reset = 1) 0 – полный размах; 1 – половинный размах.
20	ЧТ/ЗП	0	I2_swing: размах выходного сигнала линии №2: Параметр следует менять только когда контроллер находится под сбросом (pipe_reset = 1) 0 – полный размах; 1 – половинный размах.
19	ЧТ/ЗП	0	I1_swing: размах выходного сигнала линии №1: Параметр следует менять только когда контроллер находится под сбросом (pipe_reset = 1) 0 – полный размах; 1 – половинный размах.
18	ЧТ/ЗП	0	I0_swing: размах выходного сигнала линии №0: Параметр следует менять только когда контроллер находится под сбросом (pipe_reset = 1) 0 – полный размах; 1 – половинный размах.
17:15	ЧТ/ЗП	0	I3_margin: точный размах выходного сигнала линии №3* 0 – максимум.
14:12	ЧТ/ЗП	0	I2_margin: точный размах выходного сигнала линии №2* 0 – максимум.
11:9	ЧТ/ЗП	0	I1_margin: точный размах выходного сигнала линии №1* 0 – максимум.
8:6	ЧТ/ЗП	0	I0_margin: точный размах выходного сигнала линии №0* 0 – максимум.
5	ЧТ	0	phy_status_int_sync: 1 – указывает на окончание процесса смены режима работы. Представляет собой аналог параметра phy_status_int. Сбрасывается установкой параметра phy_status_int.
4	-	-	reserved: резерв
3	ЧТ/ЗП	0	rate: частота передачи данных: 1 – 5 Гбит/с; 0 – 2,5 Гбит/с. Окончание процесса переключения частоты отслеживается по параметру phy_status_int_sync.
2:1	ЧТ/ЗП	0x2	power: режим питания РНУ: 0x2 – P1 – режим пониженного потребления; 0x0 – P0 – рабочий режим; остальные значения запрещены. Окончание процесса переключения питания отслеживается по параметру phy_status_int_sync.
0	ЧТ/ЗП	1	pipe_reset: сброс РНУ и МАС: 1 – РНУ и МАС сброшены. PLL выключена. Программный доступ к остальным регистрам запрещен. Режим минимального потребления. 0 – запись нуля снимает сброс и включает РНУ и МАС. Окончание процесса включения отслеживается по параметру phy_status_int_sync
* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме			

					Лист
					184
Изм.	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления CTRL_1

Формат регистра управления CTRL_1 приведен в таблице 4.8.

Таблица 4.8 - Формат регистра управления CTRL_1

Биты	Тип доступа	Начальное значение	Описание
31:8	-	-	reserved: резерв.
16	ЧТ	0	link_ready: готовность линии к передаче и приему.
15:10	-	-	reserved: резерв
9:4	ЧТ/ЗП	0x3F	int_mask: маски прерываний описанных в регистре STATE_0 0 – соответствующее прерывание (регистр STATE_0 [5:0]) не маскировано; 1 – соответствующее прерывание (регистр STATE_0 [5:0]) маскировано.
3:1	ЧТ/ЗП	0	error_ctrl: выбор счетчика ошибок, вызывающего прерывание error_int: 0 – error_rx_phy; 1 – error_crc; 2 – error_length; 3 – error_buf_full; 4 – error_unknown_data; 5 – error_receiving; остальные значения запрещены. Рекомендуется сразу после включения контроллера установить этот параметр в значение 5 – отслеживание всех типов ошибок. При возникновении прерывания error_int надо сбросить этот и ответный контроллер. Лучше проводить полный сброс интерфейса – используя параметр pipe reset.
0	ЧТ/ЗП	0	protocol_rst: запись 1 – сброс протокола работы. Не сбрасывает протокол у ответного устройства. Не сбрасывает установки программных регистров. Никак не влияет на Phy. Снимается аппаратно на следующий после программной установки такт. Запись 0 – не возымеет действия. Чтение всегда возвращает 0.

					Лист
					185
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр состояния STATE_0

Формат регистра состояния STATE_0 приведен в таблице 4.9.

Таблица 4.9 - Формат регистра состояния STATE_0

Биты	Тип доступа	Начальное значение	Описание
31:28	-	-	reserved: резерв
27:25	ЧТ	0	l3_deskew: задержка данных на линии №3*
24:22	ЧТ	0	l2_deskew: задержка данных на линии №2*
21:19	ЧТ	0	l1_deskew: задержка данных на линии №1*
18:16	ЧТ	0	l0_deskew: задержка данных на линии №0*
15:6	-	-	reserved: резерв
5	ЧТ/ЗП	0	error_int: достижение счетчиком ошибок значения 0x1F. Нужный счетчик выбирается параметром error_ctrl регистра CTRL_1. запись 1 – сбросит параметр в 0 запись 0 – не возьмет действия
4	ЧТ/ЗП	0	rxstatus_int: отличие RX_STATUS любой линии от нуля* запись 1 – сбросит параметр в 0 запись 0 – не возьмет действия
3	ЧТ/ЗП	0	rxlecidle_int: электрическое отключение входной линии. Появление такого события означает полную потерю связи с ответным устройством, что может быть вызвано его выключением (сброс, перевод в режим низкого потребления) или физической проблемой в любой из четырех передающих линий. запись 1 – сбросит параметр в 0 запись 0 – не возьмет действия
2	ЧТ/ЗП	0	incoming_int: прием пакета данных. запись 1 – сбросит параметр в 0 запись 0 – не возьмет действия
1	ЧТ/ЗП	0	link_ready_int: готовность линии к передаче и приему данных. запись 1 – сбросит параметр в 0 запись 0 – не возьмет действия
0	ЧТ/ЗП	0	phy_status_int: окончание процесса смены режима работы. запись 1 – сбросит параметр в 0 запись 0 – не возьмет действия

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

Регистр состояния STATE_1

Формат регистра состояния STATE_1 приведен в таблице 4.10.

Таблица 4.10 - Формат регистра состояния STATE_1

Биты	Тип доступа	Начальное значение	Описание
31:16	-	-	reserved: резерв
15	ЧТ	1	l3_rxlecidle: текущее значение электрического состояния линии №3*
14	ЧТ	1	l2_rxlecidle: текущее значение электрического состояния линии №2*
13	ЧТ	1	l1_rxlecidle: текущее значение электрического состояния линии №1*
12	ЧТ	1	l0_rxlecidle: текущее значение электрического состояния линии №0*
11:9	ЧТ	0	l3_rxstatus: текущее значение статуса приемника линии №3*
8:6	ЧТ	0	l2_rxstatus: текущее значение статуса приемника линии №2*
5:3	ЧТ	0	l1_rxstatus: текущее значение статуса приемника линии №1*
2:0	ЧТ	0	l0_rxstatus: текущее значение статуса приемника линии №0*

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

					ЮФКВ.431282.020РЭ	Лист 186
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр задания периода PERIOD

Формат регистра состояния PERIOD приведен в таблице 4.11.

Таблица 4.11 - Формат регистра состояния PERIOD

Биты	Тип доступа	Начальное значение	Описание
31:19	-	-	reserved: резерв
18:11	ЧТ/ЗП	0x78	ack_period: период генерации АСК-сообщений
10:0	ЧТ/ЗП	0x4B0	skpos_period: период генерации SKPOS-сообщений*

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме.

Регистр управления линиями 0 и 1 L0_L1_PHYS

Формат регистра управления линиями 0 и 1 L0_L1_PHYS приведен в таблице 4.12.

Таблица 4.12 - Формат регистра управления линиями 0 и 1 L0_L1_PHYS

Биты	Тип доступа	Начальное значение	Описание
31:25	-	-	reserved: резерв
24	ЧТ/ЗП	0	l1_get_local_preset_coef: запрос расчета коэффициентов эквализации у линии №1*. Снимается аппаратно на следующий после программной установки такт.
23:20	ЧТ/ЗП	0	l1_tx_local_preset_index: индексы эквализации передатчика линии №1*
19	ЧТ/ЗП	0	l1_polarity: инвертирует входные данные в приемнике линии №1
18:17	ЧТ/ЗП	01	l1_tx_deemph: коэффициенты преобразования выходного сигнала для передатчика линии №1
16	ЧТ/ЗП	0	l1_tx_compliance: меняет порядок смены полярности выходного сигнала для линии №1
15:9	-	-	reserved: резерв
8	ЧТ/ЗП	0	l0_get_local_preset_coef: запрос расчета коэффициентов эквализации у линии №0*. Снимается аппаратно на следующий после программной установки такт.
7:4	ЧТ/ЗП	0	l0_tx_local_preset_index: индексы эквализации передатчика линии №0*
3	ЧТ/ЗП	0	l0_polarity: инвертирует входные данные в приемнике линии №0
2:1	ЧТ/ЗП	01	l0_tx_deemph: коэффициенты преобразования выходного сигнала для передатчика линии №0
0	ЧТ/ЗП	0	l0_tx_compliance: меняет порядок смены полярности выходного сигнала для линии №0

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме.

					Лист
					187
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инвар.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления линиями 2 и 3 L2_L3_PHYS

Формат регистра управления линиями 2 и 3 L2_L3_PHYS приведен в таблице 4.13.

Таблица 4.13 - Формат регистра управления линиями 2 и 3 L2_L3_PHYS

Биты	Тип доступа	Начальное значение	Описание
31:25	-	-	reserved: резерв
24	ЧТ/ЗП	0	I3_get_local_preset_coef: запрос расчета коэффициентов эквализации у линии №3*. Снимается аппаратно на следующий после программной установки такт.
23:20	ЧТ/ЗП	0	I3_tx_local_preset_index: индексы эквализации передатчика линии №3*
19	ЧТ/ЗП	0	I3_polarity: инвертирует входные данные в приемнике линии №3
18:17	ЧТ/ЗП	01	I3_tx_deemph: коэффициенты преобразования выходного сигнала для передатчика линии №3
16	ЧТ/ЗП	0	I3_tx_compliance: меняет порядок смены полярности выходного сигнала для линии №3
15:9	-	-	reserved: резерв
8	ЧТ/ЗП	0	I2_get_local_preset_coef: запрос расчета коэффициентов эквализации у линии №2*. Снимается аппаратно на следующий после программной установки такт.
7:4	ЧТ/ЗП	0	I2_tx_local_preset_index: индексы эквализации передатчика линии №2*
3	ЧТ/ЗП	0	I2_polarity: инвертирует входные данные в приемнике линии №2
2:1	ЧТ/ЗП	01	I2_tx_deemph: коэффициенты преобразования выходного сигнала для передатчика линии №2
0	ЧТ/ЗП	0	I2_tx_compliance: меняет порядок смены полярности выходного сигнала для линии №2

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

Регистр коэффициентов эквализации линии 0 L0_COEF

Формат регистра коэффициентов эквализации линии 0 L0_COEF приведен в таблице 4.14.

Таблица 4.14 - Формат регистра коэффициентов эквализации линии 0 L0_COEF

Биты	Тип доступа	Начальное значение	Описание
31:30			reserved: резерв
29:24	ЧТ	0	I0_local lf: величина lf от линии №0*
23:18	ЧТ	0	I0_local fs: величина fs от линии №0*
17:0	ЧТ	0	I0_tx_local_tx_preset_coef: коэффициенты эквализации линии №0*

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

					ЮФКВ.431282.020РЭ	Лист
						188
Изм.	Лист	№ докум.	Подп.	Дата		
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр коэффициентов эквализации линии 1 L1_COEF

Формат регистра коэффициентов эквализации линии 1 L1_COEF приведен в таблице 4.15.

Таблица 4.15 - Формат регистра коэффициентов эквализации линии 1 L1_COEF

Биты	Тип доступа	Начальное значение	Описание
31:30	-	-	reserved: резерв
29:24	ЧТ	0	l1 local lf: величина lf от линии №1*
23:18	ЧТ	0	l1 local fs: величина fs от линии №1*
17:0	ЧТ	0	l1 tx local tx preset coef: коэффициенты эквализации линии №1*

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

Регистр коэффициентов эквализации линии 2 L2_COEF

Формат регистра коэффициентов эквализации линии 2 L2_COEF приведен в таблице 4.16.

Таблица 4.16 - Формат регистра коэффициентов эквализации линии 2 L2_COEF

Биты	Тип доступа	Начальное значение	Описание
31:30	-	-	reserved: резерв
29:24	ЧТ	0	l2 local lf: величина lf от линии №2*
23:18	ЧТ	0	l2 local fs: величина fs от линии №2*
17:0	ЧТ	0	l2 tx local tx preset coef: коэффициенты эквализации линии №2*

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

Регистр коэффициентов эквализации линии 3 L3_COEF

Формат регистра коэффициентов эквализации линии 3 L3_COEF приведен в таблице 4.17.

Таблица 4.17 - Формат регистра коэффициентов эквализации линии 3 L3_COEF

Биты	Тип доступа	Начальное значение	Описание
31:30	-	-	reserved: резерв
29:24	ЧТ	0	l3 local lf: величина lf от линии №3*
23:18	ЧТ	0	l3 local fs: величина fs от линии №3*
17:0	ЧТ	0	l3 tx local tx preset coef: коэффициенты эквализации линии №3*

* Данный параметр используется в исследовательских целях и не должен меняться программно в рабочем режиме

Регистр ошибок ERROR

Формат регистра ошибок ERROR приведен в таблице 4.18.

Таблица 4.18 - Формат регистра ошибок ERROR

Биты	Тип доступа	Начальное значение	Описание
31:30	-	-	reserved: резерв
29:25	ЧТ/ЗП	0	error_receiving: общее количество ошибок приема всех типов
24:20	ЧТ/ЗП	0	error_unknown_data: количество ошибок неподходящих данных
19:15	ЧТ/ЗП	0	error_buf_full: количество ошибок переполнения приемного буфера
14:10	ЧТ/ЗП	0	error_length: количество ошибок размера принятого пакета
9:5	ЧТ/ЗП	0	error_crc: количество ошибок контрольной суммы
4:0	ЧТ/ЗП	0	error_rx_phy: количество ошибок нераспознанных Phy данных

										Лист
										189
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

4.8.3.3 Стандартные алгоритмы работы с MAC

Включение контроллера:

После системного сброса тактирование большей части MAC отсутствует, поэтому программный доступ есть только к регистру CTRL_0. Чтение или запись в другие регистры MAC приведет к зависанию программной шины.

Снятие сброса с Phy и включение PLL:

- установить значение параметра pipe_reset в регистре CTRL_0 равным 0;
- дождаться, пока контроллер установит параметр phy_status_int_sync в регистре CTRL_0 равным 1;
- сбросить phy_status_int_sync записью 1 в параметр phy_status_int в регистре STATE_0.

По стандарту протокола PIPE после снятия pipe_reset приемник и передатчик Phy находятся в отключенном состоянии.

Установка электрических параметров выходного сигнала:

- установить необходимые значения l0_swing, l1_swing, l2_swing, l3_swing в регистре CTRL_0;
- установить необходимые значения l0_tx_deemph, l1_tx_deemph, l2_tx_deemph, l3_tx_deemph в регистрах L0_L1_PHYS и L2_L3_PHYS;

Включение питания приемника и передатчика Phy:

- установить значение параметра power в регистре CTRL_0 равным 00;
- дождаться, пока контроллер установит параметр phy_status_int_sync в регистре CTRL_0 равным 1;
- сбросить phy_status_int_sync записью 1 в параметр phy_status_int в регистре STATE_0.

По окончании включения питания (или изменения скорости передачи данных) MAC автоматически входит в режим инициализации связи. Режим заканчивается при готовности противоположного устройства. Поскольку это может занять значительный промежуток времени, возможно использование прерывания:

- при необходимости устанавливается маска прерывания int_mask [1] в регистре CTRL_1, равная 0;

									Лист
									190
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

- дождаться, пока контроллер установит параметр link_ready_int в регистре STATE_0 равным 1;
- при использовании прерывания обратно устанавливается маска int_mask [1] в регистре CTRL_1, равная 1.

По стандарту протокола PIPE при старте используется минимальная скорость передачи и приема данных 2,5 Гбит/с. Изменять ее можно когда угодно, но при этом следует убедиться в отсутствии передачи данных, иначе они могут быть утеряны. Рекомендуется перейти на 5 Гбит/с сразу после включения питания.

Изменение скорости передачи данных:

- установить необходимое значение параметра rate в регистре CTRL_0;
- дождаться, пока контроллер установит параметр phy_status_int_sync в регистре CTRL_0 равным 1;
- сбросить phy_status_int_sync записью 1 в параметр phy_status_int в регистре STATE_0.

В рабочем режиме, даже в отсутствии передаваемых данных, выходная линия по-прежнему работает с обычной частотой. Для снижения потребляемой мощности можно отключить питание приемника и передатчика Phy.

Выключение контроллера:

- установить значение параметра power в регистре CTRL_0 равным 2;
- дождаться, пока контроллер установит параметр phy_status_int_sync в регистре CTRL_0 равным 1;
- сбросить phy_status_int_sync записью 1 в параметр phy_status_int в регистре STATE_0;

Для более глубокого энергосбережения следует сбросить Phy и находящуюся в нем PLL:

- установить параметр pipe_reset в регистре CTRL_0 равным 1.

При этом будет отключено тактирование части Phy и MAC. Все регистры MAC, кроме CTRL_0, будут сброшены и станут недоступны для программного доступа.

Изменение полярности входных данных:

При разработке печатной платы можно, независимо для каждой линии, подключить положительный выход дифференциальной линии к отрицательному входу, а отрицательный – к положительному. При этом необходимо установить соответствующие параметры

										Лист
										191
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

10_polarity, 11_polarity, 12_polarity, 13_polarity равными 1. Сделать это рекомендуется сразу после снятия сброса и включения PLL.

4.8.3.4 Принципы работы MAC

Тактирование и сбросы

Схема тактирования и сбросов EL приведена на рисунке 4.15.

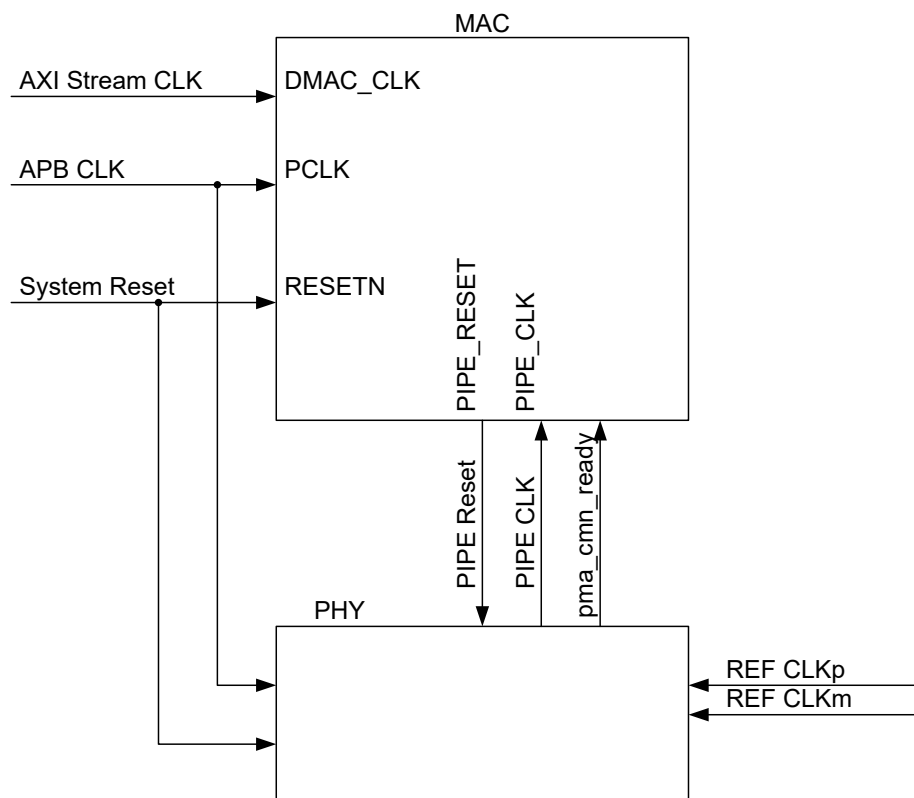


Рисунок 4.15 – Схема тактирования и сбросов EL

Контроллер работает от трех тактовых сигналов:

- AXI Stream CLK (800 МГц)
- APB CLK (200 МГц)
- PIPE CLK (125 МГц или 250 МГц)

Все переходы между тактовыми доменами сделаны асинхронными.

Сигнал сброса RESETN асинхронно сбрасывает все тактовые домены контроллера.

Правила сбросов:

1. Установка RESETN не зависит от наличия тактовых сигналов. При этом сразу устанавливаются сбросы доменов PIPE и AXI.

					Лист
					192
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

2. Снятие RESETN также не зависит от наличия тактовых сигналов. Сброс PIPE должен быть снят программно после настройки конфигурационных регистров Pfu и MAC. Сброс с доменов PIPE и AXI снимется автоматически после полного включения Pfu.

Схема тактирования и сбросов MAC приведена на рисунке 4.16.

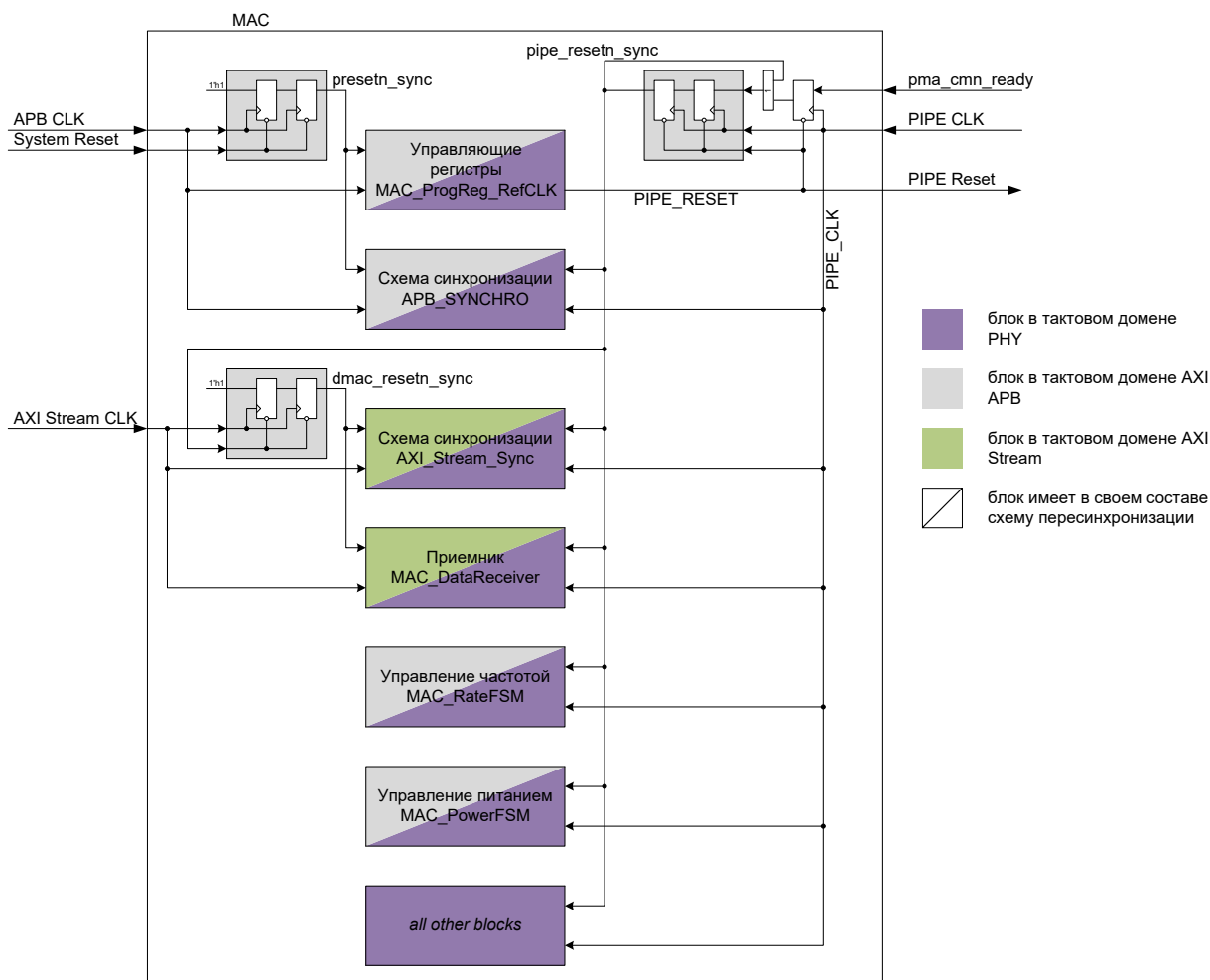


Рисунок 4.16 – Схема тактирования и сбросов MAC

Режимы работы контроллера MAC

Устройство может находиться в следующих состояниях (по убыванию приоритета):

- сброс;
- смена питания;
- смена частоты;
- инициализация связи;
- рабочий режим.

При запросе более высокоприоритетного состояния все, что ниже его, прерываются. Вызывать смену питания во время смены частоты запрещено. В первых трех состояниях

										Лист
										193
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

выходная линия электрически выключена (PIPE_TX_ELECIDLE = 0), дифференциального сигнала нет.

Режим сброса:

- условие входа – сброс RESETN или программная установка поля pipe_reset.
- условие выхода – программное снятие поля pipe_reset, выдача тактового сигнала от РНУ.

Режим смены питания:

- условие входа – несоответствие текущего режима питания значению, содержащемуся в программном регистре CTRL_0 в поле power;
- условие выхода - сообщение от РНУ о завершении смены режима питания (возможно соответствующее прерывание).

Режим смены частоты:

- условие входа – несоответствие текущей частоты значению, содержащемуся в программном регистре CTRL_0 в поле rate;
- условие выхода – сообщение от РНУ о завершении смены частоты (возможно соответствующее прерывание).

При электрическом выключении передатчик не работает. При электрическом включении работа передатчика заключается в генерации, выборе и отправке сообщений.

При выполнении соответствующих условий выдается запрос на сообщение. По окончании текущего сообщения в соответствии с приоритетом выбирается следующее. Ни одно сообщение не может быть прервано другим сообщением.

Режим инициализации связи

При входе в этот режим происходит сброс протокола.

Условия входа:

- PIPE_TX_ELECIDLE 1 -> 0;
- PIPE_RX_ELECIDLE 0 -> 1;
- Получение сообщения EIEOS_0.

Условия выхода:

- получение и отправка EIEOS_1 (возможно соответствующее прерывание).

Возможные сообщения и их приоритет (максимальный сверху):

- SkpOS;
- EIEOS_x

									Лист
									194
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Рабочий режим

Возможные сообщения и их приоритет (максимальный сверху):

- SkpOS;
- АСК;
- повторный пакет;
- новый пакет.

В случае отсутствия сообщения передаются данные, равные нулю.

Сообщения, генерируемые контроллером MAC

Новая передача (новый пакет) генерируется при условиях:

- MAC находится в рабочем режиме;
- наличие данных на входе передающей части MAC;
- наличие в памяти передающей части MAC места для пакета.

При новой передаче из поступающих от контроллера ПДП данных формируется новый пакет. Весь пакет сохраняется в памяти передатчика.

Пакет составляют:

- контрольный символ старта (SDP);
- идентификатор пакета (N* и N**);
- данные;
- контрольная сумма (C_0, C_1, C_2, C_3);
- контрольный символ окончания (END).

Формат пакета приведен на рисунке 4.17.

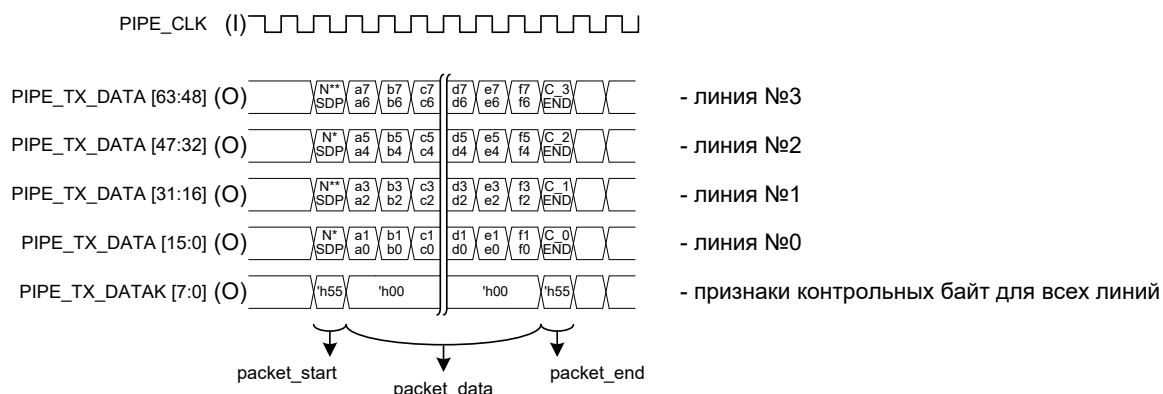


Рисунок 4.17 – Формат пакета данных MAC

										Лист
										195
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

Длина нового пакета переменная, выбирается на основе наличия входных данных, наличия пустого места в памяти передатчика.

Минимальная длина пакета: 1 слово данных (3 слова всего).

Максимальная длина пакета: 32 слова данных (34 слова всего) (ширина одного слова составляет 64 бита).

Приемник на основе идентификатора пакета и его длины рассчитывает идентификатор следующего ожидаемого пакета. Все неподходящие по номеру пакеты игнорируются.

Повторная передача производится передатчиком при условии:

- МАС находится в рабочем режиме;
- наличие в передатчике неподтвержденных пакетов;
- получение трёх АСК-сообщений с одинаковым идентификатором.

Повторная передача гарантирует передачу пакетов в условиях их возможного повреждения и неприема в связи с неготовностью приемника. При повторной передаче требуется точное повторение пакетов, поэтому они полностью сохраняются в памяти. Дополнительный бит в памяти указывает на первое/последнее слово и значение PIPE_TX_DATAK = 0x55.

Поскольку новая передача менее приоритетна, при генерации повторной передаются все сохраненные пакеты, после чего следует пауза (ожидание 3 АСК), в течение которой новые данные отправленные пакеты передаются.

Чем больше размер памяти в передатчике, тем реже можно посылать АСК-сообщения. При возможности хранить 256 слов и периоде АСК в 0x78 (примерно 1 АСК на 3,5 максимальных сообщения) должна производиться непрерывная передача и прием.

Так как одновременно новая и повторная передачи не возможны, память в передатчике используется или для записи, или для чтения. Поэтому используется однопортовая память размером 256x65.

АСК-сообщение подтверждения

Генерируется при условии:

- МАС находится в рабочем режиме;
- достижение таймером запрограммированного значения.

АСК-сообщение подтверждает получение пакетов и несет в себе номер ожидаемого пакета, что сообщает передатчику об успешном приеме всех предыдущих.

Таймер запускается при входе в рабочий режим, останавливается при достижении запрограммированного значения и сбрасывается, и запускается заново по отправке АСК.

										Лист
										196
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

Сообщение составляют:

- контрольный символ старта (STP);
- информация о полученных пакетах (N_h, N_l).

Формат сообщения приведен рисунке 4.18.



Рисунок 4.18 – Формат сообщения АСК

Идентификатор пакета – число, присваиваемое передатчиком каждому новому пакету.

Правила вычисления идентификатора:

$$N(0) = 0,$$

$$N(i) = N(i-1) + L(i-1),$$

где

N(i) – идентификатор i-го пакета,

L(i) – длина i-го пакета (количество слов данных).

Сбрасывается значение идентификатора при инициализации связи.

Идентификатор имеет разрядность 9 бит. Младшие 8 бит используются как адрес первого слова пакета в памяти передатчика. 9-й бит нужен для отличия «старых» данных в памяти от «новых».

Приемник всегда ожидает пакет с нужным идентификатором и принимает только его, тем самым сохраняя начальную последовательность данных. При получении пакета приемник вычисляет идентификатор следующего ожидаемого пакета. Также это вычисленное значение посылается с сообщением АСК.

В передаче пакетов идентификатор равен:

$$N^* = N [5:0];$$

					Лист
					197
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

$$N^{**} = \{N [8:6], N [2:0]\}.$$

Такое усложнение введено для устранения одного из типов ошибок.

При передаче АСК-сообщения идентификатор равен:

$$N_1 = N [7:0];$$

$$N_h = N [8].$$

Поскольку АСК-сообщения посылаются редко, с ними такая ошибка случиться не может.

SkpOS-сообщение

SkpOS требуются для компенсации в РНУ разности частот тактовых сигналов. Последовательность передается одновременно на каждую линию и генерируется при условии:

- достижение таймером запрограммированного значения.

Формат сообщения SkpOS приведен на рисунке 4.19.

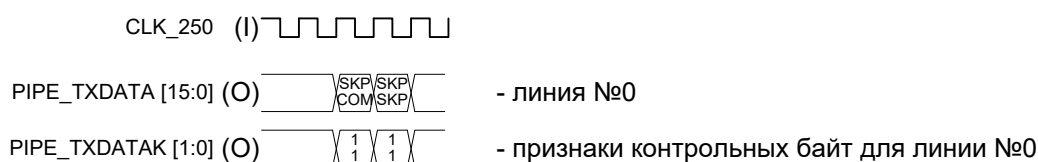


Рисунок 4.19 – Формат сообщения SKP

EIEOS_x-сообщение

EIE – контрольный символ – используется для улучшенного распознавания противоположным РНУ электрического включения линии и рекомендуется для работы на частоте 5 Гбит/с.

EIEOS_0-сообщения требуются для оповещения другого устройства о включении. Последовательность передается одновременно на каждую линию, генерируется при условии:

- МАС находится в режиме инициализации связи.

Формат сообщения EIEOS_0 приведен на рисунке 4.20.

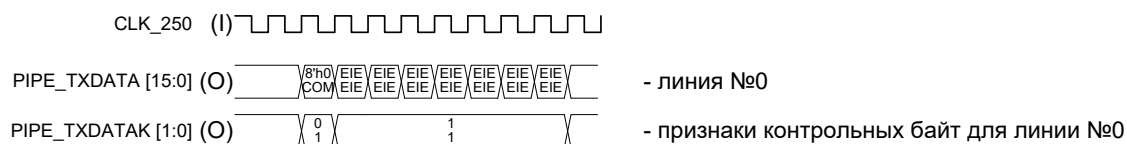


Рисунок 4.20 – Формат сообщения EIEOS_0

									Лист
									198
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

EIEOS_1-сообщения требуются для сообщения другому устройству о получении EIEOS_0. Последовательность передается одновременно на каждую линию, генерируется при условии:

- MAC находится в режиме инициализации связи;
- получение EIEOS_0.

При отправке восьми EIEOS_1 и получении хотя бы одного EIEOS_1 MAC переходит из режима инициализации в рабочий режим.

Формат сообщения EIEOS_1 приведен на рисунке 4.21.

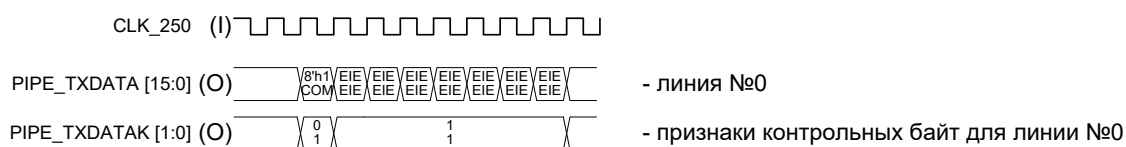


Рисунок 4.21 – Формат сообщения EIEOS_1

Ошибки при приеме

Ошибки при приеме пакета

Если пакет не принимается, все ошибки игнорируются.

Пакет начинает приниматься, если на выходе Deskewer найдено стартовое слово с ожидаемым идентификатором. Если сдвиг по линиям превышает максимальный, стартовое слово не будет найдено и пакет будет проигнорирован.

Прием пакета прерывается в следующих случаях:

- ошибка 8/10 в пределах пакета;
- контрольный символ в поле для данных;
- линия перешла в отключенное состояние;
- длина пакета больше максимальной;
- память приемника заполнена.

Прием пакета успешно заканчивается, если найдено конечное слово с требуемой контрольной суммой.

При любой ошибке во время приема пакета он будет проигнорирован. Все следующие за ним пакеты также не будут приняты, поскольку их идентификатор не совпадает с ожидаемым. АСК будет передавать один и тот же идентификатор. Через некоторое время передатчик заново пошлет все пакеты, начиная с первого неподтвержденного.

										Лист
										199
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Ошибка при приеме АСК

При обнаружении ошибки в сообщении АСК оно будет проигнорировано. Место в памяти передатчика не будет освобождено. В случае ее заполнения передатчик будет ожидать следующий АСК и не будет осуществлять повторную передачу. Следующие принятые АСК освободят место в памяти (или, если они будут нести одинаковый идентификатор, вызовут повторную передачу).

Прием АСК-сообщения прерывается в следующих случаях:

- дублированные параметры не совпадают;
- ошибка 8/10 в пределах сообщения;
- контрольный символ в поле для данных;
- неправильный формат (по контрольным символам);
- deskew-переполнение.

CRC_8

CRC_8 – блоки в составе передатчика и приемника. CRC-код генерируется с использованием следующих параметров: полином 0x31, начальное значение 0x00.

Временная диаграмма работы блока генерации CRC приведена на рисунке 4.22.

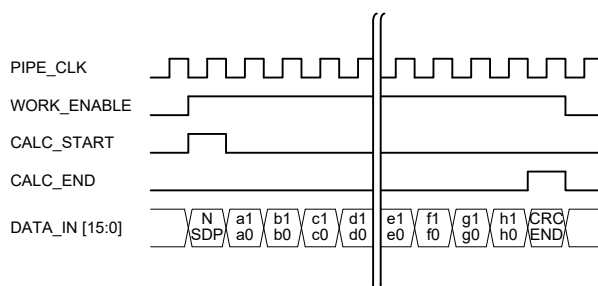


Рисунок 4.22 – Временная диаграмма работы блока генерации CRC

CRC-код генерируется в передатчике независимо для каждой линии для нового пакета. CRC-код генерируется в приемнике независимо для каждой линии для каждого получаемого пакета. При отличии рассчитанного значения от полученного с последним словом устанавливается ошибка CRC, пакет игнорируется. Структура блока генерации CRC приведена на рисунке 4.23.

										Лист
										200
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

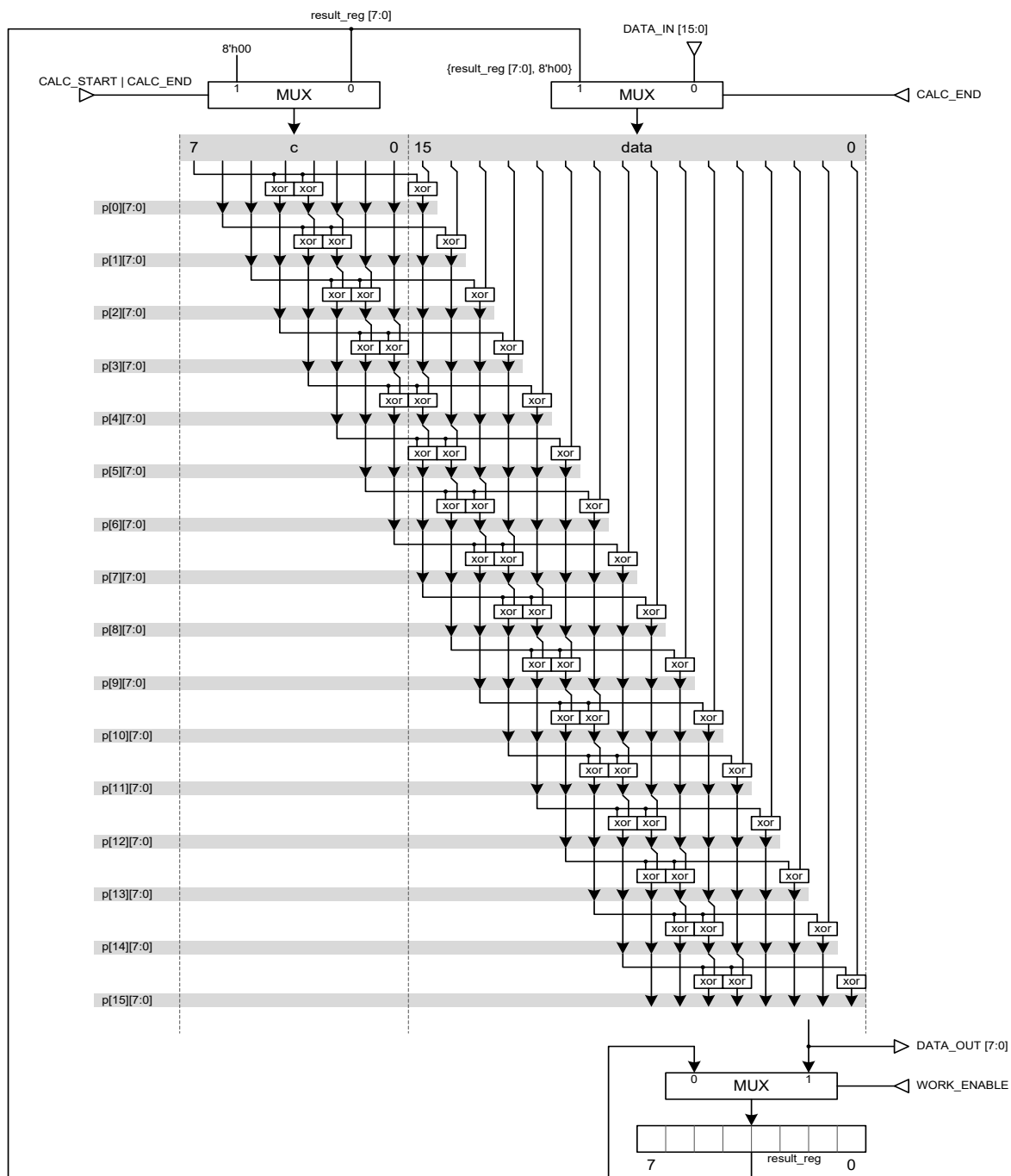


Рисунок 4.23 – Структура блока генерации CRC

Сброс протокола

Сброс протокола – установка всех регистров, отвечающих за поддержание протокола работы, в начальное состояние – стирание всех данных, содержащихся в памяти передатчика и приемника, обнуление идентификаторов принятых и отправленных пакетов.

					Лист
					201
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Условия, когда осуществляется сброс протокола:

- Программный запрос – установка поля protocol_rst в управляющем регистре, предусмотрен для исправления непредвиденных ошибок и зависаний схемы.
- Текущий режим – нерабочий. То есть, если в одной из микросхем был осуществлен сброс, смена режима питания или смена частоты, то находящиеся на этот момент в обеих МАС данные будут утеряны.

Таким образом при смене режима следует удостовериться в отсутствии передачи данных с обеих микросхем. Потеря передаваемых данных при сбросе противоположной микросхемы неизбежна, но это считается несущественным, поскольку целостность передачи все равно будет нарушена.

Блок Aligner

Aligner – блок в составе приемника.

Ширина принятых данных для одной линии составляет 2 байта – старший и младший. При приеме РНУ может поставить младший на место старшего, а старший на место младшего следующего слова. Для дальнейшей работы декодера сообщений байты должны быть выровнены. Этим занимается блок Aligner. Временная диаграмма работы блока Aligner приведена на рисунке 4.24.

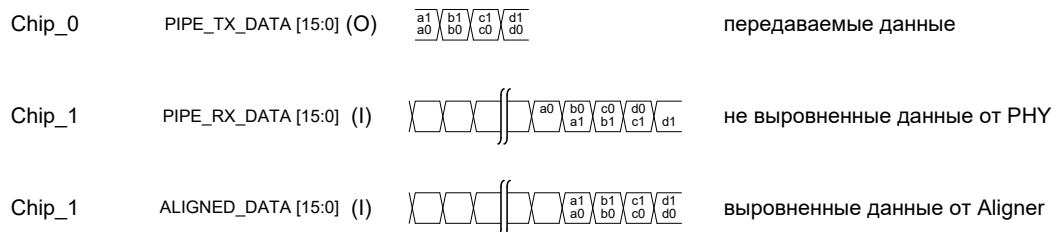


Рисунок 4.24 – Временная диаграмма работы блока Aligner

Выравнивание основано на поиске контрольных символов COM и STP. Они передаются постоянно и должны быть на позиции младшего байта.

										Лист
										202
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Блок DeSkewer

Deskewer – блок в составе приемника. После выравнивания (align) принятых данных, они могут быть сдвинуты друг относительно друга на разных линиях, как показано на рисунке 4.25. Этот сдвиг может составлять до 20 нс, то есть 2,5 или 5 тактов контроллера в зависимости от частоты работы. Примеры разбежки данных при передаче показаны на рисунке 4.25.

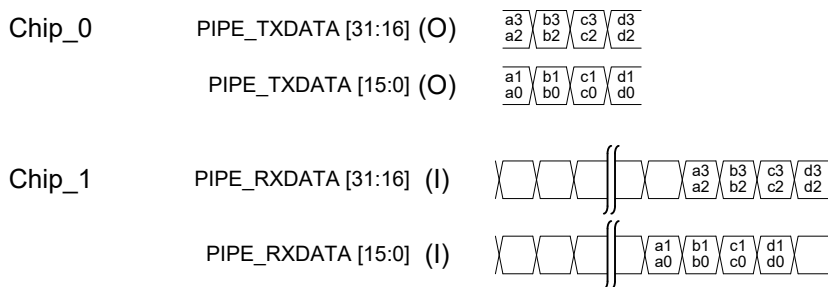


Рисунок 4.25 – Разбежка данных при передаче

Перед выдачей данных контроллеру ПДП они должны быть выровнены, сохранены в памяти приемника и проверены на ошибки. Выравнивание делается первым, поскольку это упрощает остальные действия с данными.

Для этого существует отдельный блок DeSkewer.

На каждой линии меткой для выравнивания служит символ начала пакета и ожидаемый идентификатор {SDP, N}. Если по некоторым линиям, но не по всем, пришла метка, то их последующие данные сохраняются в ожидании прихода метки на оставшиеся линии. Работа Deskewer продемонстрирована на рисунке 4.26.

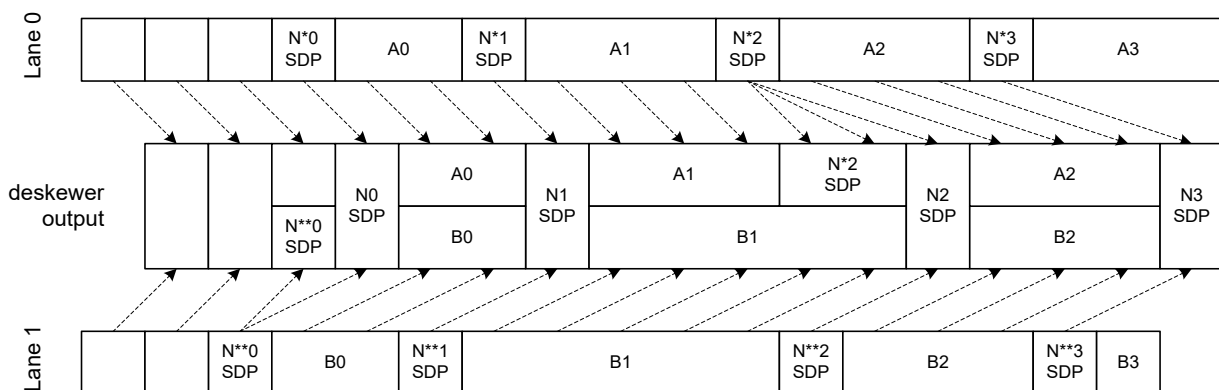


Рисунок 4.26 – Временная диаграмма работы блока DeSkewer

					Лист
					203
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Для сохранения данных в ожидании метки используются 4 регистровых файла размером 8x18.

RNU выдает также сигналы, по которым можно отследить некоторые ошибки – PIPE_RX_ELECIDLE и PIPE_RX_STATUS. Они не должны отставать или обгонять данные, поэтому тоже проходят через Deskewer и регистровые файлы. Поэтому регистровые файлы расширены до 8x20.

Работа Deskewer основана на заголовках входящих пакетов. При их отсутствии выравнивание не будет осуществляться. Поэтому сообщения ACK и EIEOS_x отслеживаются после Aligner, но до Deskewer независимо на каждой линии.

Типовые последовательности

На рисунке 4.27 показано формирование выходных данных (pipe_txdata) в соответствии с запрашиваемыми сообщениями.

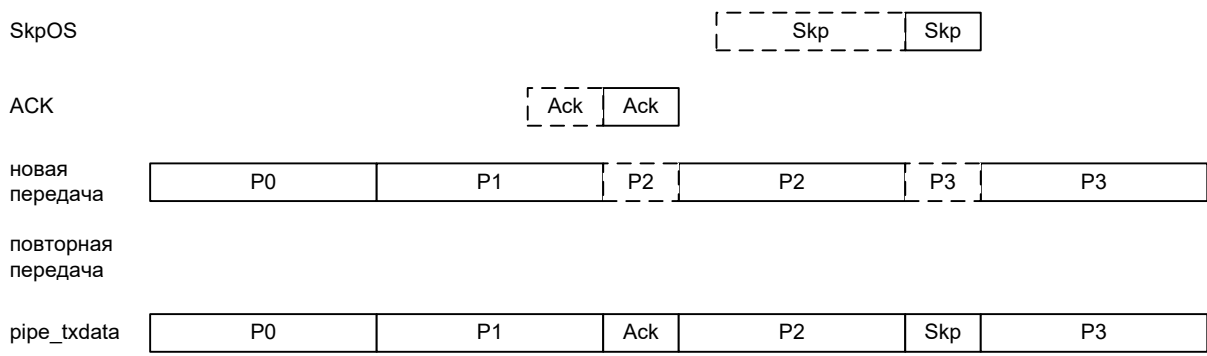


Рисунок 4.27 – Временная диаграмма работы передатчика

Штриховые зоны – сообщение запрошено, но не подтверждено.

Сплошные зоны – сообщение запрошено и подтверждено и именно оно посылается на линию передачи.

На рисунке 4.28 приведена упрощенная временная диаграмма передачи одного пакета (с опущенными сообщениями SkpOS от обеих микросхем и опущенными ACK от Chip_0).

											Лист
											204
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата						
31406-4	09.11.2020		31406-3								

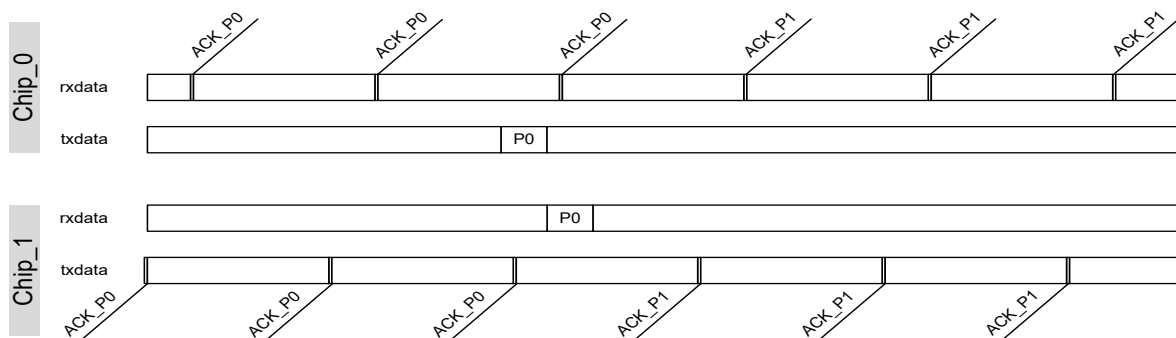


Рисунок 4.28 – Упрощенная временная диаграмма передачи одного пакета

На рисунке 4.29 приведена упрощенная временная диаграмма передачи новых пакетов от Chip_0 к Chip_1 и соответствующих им ACK-сообщений. Она приблизительно соответствует передаче пакетов максимальной длины и рекомендуемому периоду ACK.

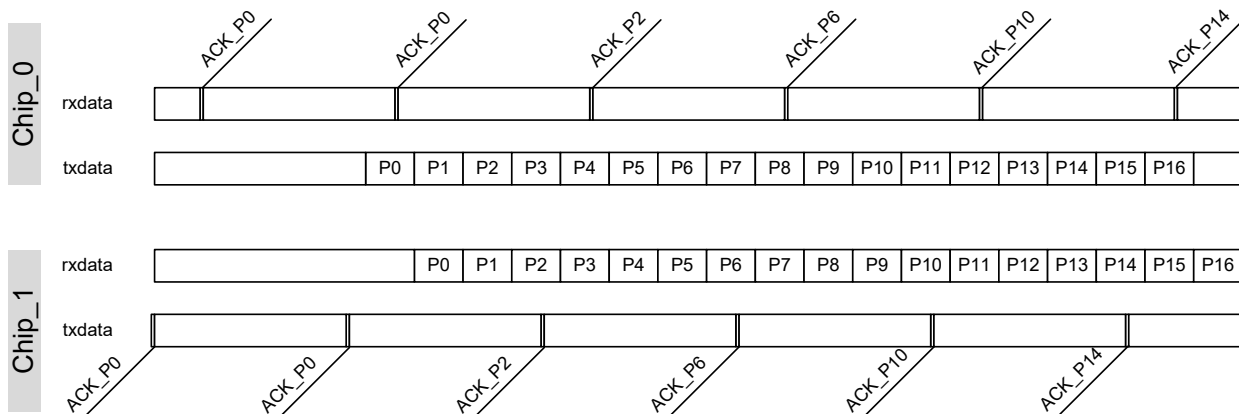


Рисунок 4.29 – Упрощенная временная диаграмма передачи пакетов

Примечание - ACK_Rx значит, что все данные до Rx успешно приняты

На рисунке 4.30 приведена временная диаграмма передачи пакетов от Chip_0 к Chip_1. Затененная область – ошибка в передаче пакета P2. Затененные пакеты – игнорируемые приемником Chip_1. После отправки P8 память в передатчике заполнится. После 3-го сообщения ACK_P2 начнется повторная передача (подчеркнутая), которая продолжается новыми пакетами.

					ЮФКВ.431282.020РЭ		Лист
							205
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

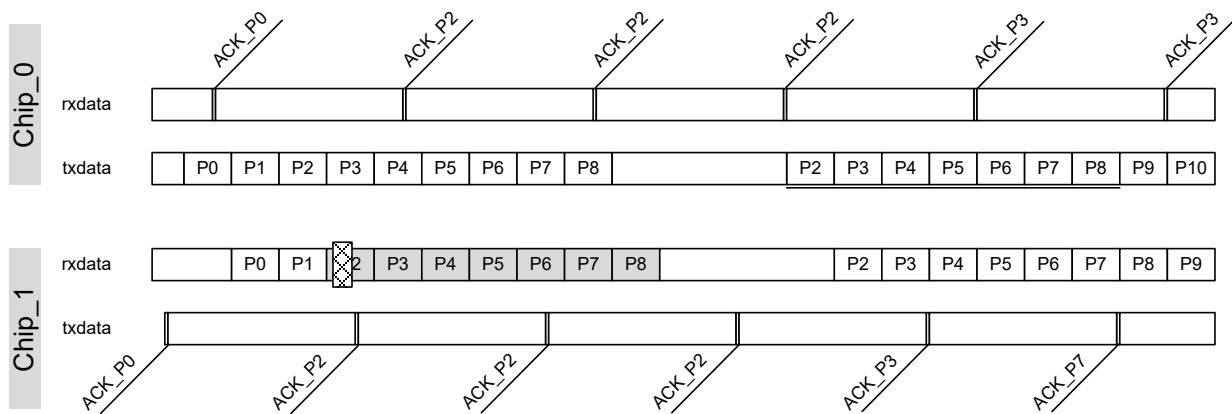


Рисунок 4.30 – Упрощенная временная диаграмма передачи пакетов с ошибкой

4.8.4 Пропускная способность

Каждый передатчик и приемник высокоскоростного линка может работать с максимальной символьной скоростью 5,0 Гбод. При этом частота передающего сигнала равна 2,5 ГГц.

В этом случае для четырех лейнов максимальная символьная скорость в одну сторону будет равна $5,0 * 4 = 20$ Гбод.

Для получения скорости передачи данных надо учесть:

- Потери на кодировании 8/10 – составляют 20 %
- Потери на протоколе передачи – составляют около 13 % (для случая безошибочной передачи большого пакета).
- Потери на передаче данных внутри микросхемы – зависят от загруженности интерконнекта.
- Потери на программной работе с интерфейсом.

Учитывая первые два фактора, можно получить максимальную теоретическую пропускную способность в одну сторону:

$$20 * 0,8 * 0,87 = 13,92 \text{ Гбит/с} = 1,74 \text{ Гбайт/с.}$$

										Лист
										206
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.9 Контроллер интерфейса с внешней динамической памятью EMI CPU

4.9.1 Общее описание контроллера

Микросхема имеет пять одинаковых подсистем оперативной (внешней динамической) памяти DDR3 (далее контроллер DDR3). Каждая подсистема имеет следующие характеристики:

- Тип поддерживаемой памяти – DDR3/DDR3L-1066/1333/1600 SDRAM;
- Максимальный объем памяти для одного контроллера DDR3 – 1 Гбайт;
- Разрядность внешней шины данных – 32 бита;
- Количество сигналов выбора микросхемы (chip select) – 1;
- Количество банков в микросхеме памяти – 8;
- Встроенный генератор напряжения питания VREF.

4.9.2 Структурная схема контроллера

Подсистема состоит из контроллера (DDR3-MC) и блока физического уровня (DDR3-PHY). На рисунке 4.31 показана структура и основные интерфейсы подсистемы.

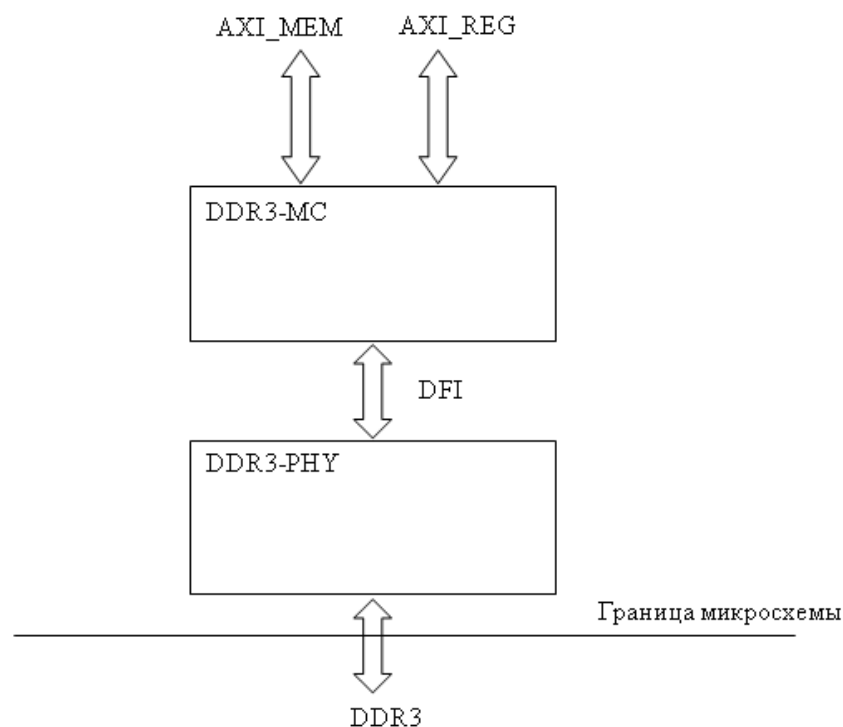


Рисунок 4.31 - Структурная схема контроллера оперативной памяти DDR3

									Лист
									207
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

AXI_MEM – 64-разрядный slave-интерфейс стандарта AXI3, используемый для доступа внутренних устройств СБИС к микросхемам внешней памяти DDR3.

AXI_REG – 32-разрядный slave-интерфейс стандарта AXI3, используемый для доступа к управляющим регистрам DDR3-MC и DDR3-PHY.

DFI – промежуточный интерфейс между контроллером и блоком физического уровня, имеет разрядность данных 128 бит.

DDR3 – внешний интерфейс для подключения микросхем памяти.

4.9.3 Принципы функционирования контроллера

Контроллер оперативной памяти DDR3 преобразует поступающие в него транзакции AXI в транзакции DDR3. Порядок исполнения AXI-транзакций может быть автоматически изменен в целях увеличения пропускной способности интерфейса. Зависимые друг от друга транзакции не будут переупорядочены. Переупорядочивание транзакций может быть программно отключено.

4.9.3.1 Режимы пониженного потребления

Контроллер оперативной памяти DDR3 поддерживает несколько энергосберегающих режимов работы. Их описание приведено в порядке возрастания экономии энергии.

- 1) Активный пониженный (Active Power-Down). Контроллер переводит внешнюю динамическую память в режим пониженного потребления, пока одна из строк активна. В этом режиме и контроллер, и память полностью работоспособны, но сигнал СКЕ снят. При этом память входит в активный или закрытый режим пониженного потребления в зависимости от наличия открытых строк. Если параметр LOWPOWER_REFRESH_ENABLE снят, то, находясь в текущем режиме, контроллер будет продолжать переводить память в состояние регенерации. При этом сигнал СКЕ будет устанавливаться на период регенерации. Регенерация включает в себя команду закрытия (PRECHARGE ALL) всех банков, поэтому по ее окончании память войдет в закрытый режим, а сигнал СКЕ снимется снова.
- 2) Активный пониженный с отключением синхросигнала памяти (Active Power-Down With Memory Clock Gating). Данный режим представляет собой активный пониженный, дополненный отключением тактового сигнала. При регенерации синхросигнал CK0 будет подключен до установки СКЕ. Отключение тактового сигнала не стандартизовано и может не поддерживаться некоторыми SDRAM.
- 3) Закрытый пониженный (Precharge Power-Down). Контроллер переводит внешнюю динамическую память в режим пониженного потребления, если все банки не используются. Если хотя бы одна строка активна, то перед входом в режим контроллер закрывает все банки (PRECHARGE ALL). Если параметр LOWPOWER_REFRESH_ENABLE снят, то, находясь в текущем режиме, контроллер будет продолжать переводить память в состояние регенерации.

										Лист
										208
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

При этом сигнал СКЕ будет устанавливаться на период регенерации. По окончании регенерации сигнал СКЕ снимется снова.

- 4) **Закрытый пониженный с отключением синхросигнала памяти (Precharge Power-Down With Memory Clock Gating).** Данный режим представляет собой закрытый пониженный, дополненный отключением тактового сигнала. При регенерации синхросигнал СК0 будет подключен до установки СКЕ. Отключение тактового сигнала не стандартизовано и может не поддерживаться некоторыми SDRAM.
- 5) **Собственная регенерация (Self-Refresh).** Контроллер переводит внешнюю динамическую память в режим собственной регенерации. При этом тактовые сигналы контроллера и памяти включены, сигнал СКЕ снят. В данном режиме память регенерирует самостоятельно.
- 6) **Собственная регенерация с отключением синхросигнала памяти (Self-Refresh With Memory Clock Gating).** Контроллер переводит внешнюю динамическую память в режим собственной регенерации, отключает тактовый сигнал СК0. При выходе из этого состояния тактовый сигнал будет подан снова.
- 7) **Собственная регенерация с отключением синхросигнала памяти и контроллера (Self-Refresh With Memory And Controller Clock Gating).** Режим с наименьшим потреблением энергии. Контроллер переводит внешнюю динамическую память в режим собственной регенерации, отключает тактовый сигнал СК0, а также собственный тактовый сигнал. При выходе из этого режима все тактовые сигналы будут подключены снова. Если автоматический выход из этого состояния разрешен, то новая запись или чтение выведут память в активное состояние. В этот режим нельзя входить во время записи или чтения данных. Необходимо предварительно убедиться, что контроллер не выполняет никаких команд, посредством чтения параметра CONTROLLER_BUSY.

Есть два способа переключения между режимами питания – программный и автоматический. Автоматический вход в любой режим пониженного потребления основан на отслеживании отсутствия передачи данных. Выбор между ними осуществляется схемой арбитража. Программное управление имеет больший приоритет, чем автоматическое. Параметр LP_ARB_STATE показывает используемый способ.

В программном способе используется параметр LP_CMD для входа и выхода из любого режима. Результат можно наблюдать в регистрах LP_ARB_STATE и LP_STATE. Запрос на переход в более глубокий режим экономии выполняется. Запрос на переход в менее глубокий режим (за исключением выхода в рабочий режим) игнорируется. Программный способ имеет возможность блокировки схемы арбитража посредством записи [7] бита LOCK в параметре LP_CMD. Это дает уверенность, что между чтением режима и командой программного изменения он не будет изменен автоматически.

Контроллер DDR3 поддерживает автоматический вход в любой режим пониженного потребления, основанный на программируемых параметрах и отслеживании отсутствия передачи данных. Для каждого режима есть свой счетчик, начинающий работу при

					Лист
ЮФКВ.431282.020РЭ					209
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 4.19 – Программно доступные регистры контроллера DDR3

Название регистра	Адрес (байтовый доступ)	Тип доступа	Описание
DENALI_CTL_00	0x000	ЧТ ЧТ/3П ЧТ/3П	VERSION DRAM_CLASS START
DENALI_CTL_01	0x004	ЧТ ЧТ ЧТ ЧТ	READ_DATA_FIFO_DEPTH MAX_CS_REG MAX_COL_REG MAX_ROW_REG
DENALI_CTL_02	0x008	ЧТ ЧТ ЧТ ЧТ	MEMCD_RMODW_FIFO_DEPTH WRITE_DATA_FIFO_PTR_WIDTH WRITE_DATA_FIFO_DEPTH READ_DATA_FIFO_PTR_WIDTH
DENALI_CTL_03	0x00C	ЧТ ЧТ ЧТ ЧТ	AXI0_RDFIFO_LOG2_DEPTH AXI0_CMDFIFO_LOG2_DEPTH ASYNC_CDC_STAGES MEMCD_RMODW_FIFO_PTR_WIDTH
DENALI_CTL_04	0x010	ЧТ ЧТ	AXI0_WRCMD_PROC_FIFO_LOG2_DEPTH AXI0_WRFIFO_LOG2_DEPTH
DENALI_CTL_05	0x014	ЧТ/3П	TINIT
DENALI_CTL_06	0x018	ЧТ/3П	TRST_PWRON
DENALI_CTL_07	0x01C	ЧТ/3П	CKE_INACTIVE
DENALI_CTL_08	0x020	ЧТ/3П ЧТ/3П ЧТ/3П ЧТ/3П	TBST_INT_INTERVAL ADDITIVE_LAT WRLAT CASLAT_LIN
DENALI_CTL_09	0x024	ЧТ/3П ЧТ/3П ЧТ/3П ЧТ/3П	TRAS_MIN TRC TRRD TCCD
DENALI_CTL_10	0x028	ЧТ/3П ЧТ/3П ЧТ/3П ЧТ/3П	TRTP TFAW TRP TWTR
DENALI_CTL_11	0x02C	ЧТ/3П ЧТ/3П	TMOD TMRD
DENALI_CTL_12	0x030	ЧТ/3П ЧТ/3П	TCKE TRAS_MAX
DENALI_CTL_13	0x034	ЧТ/3П ЧТ/3П ЧТ/3П ЧТ/3П	TWR TRCD WRITEINTERP TCKESR
DENALI_CTL_14	0x038	ЧТ/3П ЧТ/3П ЧТ/3П ЧТ/3П	TDAL TRAS_LOCKOUT CONCURRENTAP AP
DENALI_CTL_15	0x03C	3П ЧТ/3П ЧТ/3П ЧТ/3П	OPTIMAL_RMODW_EN REG_DIMM_ENABLE TRP_AB BSTLEN ²⁾
DENALI_CTL_16	0x040	ЧТ ЧТ/3П ЧТ ЧТ	RESERVED AREFRESH RESERVED RESERVED

										Лист
										211
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 4.19

Название регистра	Адрес (байтовый доступ)	Тип доступа	Описание
DENALI_CTL_17	0x044	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	TRFC TREF_ENABLE RESERVED
DENALI_CTL_18	0x048	ЧТ/ЗП	TREF
DENALI_CTL_19	0x04C	ЧТ/ЗП ЧТ/ЗП	TXPDLL TPDEX
DENALI_CTL_20	0x050	ЧТ/ЗП ЧТ/ЗП	TXSNR TXSR
DENALI_CTL_21	0x054	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	CKE_DELAY ENABLE_QUICK_SREFRESH RESERVED PWRUP_SREFRESH_EXIT
DENALI_CTL_22	0x058	ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	LP_CMD CKSRX CKSRE LOWPOWER_REFRESH_ENABLE
DENALI_CTL_23	0x05C	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	LPI_TIMER_WAKEUP LPI_SR_MCCLK_GATE_WAKEUP LPI_SR_WAKEUP LPI_PD_WAKEUP
DENALI_CTL_24	0x060	ЧТ/ЗП ЧТ/ЗП	LPI_TIMER_COUNT LPI_WAKEUP_EN
DENALI_CTL_25	0x064	ЧТ ЧТ/ЗП ЧТ/ЗП	LP_STATE TDFI_LP_RESP LPI_WAKEUP_TIMEOUT
DENALI_CTL_26	0x068	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ	LP_AUTO_MEM_GATE_EN LP_AUTO_EXIT_EN LP_AUTO_ENTRY_EN LP_ARB_STATE
DENALI_CTL_27	0x06C	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	LP_AUTO_SR_MC_GATE_IDLE LP_AUTO_SR_IDLE LP_AUTO_PD_IDLE
DENALI_CTL_28	0x070	ЧТ/ЗП	RESERVED
DENALI_CTL_29	0x074	ЧТ/ЗП	WRITE_MODEREG ¹⁾
DENALI_CTL_30	0x078	ЧТ/ЗП ЧТ	MR0_DATA_0 MRW_STATUS
DENALI_CTL_31	0x07C	ЧТ/ЗП ЧТ/ЗП	MR2_DATA_0 MR1_DATA_0
DENALI_CTL_32	0x080	ЧТ/ЗП ЧТ/ЗП	MR3_DATA_0 MRSINGLE_DATA_0
DENALI_CTL_33	0x084	ЧТ/ЗП ЧТ/ЗП	ZQINIT ²⁾ LONG_COUNT_MASK
DENALI_CTL_34	0x088	ЧТ/ЗП ЧТ/ЗП	ZQCS ZQCL
DENALI_CTL_35	0x08C	ЧТ/ЗП ЗП	ZQ_ON_SREF_EXIT ZQ_REQ
DENALI_CTL_36	0x090	ЧТ/ЗП	ZQ_INTERVAL
DENALI_CTL_37	0x094	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ	COL_DIFF ROW_DIFF RESERVED ZQ_IN_PROGRESS

										Лист
										212
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 4.19

Название регистра	Адрес (байтовый доступ)	Тип доступа	Описание
DENALI_CTL_38	0x098	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	AGE_COUNT APREBIT ²⁾ BANK_ADDR_INTLV_EN BANK_START BIT
DENALI_CTL_39	0x09C	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	BANK_SPLIT_EN RESERVED ADDR_CMP_EN COMMAND AGE COUNT
DENALI_CTL_40	0x0A0	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	RW_SAME_PAGE_EN RW_SAME_EN PRIORITY_EN PLACEMENT EN
DENALI_CTL_41	0x0A4	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	DISABLE_RD_INTERLEAVE SWAP_EN NUM_Q_ENTRIES_ACT_DISABLE DISABLE_RW_GRP_W_BNK_CONFLICT
DENALI_CTL_42	0x0A8	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	Q_FULLNESS REDUC BURST_ON_FLY_BIT INHIBIT_DRAM_CMD
DENALI_CTL_43	0x0AC	ЧТ/ЗП ЗП ЧТ ЧТ/ЗП	CTRLUPD_REQ_PER_AREF_EN CTRLUPD_REQ CONTROLLER_BUSY IN_ORDER_ACCEPT
DENALI_CTL_44	0x0B0	ЧТ ЧТ	DFI_ERROR_INFO DFI_ERROR
DENALI_CTL_45	0x0B4	ЧТ ЧТ/ЗП	INT_STATUS RESERVED ¹⁾
DENALI_CTL_46	0x0B8	ЗП	INT_ACK
DENALI_CTL_47	0x0BC	ЧТ/ЗП	INT_MASK
DENALI_CTL_48	0x0C0	ЧТ	OUT OF RANGE ADDR
DENALI_CTL_49	0x0C4	ЧТ ЧТ ЧТ	OUT OF RANGE_SOURCE_ID OUT_OF_RANGE_TYPE OUT OF RANGE_LENGTH
DENALI_CTL_50	0x0C8	ЧТ	PORT_CMD_ERROR_ADDR
DENALI_CTL_51	0x0CC	ЧТ/ЗП ЧТ ЧТ	TODTL_2CMD PORT_CMD_ERROR_TYPE PORT_CMD_ERROR_ID
DENALI_CTL_52	0x0D0	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	R2R_SAMECS_DLY RESERVED ODT_EN TODTH WR
DENALI_CTL_53	0x0D4	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	SW_LEVENING_MODE W2W_SAMECS_DLY W2R_SAMECS_DLY R2W_SAMECS_DLY ²⁾

										Лист
										213
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 4.19

Название регистра	Адрес (байтовый доступ)	Тип доступа	Описание
DENALI_CTL_66	0x108	ЧТ/ЗП ЧТ/ЗП	TDFI_CTRLUPD_MAX TDFI_CTRLUPD_MIN
DENALI_CTL_67	0x10C	ЧТ/ЗП ЧТ/ЗП	TDFI_PHYUPD_TYPE1 TDFI_PHYUPD_TYPE0
DENALI_CTL_68	0x110	ЧТ/ЗП ЧТ/ЗП	TDFI_PHYUPD_TYPE3 TDFI_PHYUPD_TYPE2
DENALI_CTL_69	0x114	ЧТ/ЗП	TDFI_PHYUPD_RESP
DENALI_CTL_70	0x118	ЧТ/ЗП	TDFI_CTRLUPD_INTERVAL
DENALI_CTL_71	0x11C	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	TDFI_DRAM_CLK_DISABLE TDFI_CTRL_DELAY ²⁾ WRLAT_ADJ RDLAT_ADJ
DENALI_CTL_72	0x120	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	TDFI_WRLVL_WW TDFI_WRLVL_EN TDFI_DRAM_CLK_ENABLE
DENALI_CTL_73	0x124	ЧТ/ЗП	TDFI_WRLVL_RESP
DENALI_CTL_74	0x128	ЧТ/ЗП	TDFI_WRLVL_MAX
DENALI_CTL_75	0x12C	ЧТ/ЗП ЧТ/ЗП	TDFI_RDLVL_RR TDFI_RDLVL_EN
DENALI_CTL_76	0x130	ЧТ/ЗП	TDFI_RDLVL_RESP
DENALI_CTL_77	0x134	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	RDLVL_GATE_EN RDLVL_EN RDLVL_RESP_MASK
DENALI_CTL_78	0x138	ЧТ/ЗП	TDFI_RDLVL_MAX
DENALI_CTL_79	0x13C	ЧТ/ЗП ЧТ	RDLVL_INTERVAL RDLVL_ERROR_STATUS
DENALI_CTL_80	0x140	ЧТ/ЗП ЧТ/ЗП ЧТ/ЗП	TDFI_RDCSLAT TDFI_PHY_WRDATA TDFI_GATE_INTERVAL
DENALI_CTL_81	0x144	ЧТ/ЗП	TDFI_WRCSLAT

¹⁾ Эти параметры могут быть считаны или записаны программно, но также могут быть изменены внутренней логикой.

²⁾ Эти параметры будут установлены в 0x0 по системному сбросу, но будут изменены на ненулевые значения в следующем после системного сброса такте.

										Лист
										215
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_03

Описание полей регистра DENALI_CTL_03 приведено в таблице 4.23.

Таблица 4.23 – Описание полей регистра DENALI_CTL_03

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
AXI0_RDFIFO_LOG2_DEPTH	31:24	0x00	0x0-0xff	Показывает глубину FIFO чтения данных порта AXI 0. Значение является log2 глубины. Только для чтения.
AXI0_CMDFIFO_LOG2_DEPTH	23:16	0x00	0x0-0xff	Показывает глубину FIFO команд порта AXI 0. Значение является log2 глубины. Только для чтения.
ASYNC_CDC_STATUSES	15:8	0x00	0x0-0xff	Показывает число задержек синхронизатора, определенных для асинхронного пересечения границ. Только для чтения.
MEMCD_RMODW_FIFO_PTR_WIDTH	7:0	0x00	0x0-0xff	Показывает ширину read-modify-write FIFO ядра контроллера. Только для чтения.

Регистр DENALI_CTL_04

Описание полей регистра DENALI_CTL_04 приведено в таблице 4.24.

Таблица 4.24 – Описание полей регистра DENALI_CTL_04

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
AXI0_WRCMD_PROC_FIFO_LOG2_DEPTH	15:8	0x00	0x0-0xff	Показывает глубину FIFO команд записи порта AXI 0. Значение является log2 глубины. Только для чтения.
AXI0_WRFIFO_LOG2_DEPTH	7:0	0x00	0x0-0xff	Показывает глубину FIFO записи данных порта AXI 0. Значение является log2 глубины. Только для чтения.

Регистр DENALI_CTL_05

Описание полей регистра DENALI_CTL_05 приведено в таблице 4.25.

Таблица 4.25 – Описание полей регистра DENALI_CTL_05

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TINIT	31:8	0x000000	0x0-0xffffffff	Время инициализации DRAM в тактах.

Регистр DENALI_CTL_06

Описание полей регистра DENALI_CTL_06 приведено в таблице 4.26.

Таблица 4.26 – Описание полей регистра DENALI_CTL_06

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TRST_PWRON	31:0	0x00000000	0x0-0xffffffff	Продолжительность сброса памяти во время инициализации при включении питания.

										Лист
										217
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_07

Описание полей регистра DENALI_CTL_07 приведено в таблице 4.27.

Таблица 4.27 – Описание полей регистра DENALI_CTL_07

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
CKE_INACTIVE	31:0	0x00000000	0x0-0xffffffff	Задержка в тактах между снятием сброса и подачей активного сигнала CKE.

Регистр DENALI_CTL_08

Описание полей регистра DENALI_CTL_08 приведено в таблице 4.29.

Таблица 4.28 – Описание полей регистра DENALI_CTL_08

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:27	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TBST_INT_INTERVAL	26:24	0x0	0x1-0x7	Максимальное время в тактах, после которого берст прервётся.
RESERVED	23:21	-	0x0-0x7	Зарезервировано для дальнейшего использования.
ADDITIVE_LAT	20:16	0x00	0x0-0x1f	Суммарная задержка в тактах при работе с DRAM
RESERVED	15:11	-	0x0-0xf	Зарезервировано для дальнейшего использования.
WRLAT	12:8	0x00	0x0-0x1f	Значение WRLAT в тактах.
RESERVED	7:6	-	0x0-0x3	Зарезервировано для дальнейшего использования.
CASLAT_LIN	5:0	0x00	0x0-0x3f	Устанавливает задержку в тактах от отправки команды чтения до получения данных из/в контроллер. Бит (0) - это инкремент на полтакта и старшие биты определяют CAS задержку для контроллера.

Регистр DENALI_CTL_09

Описание полей регистра DENALI_CTL_09 приведено в таблице 4.29.

Таблица 4.29 – Описание полей регистра DENALI_CTL_09

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TRAS_MIN	31:24	0x00	0x0-0xff	Значение TRAS_MIN в тактах.
TRC	23:16	0x00	0x0-0xff	Значение TRC в тактах.
TRRD	15:8	0x00	0x0-0xff	Значение TRRD в тактах.
RESERVED	7:5	-	0x0-0x7	Зарезервировано для дальнейшего использования.
TCCD	4:0	0x00	0x0-0x1f	Задержка в циклах между двумя активными сигналами CAS.

					Лист
					218
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_10

Описание полей регистра DENALI_CTL_10 приведено в таблице 4.30.

Таблица 4.30 – Описание полей регистра DENALI_CTL_10

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TRTP	31:24	0x00	0x0-0xff	Значение TRTP в тактах.
TFAW	23:16	0x00	0x0-0xff	Значение TFAW в тактах.
TRP	15:8	0x00	0x0-0xff	Значение TRP в тактах.
RESERVED	7:6	-	0x0-0x3	Зарезервировано для дальнейшего использования.
TWTR	5:0	0x00	0x0-0x3f	Значение TWTR в тактах.

Регистр DENALI_CTL_11

Описание полей регистра DENALI_CTL_11 приведено в таблице 4.31.

Таблица 4.31 – Описание полей регистра DENALI_CTL_11

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:16	-	0x0-0xffff	Зарезервировано для дальнейшего использования.
TMOD	15:8	0x00	0x0-0xff	Число тактов после MRS команды и перед любой другой командой.
TMRD	7:0	0x00	0x0-0xff	Значение TMRD в тактах.

Регистр DENALI_CTL_12

Описание полей регистра DENALI_CTL_12 приведено в таблице 4.32.

Таблица 4.32 – Описание полей регистра DENALI_CTL_12

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:27	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TCKE	26:24	0x0	0x0-0x7	Минимальная ширина полки СКЕ.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
TRAS_MAX	16:0	0x00000	0x0-0x1ffff	Значение TRAS_MAX в тактах.

									Лист
									219
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр DENALI_CTL_13

Описание полей регистра DENALI_CTL_13 приведено в таблице 4.33.

Таблица 4.33 – Описание полей регистра DENALI_CTL_13

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TWR	29:24	0x00	0x0-0x3f	Значение TWR в тактах.
TRCD	23:16	0x00	0x0-0xff	Значение TRCD в тактах.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRITEINTERP	8	0x0	0x0-0x1	Разрешает контроллеру прерывать берстовую запись командой чтения. Установить в 1 для разрешения прерывания.
TCKESR	7:0	0x00	0x0-0xff	Минимальная ширина полки СКЕ в режиме self-refresh.

Регистр DENALI_CTL_14

Описание полей регистра DENALI_CTL_14 приведено в таблице 4.34.

Таблица 4.34 – Описание полей регистра DENALI_CTL_14

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDAL	31:24	0x00	0x0-0xff	Значение TDAL в тактах.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
TRAS_LOCKOUT	16	0x0	0x0-0x1	Разрешает контроллеру выполнять команды auto pre-charge до окончания параметра TRAS_MIN. Установить в 1 для разрешения.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
CONCURRENTAP	8	0x0	0x0-0x1	Разрешает контроллеру выдавать команды другим банкам, пока банк в состоянии auto pre-charge. Установить в 1 для разрешения.
AP	7:0	0x00	0x0-0xff	Разрешение режима auto pre-charge контроллера. Установить в 1 для разрешения.

										Лист
										220
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_15

Описание полей регистра DENALI_CTL_15 приведено в таблице 4.35.

Таблица 4.35 – Описание полей регистра DENALI_CTL_15

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
OPTIMAL_RMODWEN	24	0x0	0x0-0x1	Разрешение оптимизации read-modify-write команд.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
REG_DIMM_ENABLE	16	0x0	0x0-0x1	Разрешение конвейерных DIMM операций контроллера. Установить в 1 для разрешения.
TRP_AB	15:8	0x00	0x0-0xff	Значение TRP_AB в тактах для всех банков памяти.
RESERVED	7:3	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
BSTLEN	2:0	0x2	0x0-0x7	Закодированная длина берста, отправляемого в микросхемы DRAM во время инициализации. Установить в 1 для BL2, в 2 для BL4, в 3 для BL8.

Регистр DENALI_CTL_16

Описание полей регистра DENALI_CTL_16 приведено в таблице 4.36.

Таблица 4.36 – Описание полей регистра DENALI_CTL_16

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
AREFRESH	24	0x0	0x0-0x1	Иницирует auto pre-charge в конце границы текущего берста. Установить в 1 для запуска. Только для записи.
RESERVED	23:0	-	0x0-0xffffffff	Зарезервировано для дальнейшего использования.

Регистр DENALI_CTL_17

Описание полей регистра DENALI_CTL_17 приведено в таблице 4.37.

Таблица 4.37 – Описание полей регистра DENALI_CTL_17

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TRFC	17:8	0x000	0x0-0x3ff	Значение TRFC в тактах.
TREF_ENABLE	0	0x0	0x0-0x1	Выдача команд auto pre-charge в микросхемы DRAM на интервале, определенном TREF параметром. Установить в 1 для разрешения.

					Лист
					221
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_18

Описание полей регистра DENALI_CTL_18 приведено в таблице 4.38.

Таблица 4.38 – Описание полей регистра DENALI_CTL_18

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:14	-	0x0-0x3ffff	Зарезервировано для дальнейшего использования.
TREF	13:0	0x0000	0x0-0x3fff	Значение TREF в тактах.

Регистр DENALI_CTL_19

Описание полей регистра DENALI_CTL_19 приведено в таблице 4.39.

Таблица 4.39 – Описание полей регистра DENALI_CTL_19

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TXPDLL	31:16	0x0000	0x0-0xffff	Значение TXPDLL в тактах.
TPDEX	15:0	0x0000	0x0-0xffff	Значение TPDEX в тактах.

Регистр DENALI_CTL_20

Описание полей регистра DENALI_CTL_20 приведено в таблице 4.40.

Таблица 4.40 – Описание полей регистра DENALI_CTL_20

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TXSNR	31:16	0x0000	0x0-0xffff	Значение TXSNR в тактах.
TXSR	15:0	0x0000	0x0-0xffff	Значение TXSR в тактах.

										Лист
										222
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

Регистр DENALI_CTL_21

Описание полей регистра DENALI_CTL_21 приведено в таблице 4.41.

Таблица 4.41 – Описание полей регистра DENALI_CTL_21

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:27	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
CKE_DELAY	26:24	0x0	0x0-0x7	Дополнительные такты задержки CKE для отчета состояния.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
ENABLE_QUICK_SREFRESH	16	0x0	0x0-0x1	Разрешение пользователю прерывать инициализацию памяти для входа в режим self-refresh. Установить в 1 для разрешения прерывания.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RESERVED	8	-	0x0-0x1	Зарезервировано для дальнейшего использования. См. конфигурационные файлы для начального программирования
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
PWRUP_SREFRESH_EXIT	0	0x0	0x0-0x1	Разрешение войти в режим self-refresh вместо полной инициализации памяти при включении питания. Установить в 1 для разрешения.

Регистр DENALI_CTL_22

Описание полей регистра DENALI_CTL_22 приведено в таблице 4.42.

Таблица 4.42 – Описание полей регистра DENALI_CTL_22

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
LP_CMD	31:24	0x00	0x0-0xff	Интерфейс программных запросов команд управления питанием. Бит (0) контролирует выход, бит (1) – вход, биты (4:2) определяют состояние питания, бит (5) контролирует отключение синхросигнала памяти, бит (6) – отключение синхросигнала контроллера, бит (7) – блокировку. Только запись.
CKSRX	23:16	0x00	0x0-0xff	Задержка стабилизации синхросигнала при выходе из режима self-refresh.
CKSRE	15:8	0x00	0x0-0xff	Удержание тактового сигнала при входе в режим self-refresh.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
LOWPOWER_REFRESH_ENABLE	0	0x0	0x0-0x1	Разрешение регенерации памяти в режиме пониженного потребления. Бит (0) контролирует cs0, бит (1) - cs1 и т.д. Установите каждый бит в 1 для запрета.

					Лист
					223
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_23

Описание полей регистра DENALI_CTL_23 приведено в таблице 4.43.

Таблица 4.43 – Описание полей регистра DENALI_CTL_23

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:28	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LPI_TIMER_WAKEUP	27:24	0x0	0x0-0xf	Определяет значение временного параметра LP_WAKEUP, когда таймер интерфейса управления питанием досчитает до 0.
RESERVED	23:20	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LPI_SR_MCCLK_GATE_WAKEUP	19:16	0x0	0x0-0xf	Определяет значение временного параметра LP_WAKEUP, когда память в режиме self-refresh и у контроллера отключён тактовый сигнал.
RESERVED	15:12	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LPI_SR_WAKEUP	11:8	0x0	0x0-0xf	Определяет значение временного параметра LP_WAKEUP, когда память в режиме self-refresh.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LPI_PD_WAKEUP	3:0	0x0	0x0-0xf	Определяет значение временного параметра LP_WAKEUP, когда память в режиме power-down.

Регистр DENALI_CTL_24

Описание полей регистра DENALI_CTL_24 приведено в таблице 4.44.

Таблица 4.44 – Описание полей регистра DENALI_CTL_24

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	32:20	-	0x0-0x1fff	Зарезервировано для дальнейшего использования.
LPI_TIMER_COUNT	19:8	0x000	0x0-0xffff	Задаёт интервал счёта для таймера интерфейса управления питанием
RESERVED	7:5	-	0x0-0x7	Зарезервировано для дальнейшего использования.
LPI_WAKEUP_EN	4:0	0x00	0x0-0x1f	Разрешает выход из состояния малого потребления. Бит (0) разрешает выход из состояния power-down, бит (1) – из состояния self-refresh, бит (2) – из состояния self-refresh с отключённым тактовым сигналом контроллера, бит (3) – резерв, бит (4) – разрешает работу таймеру интерфейса управления питанием. Установите каждый бит в 1 для разрешения.

					Лист
					224
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_25

Описание полей регистра DENALI_CTL_25 приведено в таблице 4.45.

Таблица 4.45 – Описание полей регистра DENALI_CTL_25

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0x3	Зарезервировано для дальнейшего использования.
LP_STATE	29:24	0x20	0x0-0x3f	Состояние параметров управления питанием. Биты (4:0) показывают текущее состояние питания. Бит (5) показывает, что биты статуса актуальны. Только чтение.
RESERVED	23:19	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
TDFI_LP_RESP	18:16	0x0	0x0-0x7	Определяет значение временного параметра LP_RESP – максимальное число тактов между выставлением запроса и выдачей подтверждения по интерфейсу управления питанием.
RESERVED	15:12	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LPI_WAKEUP_TIMEOUT	11:0	0x000	0x0-0xffff	Задаёт максимальное число тактов между снятием запроса и снятием подтверждения по интерфейсу управления питанием.

										Лист
										225
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_26

Описание полей регистра DENALI_CTL_26 приведено в таблице 4.46.

Таблица 4.46 – Описание полей регистра DENALI_CTL_26

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:26	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
LP_AUTO_MEM_GATE_EN	25:24	0x0	0x0-0x3	Разрешение отключения синхросигнала памяти при входе в энергосберегающий режим через автосчетчики. Бит (0) контролирует отключение питания, бит (1) – режим self-refresh. Установить каждый бит в 1 для разрешения.
RESERVED	23:19	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
LP_AUTO_EXIT_EN	18:16	0x0	0x0-0x7	Разрешение автоматического выхода из любого состояния энергосбережения при поступлении в очередь команд команды записи или чтения. Бит (0) контролирует отключение питания, бит (1) – режим self-refresh, бит (2) – режим self-refresh с отключением синхросигнала памяти и контроллера. Установить каждый бит в 1 для разрешения.
RESERVED	15:11	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
LP_AUTO_ENTRY_EN	10:8	0x0	0x0-0x7	Разрешение автоматического входа в любое состояние энергосбережения по таймеру неактивных действий. Бит (0) контролирует отключение питания, бит (1) – режим self-refresh, бит (2) – режим self-refresh с отключением синхросигнала памяти и контроллера. Установить каждый бит в 1 для разрешения.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LP_ARB_STATE	3:0	0x0	0x0-0xf	Отчет о состоянии арбитра. Биты (2:0) показывают какой интерфейс управляет модулем контроля питания. Бит (3) показывает, блокирует ли программный интерфейс арбитра. Для битов (2:0): значение 0 показывает, что нет управления, значение 1 показывает управление со стороны программного интерфейса, значение 2 показывает управление со стороны интерфейса с внешней ножки, значение 3 показывает управление со стороны автоматического интерфейса, значение 4 показывает управление динамическим питанием со стороны внешнего интерфейса CS, значение 5 показывает, что контроллер под управлением. Только чтение.

										Лист
										226
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_27

Описание полей регистра DENALI_CTL_27 приведено в таблице 4.47.

Таблица 4.47 – Описание полей регистра DENALI_CTL_27

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
LP_AUTO_SR_MC_GATE_IDLE	31:24	0x00	0x0-0xff	Число тактов до того, как контроллер переведет память в режим self-refresh с отключением синхросигнала памяти и контроллера.
LP_AUTO_SR_IDLE	23:16	0x00	0x0-0xff	Число тактов до того, как контроллер переведет память в режим self-refresh.
RESERVED	15:12	-	0x0-0xf	Зарезервировано для дальнейшего использования.
LP_AUTO_PD_IDLE	11:0	0x000	0x0-0xffff	Определяет интервал времени отсутствия операций в памяти, после чего контроллер переведет память в режим power-down.

Регистр DENALI_CTL_28

Описание полей регистра DENALI_CTL_28 приведено в таблице 4.48.

Таблица 4.48 – Описание полей регистра DENALI_CTL_28

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:7	-	0x0-0x1ffffff	Зарезервировано для дальнейшего использования.
RESERVED	6:0	-	0x0-0x7f	Зарезервировано для дальнейшего использования. См. конфигурационные файлы для начального программирования.

Регистр DENALI_CTL_29

Описание полей регистра DENALI_CTL_29 приведено в таблице 4.49.

Таблица 4.49 – Описание полей регистра DENALI_CTL_29

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:27	-	0x0-0x1ffffff	Зарезервировано для дальнейшего использования.
WRITE_MODEREG	26:0	0x0000000	0x0-0x7ffffff	Управление записью в регистр режима памяти. Биты (7:0) определяют номер регистра режима памяти, если бит (23) установлен, биты (15:8) определяют CS, если бит (24) очищен, биты (23:16) определяют, в какие регистры режима памяти писать, бит (24) определяет, будут ли записаны все CS, бит (25) запускает запись.

					Лист
					227
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_30

Описание полей регистра DENALI_CTL_30 приведено в таблице 4.50.

Таблица 4.50 – Описание полей регистра DENALI_CTL_30

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:23	-	0x0-0x1ff	Зарезервировано для дальнейшего использования.
MR0_DATA_0	22:8	0x0000	0x0-0x7fff	Данные для программирования регистра режима памяти 0 для CS0.
MRW_STATUS	7:0	0x00	0x0-0xff	Статус регистра режима записи памяти. Установка бита (0) показывает ошибку программирования параметра WRITE_MODEREG. Биты (1), (2) и (4) – резерв. Бит (3) показывает ошибку режима self-refresh и режима power-down. Только чтение.

Регистр DENALI_CTL_31

Описание полей регистра DENALI_CTL_31 приведено в таблице 4.51.

Таблица 4.51 – Описание полей регистра DENALI_CTL_31

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31	-	0x0-0x1	Зарезервировано для дальнейшего использования.
MR2_DATA_0	30:16	0x0000	0x0-0x7fff	Данные для программирования регистра режима памяти 2 для CS0.
RESERVED	15	-	0x0-0x1	Зарезервировано для дальнейшего использования.
MR1_DATA_0	14:0	0x0000	0x0-0x7fff	Данные для программирования регистра режима памяти 1 для CS0.

Регистр DENALI_CTL_32

Описание полей регистра DENALI_CTL_32 приведено в таблице 4.52.

Таблица 4.52 – Описание полей регистра DENALI_CTL_32

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31	-	0x0-0x1	Зарезервировано для дальнейшего использования.
MR3_DATA_0	30:16	0x0000	0x0-0x7fff	Данные для программирования регистра режима памяти 3 для CS0.
RESERVED	15	-	0x0-0x1	Зарезервировано для дальнейшего использования.
MRSINGLE_DATA_0	14:0	0x0000	0x0-0x7fff	Данные для программирования в регистр режима памяти одиночной записью для CS0.

					Лист
					228
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_33

Описание полей регистра DENALI_CTL_33 приведено в таблице 4.53.

Таблица 4.53 – Описание полей регистра DENALI_CTL_33

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:20	-	0x0-0xfff	Зарезервировано для дальнейшего использования.
ZQINIT	19:8	0x000	0x0-0xfff	Число тактов, необходимое для команды ZQINIT.
RESERVED	7:5	-	0x0-0x3	Зарезервировано для дальнейшего использования.
LONG_COUNT_MASK	4:0	0x00	0x0-0x1f	Уменьшение периода работы длинного счетчика (1024 такта). Поддерживаются только значения 0x00 (1024 такта), 0x10 (512 тактов), 0x18 (256 тактов), 0x1C (128 тактов), 0x1E (64 такта) and 0x1F (32 такта).

Регистр DENALI_CTL_34

Описание полей регистра DENALI_CTL_34 приведено в таблице 4.54.

Таблица 4.54 – Описание полей регистра DENALI_CTL_34

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:28	-	0x0-0xf	Зарезервировано для дальнейшего использования.
ZQCS	27:16	0x000	0x0-0xfff	Число тактов, необходимое для команды ZQCS.
RESERVED	15:12	-	0x0-0xf	Зарезервировано для дальнейшего использования.
ZQCL	11:0	0x000	0x0-0xfff	Число тактов, необходимое для команды ZQCL.

					Лист
ЮФКВ.431282.020РЭ					229
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_35

Описание полей регистра DENALI_CTL_35 приведено в таблице 4.55.

Таблица 4.55 – Описание полей регистра DENALI_CTL_35

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:10	-	0x0-0x3ffff	Зарезервировано для дальнейшего использования.
ZQ_ON_SREF_EXIT	9:8	0x0	0x0-0x3	Определяет тип ZQ калибровки, выполняемой при выходе из режима self-refresh. Запись значения 0x1 вызовет выполнение ZQCS команды, 0x2 – ZQCL, запись 0x0 отменяет все ZQ команды при выходе из режима self-refresh.
RESERVED	7:2	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
ZQ_REQ	1:0	0x0	0x0-0x3	Запрос пользователя на выполнение ZQ калибровки. Запись значения 0x1 вызовет выполнение ZQCS команды, 0x2 – ZQCL, запись 0x0 отменяет все ZQ команды. В это поле можно писать только после обнуления параметра ZQ_IN_PROGRESS. Только запись.

Регистр DENALI_CTL_36

Описание полей регистра DENALI_CTL_36 приведено в таблице 4.56.

Таблица 4.56 – Описание полей регистра DENALI_CTL_36

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
ZQ_INTERVAL	31:0	0x00000000	0x0-0xffffffff	Число длинных последовательностей счетчиков, допустимое между автоматическими ZQCS командами.

										Лист
										230
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_37

Описание полей регистра DENALI_CTL_37 приведено в таблице 4.57.

Таблица 4.57 – Описание полей регистра DENALI_CTL_37

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:28	-	0x0-0xf	Зарезервировано для дальнейшего использования.
COL_DIFF	27:24	0x0	0x0-0xf	Разница между количеством доступных выводов столбцов и количеством используемых.
RESERVED	23:19	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
ROW_DIFF	18:16	0x0	0x0-0x7	Разница между количеством доступных адресных выводов и количеством используемых.
RESERVED	15:10	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
RESERVED	9:8	-	0x0-0x3	Зарезервировано для дальнейшего использования. См. конфигурационные файлы для начального программирования.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
ZQ_IN_PROGRESS	0	0x0	0x0-0x1	Значение 1 показывает, что ZQ команда сейчас выполняется. Только чтение.

Регистр DENALI_CTL_38

Описание полей регистра DENALI_CTL_38 приведено в таблице 4.58.

Таблица 4.58 – Описание полей регистра DENALI_CTL_38

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
AGE_COUNT	31:24	0x00	0x0-0xff	Начальное значение мастер-счетчика скорости старения команд
RESERVED	23:20	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
APREBIT	19:16	0xa	0x0-0xf	Расположение бита auto pre-charge в адресе DRAM.
RESERVED	15:9	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
BANK_ADDR_INTLV_EN	8	0x0	0x0-0x1	Разрешение совмещать адрес банка с битами адреса строки. Установить в 1 для разрешения.
RESERVED	7:5	-	0x0-0x7	Зарезервировано для дальнейшего использования.
BANK_START_BIT	4:0	0x00	0x0-0x1f	Определяет младший бит адреса банка внутри адреса страницы или пользователя, когда установлен параметр BANK_ADDR INTLV EN.

										Лист
										231
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_39

Описание полей регистра DENALI_CTL_39 приведено в таблице 4.59.

Таблица 4.59 – Описание полей регистра DENALI_CTL_39

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
BANK_SPLIT_EN	24	0x0	0x0-0x1	Разрешает факт обнаружения адресов в разные банки использовать как правило для постановки команд в очередь. Установить в 1 для разрешения.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RESERVED	16	-	0x0-0x1	Зарезервировано для дальнейшего использования. См. конфигурационные файлы для начального программирования.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
ADDR_CMP_EN	8	-	0x0-0x1	Разрешает факт обнаружения адресных конфликтов использовать как правило для постановки команд в очередь. Установить в 1 для разрешения.
COMMAND_AGE_COUNT	7:0	0x00	0x0-0xff	Начальное значение индивидуальных счетчиков устаревания команды.

Регистр DENALI_CTL_40

Описание полей регистра DENALI_CTL_40 приведено в таблице 4.60.

Таблица 4.60 – Описание полей регистра DENALI_CTL_40

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RW_SAME_PAGE_EN	24	0x0	0x0-0x1	Разрешение группировки запросов в одну страницу во время группировки команд чтения/записи как правила для построения очереди команд. Верно только при установке параметра RW_SAME_EN. Установить в 1 для разрешения.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RW_SAME_EN	16	0x0	0x0-0x1	Разрешение группировки команд чтения/записи как правила для построения очереди команд. Установить в 1 для разрешения.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
PRIORITY_EN	8	0x0	0x0-0x1	Разрешение использования приоритета как правила построения очереди команд. Установить в 1 для разрешения.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
PLACEMENT_EN	0	0x0	0x0-0x1	Разрешение логики построения очереди команд. Установить в 1 для разрешения.

					Лист
					232
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_41

Описание полей регистра DENALI_CTL_41 приведено в таблице 4.61.

Таблица 4.61 – Описание полей регистра DENALI_CTL_41

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
DISABLE_RD_INTERLEAVE	24	0x0	0x0-0x1	Запрещение чередования читаемых данных для команд одного порта независимо от ID запроса.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWAP_EN	16	0x0	0x0-0x1	Разрешение логики перестановки команд в модуле выполнения. Установить в 1 для разрешения.
RESERVED	15:11	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
NUM_Q_ENTRIES_ACT_DISABLE	10:8	0x00	0x0-0x7	Число входов в очередь, в которых АСТ запросы будут запрещены. Установка в X запретит АСТ запросы от X входов, нижних в очереди команд.
RESERVED	7:2	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
DISABLE_RWGROUP_W_BNK_CONFLICT	1:0	0x00	0x0-0x3	Запрещение постановки в группу чтения/записи, когда группировка приводит к конфликту банков. Бит (0) контролирует постановку следующей за конфликтующей командой, бит (1) – постановку через одну от конфликтующей команды. Установить каждый бит в 1 для запрещения.

					Лист
					233
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_42

Описание полей регистра DENALI_CTL_42 приведено в таблице 4.62.

Таблица 4.62 – Описание полей регистра DENALI_CTL_42

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:27	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
Q_FULLNESS	26:24	0x0	0x0-0x7	Величина, задающая полноту очереди команд.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
REDUC	16	0x0	0x0-0x1	Разрешает режим половинной разрядности данных для контроллера. Установить в 1 для разрешения.
RESERVED	15:12	-	0x0-0xf	Зарезервировано для дальнейшего использования.
BURST_ON_FLY_BIT	11:8	0x0	0x0-0xf	Определяет значение бита «BURST_ON_FLY» в регистре режима памяти.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
INHIBIT_DRAM_CMD	0	0x0	0x0-0x1	Запрещает чередование команд чтения/записи и команд для других банков памяти. Установить в 1 для запрета.

										Лист
										234
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_43

Описание полей регистра DENALI_CTL_43 приведено в таблице 4.63.

Таблица 4.63 – Описание полей регистра DENALI_CTL_43

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
CTRLUPD_REQ_PER_AREF_EN	24	0x0	0x0-0x1	Разрешает автоматическое иницирование контроллером обновления (dfi_ctrlupd_req) после каждой регенерации памяти. Установить в 1 для разрешения.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
CTRLUPD_REQ	16	0x0	0x0-0x1	Объявляет, что контроллер инициировал сигнал запроса обновления dfi_ctrlupd_req. Установить в 1 для запуска. Только запись
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
CONTROLLER_BUSY	8	0x0	0x0-0x1	Показывает, что контроллер обрабатывает команду. Учитывает все порты для внешних транзакций. Значение 1 показывает, что контроллер занят. Только чтение.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
IN_ORDER_ACCEPT	0	0x0	0x0-0x1	Заставляет контроллер принимать команды в том порядке, в каком они расположены в очереди команд.

Регистр DENALI_CTL_44

Описание полей регистра DENALI_CTL_44 приведено в таблице 4.64.

Таблица 4.64 – Описание полей регистра DENALI_CTL_44

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:28	-	0x0-0xf	Зарезервировано для дальнейшего использования.
DFI_ERROR_INFO	27:8	0x00000	0x0-0xffff	Содержит код ошибки интерфейса контроллера к РНУ. Только чтение.
RESERVED	7:5	-	0x0-0x7	Зарезервировано для дальнейшего использования.
DFI_ERROR	4:0	0x0	0x0-0x1	Содержит флаг ошибки интерфейса контроллера к РНУ. Только чтение.

					Лист
ЮФКВ.431282.020РЭ					235
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_45

Описание полей регистра DENALI_CTL_45 приведено в таблице 4.65.

Таблица 4.65 – Описание полей регистра DENALI_CTL_45

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:29	-	0x0-0x7	Зарезервировано для дальнейшего использования.
INT_STATUS	28:8	0x00000	0x0-0x1ffff	Статус прерываний контроллера. Только чтение.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RESERVED	0	-	0x0-0x1	Зарезервировано для дальнейшего использования. См. конфигурационные файлы для начального программирования.

Регистр DENALI_CTL_46

Описание полей регистра DENALI_CTL_46 приведено в таблице 4.66.

Таблица 4.66 – Описание полей регистра DENALI_CTL_46

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:20	-	0x0-0xffff	Зарезервировано для дальнейшего использования.
INT_ACK	19:0	0x00000	0x0-0xfffff	Маска очистки битов поля INT_STATUS. Только запись.

Регистр DENALI_CTL_47

Описание полей регистра DENALI_CTL_47 приведено в таблице 4.67.

Таблица 4.67 – Описание полей регистра DENALI_CTL_47

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:21	-	0x0-0x7ff	Зарезервировано для дальнейшего использования.
INT_MASK	20:0	0x000000	0x0-0x1ffff	Маска формирования прерываний контроллера по содержимому поля INT STATUS.

										Лист
										236
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Регистр DENALI_CTL_48

Описание полей регистра DENALI_CTL_48 приведено в таблице 4.68.

Таблица 4.68 – Описание полей регистра DENALI_CTL_48

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0x3	Зарезервировано для дальнейшего использования.
OUT_OF_RANGE_ADDR	29:0	0x00000000	0x0-0x3ffffff	Адрес команды, которая вызвала прерывание по выходу адреса за границы. Только чтение.

Регистр DENALI_CTL_49

Описание полей регистра DENALI_CTL_49 приведено в таблице 4.69.

Таблица 4.69 – Описание полей регистра DENALI_CTL_49

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
OUT_OF_RANGE_SOURCE_ID	31:24	0x00	0x0-0xff	ID источника команды, которая вызвала прерывание по выходу адреса за границы. Только чтение.
RESERVED	23:18	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
OUT_OF_RANGE_TYPE	17:16	0x0	0x0-0x3	Тип команды, которая вызвала прерывание по выходу адреса за границы. Только чтение.

										Лист
										237
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_50

Описание полей регистра DENALI_CTL_50 приведено в таблице 4.70.

Таблица 4.70 – Описание полей регистра DENALI_CTL_50

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0x3	Зарезервировано для дальнейшего использования.
PORT_CMD_ERROR_ADDR	29:0	0x00000000	0x0-0x3ffffff	Адрес команды, которая вызвала ошибку команды порта. Только чтение.

Регистр DENALI_CTL_51

Описание полей регистра DENALI_CTL_51 приведено в таблице 4.71.

Таблица 4.71 – Описание полей регистра DENALI_CTL_51

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TODTL_2CMD	31:24	0x00	0x0-0xff	Определяет задержку от снятия сигнала ODT до следующей команды не записи и не чтения.
RESERVED	23:18	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
PORT_CMD_ERROR_TYPE	17:16	0x0	0x0-0x3	Тип ошибки и доступа, которые привели к ошибке команды порта. Только чтение.
PORT_CMD_ERROR_ID	15:0	0x0000	0x0-0xffff	ID источника команды, которая привела к ошибке команды порта. Только чтение.

					ЮФКВ.431282.020РЭ	Лист 238
Изм.	Лист	№ докум.	Подп.	Дата		
31406-4				09.11.2020	Взам.инв.№ 31406-3	Инв.№дубл. Подп. и дата

Регистр DENALI_CTL_52

Описание полей регистра DENALI_CTL_52 приведено в таблице 4.72.

Таблица 4.72 – Описание полей регистра DENALI_CTL_52

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:29	-	0x0-0x7	Зарезервировано для дальнейшего использования.
R2R_SAMECS_DLY	28:24	0x00	0x0-0x1f	Дополнительная задержка, вставляемая между двумя чтениями для того же CS. Поддерживается любое значение, включая нулевое.
RESERVED	23:21	-	0x0-0x7	Зарезервировано для дальнейшего использования.
RESERVED	20:16	-	0x0-0x1f	Зарезервировано для дальнейшего использования. См. конфигурационные файлы для начального программирования.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
ODT_EN	8	0x0	0x0-0x1	Разрешает использование сигнала ODT. Когда разрешено, контроллер снимает и выставляет этот сигнал для памяти, когда это требуется.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TODTH_WR	3:0	0x0	0x0-0xf	Определяет для команды записи минимальное время для сигнала ODT, когда он держит положительную полку.

										Лист
										239
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_54

Описание полей регистра DENALI_CTL_54 приведено в таблице 4.74.

Таблица 4.74 – Описание полей регистра DENALI_CTL_54

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
SWLVL_OP_DONE	24	0x0	0x0-0x1	Сообщает, что программный режим сейчас выполняется. Значение 0x1 говорит, что операция закончилась. Только чтение.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWLVL_EXIT	16	0x0	0x0-0x1	Значение 0x1 вызывает выход из программного режима. Только запись.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWLVL_START	8	0x0	0x0-0x1	Значение 0x1 вызывает вход в программный режим, тип его определяется полем SW_LEVENING_MODE. Только запись.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
SWLVL_LOAD	0	0x0	0x0-0x1	Значение 0x1 означает запрос пользователя на загрузку задержек и выполнение программного режима. Только запись.

										Лист
										241
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр DENALI_CTL_55

Описание полей регистра DENALI_CTL_55 приведено в таблице 4.75.

Таблица 4.75 – Описание полей регистра DENALI_CTL_55

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWLVL_RESP_3	24	0x0	0x0-0x1	Отклик от слайса данных 3 в режиме тренировки. Только чтение.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWLVL_RESP_2	16	0x0	0x0-0x1	Отклик от слайса данных 2 в режиме тренировки. Только чтение.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWLVL_RESP_1	8	0x0	0x0-0x1	Отклик от слайса данных 1 в режиме тренировки. Только чтение.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
SWLVL_RESP_0	0	0x0	0x0-0x1	Отклик от слайса данных 0 в режиме тренировки. Только чтение.

Регистр DENALI_CTL_56

Описание полей регистра DENALI_CTL_56 приведено в таблице 4.76.

Таблица 4.76 – Описание полей регистра DENALI_CTL_56

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0x3	Зарезервировано для дальнейшего использования.
WLMRD	29:24	0x00	0x0-0x3f	Задержка между командой MRS и первым стробом в режиме программной записи.
RESERVED	23:22	-	0x0-0x3	Зарезервировано для дальнейшего использования.
WLDQSEN	21:16	0x00	0x0-0x3f	Задержка между командой MRS и первым стробом DQS в режиме программной записи.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRLVL_CS	8	0x0	0x0-0x1	Определяет нужный CS для операций в режиме программной записи, инициируемой полем WRLVL_REQ.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRLVL_REQ	0	0x0	0x0-0x1	Значение 0x1 вызывает вход в программный режим записи. Только запись.

					Лист
					242
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_57

Описание полей регистра DENALI_CTL_57 приведено в таблице 4.77.

Таблица 4.77 – Описание полей регистра DENALI_CTL_57

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
DFI_PHY_WRLVL_MODE	24	0x0	0x0-0x1	Задаёт поддержку PHY в программном режиме записи по интерфейсу контроллер-PHY. Установить в 1 для поддержки.
WRLVL_INTERVAL	23:8	0x0000	0x0-0xffff	Число длинных последовательностей счётчиков, вычисляемых между автоматическими командами записи в программном режиме.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRLVL_EN	0	0x0	0x0-0x1	Разрешение контроллеру перейти к программному режиму записи. Установить в 1 для разрешения.

Регистр DENALI_CTL_58

Описание полей регистра DENALI_CTL_58 приведено в таблице 4.78.

Таблица 4.78 – Описание полей регистра DENALI_CTL_58

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRLVL_AREF_EN	24	0x0	0x0-0x1	Разрешает регенерацию памяти и другие команды без данных в середине выполнения программного режима записи. Установить в 1 для разрешения.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRLVL_RESP_MASK	16	0x0	0x0-0x1	Маскирует dfi_wrlvl_resp сигнал при программном режиме записи.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
WRLVL_ON_SREF_EXIT	8	0x0	0x0-0x1	При выходе из режима self-refresh разрешает автоматический вход в программный режим записи. Установить в 1 для разрешения.
RESERVED	7:2	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
WRLVL_PERIODIC	1:0	0x0	0x0-0x3	Разрешает dfi_lvl_periodic сигнал при программном режиме записи. Установить в 1 для разрешения.

					Лист
ЮФКВ.431282.020РЭ					243
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_59

Описание полей регистра DENALI_CTL_59 приведено в таблице 4.79.

Таблица 4.79 – Описание полей регистра DENALI_CTL_59

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_CS	24	0x0	0x0-0x1	Определяет нужный CS для операций в режиме тренировки данных, инициируемых полями RDLVL_REQ и RDLVL_GATE_REQ.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_GATE_REQ	16	0x0	0x0-0x1	Запрос пользователя на инициализацию режима тренировки аппаратуры. Установить в 1 для инициализации. Только запись.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_REQ	8	0x0	0x0-0x1	Запрос пользователя на инициализацию режима тренировки данных. Установить в 1 для инициализации. Только запись.
RESERVED	7:2	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
WRLVL_ERROR_STATUS	1:0	0x0	0x0-0x3	Хранит код прерываний в программном режиме записи. Бит (0), равный 1, отражает нарушение параметра TDFI_WRLVL_MAX, а бит (1), равный 1, отражает нарушение параметра TDFI_WRLVL_RESP. Только чтение.

					Лист
					244
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_60

Описание полей регистра DENALI_CTL_60 приведено в таблице 4.80.

Таблица 4.80 – Описание полей регистра DENALI_CTL_60

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
DFI_PHY_RDLVL_GATE_MODE	24	0x0	0x0-0x1	Задаёт поддержку PHY в режиме тренировки аппаратуры по интерфейсу контроллер-PHY. Установить в 1 для поддержки.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
DFI_PHY_RDLVL_MODE	16	0x0	0x0-0x1	Задаёт поддержку PHY в режиме тренировки данных по интерфейсу контроллер-PHY. Установить в 1 для поддержки.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
DFI_GATE_SEQ_EN	8	0x0	0x0-0x1	Определяет выполнение команды MPR для режима тренировки аппаратуры.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_SEQ_EN	0	0x0	0x0-0x1	Определяет выполнение команды MPR для режима тренировки данных.

Регистр DENALI_CTL_61

Описание полей регистра DENALI_CTL_61 приведено в таблице 4.81.

Таблица 4.81 – Описание полей регистра DENALI_CTL_61

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_GATE_ON_SREF_EXIT	24	0x0	0x0-0x1	Значение 0x1 разрешает при выходе из режима self-refresh автоматически перейти в режим тренировки аппаратуры.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_GATE_PERIODIC	16	0x0	0x0-0x1	Разрешает dfi_lvl_periodic сигнал в режиме тренировки аппаратуры. Установить в 1 для разрешения.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_ON_SREF_EXIT	8	0x0	0x0-0x1	Значение 0x1 разрешает при выходе из режима self-refresh автоматически перейти в режим тренировки данных.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_PERIODIC	0	0x0	0x0-0x1	Разрешает dfi_lvl_periodic сигнал в режиме тренировки данных. Установить в 1 для разрешения.

					Лист
ЮФКВ.431282.020РЭ					245
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_62

Описание полей регистра DENALI_CTL_62 приведено в таблице 4.82.

Таблица 4.82 – Описание полей регистра DENALI_CTL_62

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
AXI0_R_PRIORITY	24	0x0	0x0-0x1	Приоритет команд чтения 0-го порта AXI. 0x0 - наивысший приоритет.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
AXI0_FIXED_PORT_PRIORITY_ENABLE	16	0x0	0x0-0x1	Определяет управление приоритетом 0-го порта AXI либо по порту, либо по командам. Установить в 1 для приоритета по порту с учётом полей AXI0_W_PRIORITY и AXI0_R_PRIORITY. Установить в 0 для приоритета по командам.
RESERVED	15:9	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
AXI0_ALL_STROBES_USED_ENABLE	8	0x0	0x0-0x1	Запись 1 разрешает использовать сигнал AWALLSTRB шины AXI порта 0.
RESERVED	7:1	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
RDLVL_AREF_EN	0	0x0	0x0-0x1	Разрешает регенерацию памяти и другие команды без данных в середине выполнения режима тренировки данных или аппаратуры. Установить в 1 для разрешения.

Регистр DENALI_CTL_63

Описание полей регистра DENALI_CTL_63 приведено в таблице 4.83.

					Лист
					246
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 4.83 – Описание полей регистра DENALI_CTL_63

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
MEM_RST_VALID	24	0x0	0x0-0x1	Регистровый доступ к сигналу mem_rst_valid. Только чтение.
RESERVED	23:17	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
CKE_STATUS	16	0x0	0x0-0x1	Регистровый доступ к сигналу cke_status. Только чтение.
RESERVED	15:10	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
AXI0_FIFO_TYPE_REG	9:8	0x0	0x0-0x3	Задание тактовых доменов 0-го порта AXI и контроллера: 0x0 – домены асинхронные; 0x1 – 2:1 псевдо-синхронные; 0x2 – 1:2 псевдо-синхронные; 0x3 – синхронные.
RESERVED	7:1	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
AXI0_W_PRIORITY	0	0x0	0x0-0x1	Приоритет команд записи 0-го порта AXI. 0x0 - наивысший приоритет

											Лист
											247
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

Регистр DENALI_CTL_64

Описание полей регистра DENALI_CTL_64 приведено в таблице 4.84.

Таблица 4.84 – Описание полей регистра DENALI_CTL_64

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0x3	Зарезервировано для дальнейшего использования.
TDFI_PHY_WRLAT	29:24	Вычисленное значение	0x0-0x3f	Хранит рассчитанный временной параметр tPHY_WRLAT (в тактах DFI PHY), максимальное число тактов между командой записи и установкой сигнала dfi wrdata en. Только чтение.
DLL_RST_ADJ_DLY	23:16	0x00	0x0-0xff	Минимальное число тактов после установки мастер-задержки в DLL до установки сигнала сброса DLL dll_rst_n. Если этот сигнал не используется PHY, то параметр можно игнорировать.
DLL_RST_DELAY	15:0	0x0000	0x0-0xffff	Минимальное число тактов, на которое необходимо удерживать сигнал сброса DLL dll_rst_n. Если этот сигнал не используется PHY, то параметр можно игнорировать.

Регистр DENALI_CTL_65

Описание полей регистра DENALI_CTL_65 приведено в таблице 4.85.

Таблица 4.85 – Описание полей регистра DENALI_CTL_65

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:25	-	0x0-0x7f	Зарезервировано для дальнейшего использования.
DRAM_CLK_DISABLE	24	0x0	0x0-0x1	Установленное значение сигнала dfi dram clk_disable. Бит (0) контролирует cs0, бит (1) – cs1 и т.д. Установить каждый бит в 1 для запрета.
RESERVED	23:22	-	0x0-0x3	Зарезервировано для дальнейшего использования.
TDFI_RDDATA_EN	21:16	Вычисленное значение	0x0-0x3f	Содержит расчетный временной параметр tRDDATA_EN (в тактах DFI PHY), максимальное число тактов между командой чтения и установкой сигнала dfi rddata en. Только чтение.
RESERVED	15:14	-	0x0-0x3	Зарезервировано для дальнейшего использования.
TDFI_PHY_RDLAT	13:8	0x06	0x0-0x3f	Определяет tPHY_RDLAT временной параметр (в тактах DFI PHY), максимальное число тактов между установкой dfi rddata_en и установкой dfi rddata valid.
RESERVED	7	-	0x0-0x1	Зарезервировано для дальнейшего использования.
UPDATE_ERROR_STATUS	6:0	0x00	0x0-0x7f	Идентифицирует источник любой ошибки контроллера или PHY-иницированного обновления. Значение 1 показывает временную ошибку соответствующего временного параметра. Только чтение.

					Лист
ЮФКВ.431282.020РЭ					248
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_66

Описание полей регистра DENALI_CTL_66 приведено в таблице 4.86.

Таблица 4.86 – Описание полей регистра DENALI_CTL_66

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:22	-	0x0-0x3ff	Зарезервировано для дальнейшего использования.
TDFI_CTRLUPD_MAX	21:8	0x0000	0x0-0x3fff	Определяет временной параметр tCTRLUPD_MAX (в тактах DFI), т. е. максимальное количество тактов установки сигнала dfi_ctrlupd_req. Если запрограммирован в ненулевое значение, то временная ошибка вызовет прерывание, и бит (1) установится в параметре UPDATE_ERROR_STATUS.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TDFI_CTRLUPD_MIN	3:0	0x0	0x0-0xf	Показывает временной параметр tCTRLUPD_MIN (в тактах DFI), т. е. минимальное количество тактов установки сигнала dfi_ctrlupd_req.

Регистр DENALI_CTL_67

Описание полей регистра DENALI_CTL_67 приведено в таблице 4.87.

Таблица 4.87 – Описание полей регистра DENALI_CTL_67

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_PHYUPD_TYPE1	31:16	0x0000	0x0-0xffff	Определяет временной параметр tPHYUPD_TYPE1 (в тактах DFI), т. е. максимальное число тактов установки сигнала dfi_phyupd_req после dfi_phyupd_ack для dfi_phyupd_type 1. Если запрограммирован в ненулевое значение, то временная ошибка вызовет прерывание, и бит (3) установится в параметре UPDATE_ERROR_STATUS.
TDFI_PHYUPD_TYPE0	15:0	0x0000	0x0-0xffff	Определяет временной параметр tPHYUPD_TYPE0 (в тактах DFI), т. е. максимальное число тактов установки сигнала dfi_phyupd_req после dfi_phyupd_ack для dfi_phyupd_type 0. Если запрограммирован в ненулевое значение, то временная ошибка вызовет прерывание, и бит (2) установится в параметре UPDATE_ERROR_STATUS.

					Лист
					249
ЮФКВ.431282.020РЭ					
Изм.	Лист	№ докум.	Подп.	Дата	
31406-4				09.11.2020	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4			31406-3		

Регистр DENALI_CTL_68

Описание полей регистра DENALI_CTL_68 приведено в таблице 4.88.

Таблица 4.88 – Описание полей регистра DENALI_CTL_68

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_PHYUPD_TYPE3	31:16	0x0000	0x0-0xffff	Определяет временной параметр tPHYUPD_TYPE3 (в тактах DFI), т. е. максимальное число тактов установки сигнала dfi_phyupd_req после dfi_phyupd_ack для dfi_phyupd_type 3. Если запрограммирован в ненулевое значение, то временная ошибка вызовет прерывание, и бит (5) установится в параметре UPDATE_ERROR_STATUS.
TDFI_PHYUPD_TYPE2	15:0	0x0000	0x0-0xffff	Определяет временной параметр tPHYUPD_TYPE2 (в тактах DFI), т. е. максимальное число тактов установки сигнала dfi_phyupd_req после dfi_phyupd_ack для dfi_phyupd_type 2. Если запрограммирован в ненулевое значение, то временная ошибка вызовет прерывание, и бит (4) установится в параметре UPDATE_ERROR_STATUS.

Регистр DENALI_CTL_69

Описание полей регистра DENALI_CTL_69 приведено в таблице 4.89.

Таблица 4.89 – Описание полей регистра DENALI_CTL_69

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:14	-	0x0-0x3ffff	Зарезервировано для дальнейшего использования.
TDFI_PHYUPD_RESP	13:0	0x0000	0x0-0x3fff	Определяет временной параметр tPHYUPD_RESP (в тактах DFI), т.е. максимальное число тактов между установкой сигнала dfi_phyupd_req и установкой dfi_phyupd_ack. Если запрограммирован в ненулевое значение, то временная ошибка вызовет прерывание и бит (6) установится в поле UPDATE_ERROR_STATUS.

					Лист
ЮФКВ.431282.020РЭ					250
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_70

Описание полей регистра DENALI_CTL_70 приведено в таблице 4.90.

Таблица 4.90 – Описание полей регистра DENALI_CTL_70

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_CTRLUPD_INTERVAL	31:0	0x00000000	0x0-0xffffffff	Определяет временной параметр tCTRLUPD_INTERVAL (в тактах DFI), т.е. максимальное число тактов между установками сигнала dfi_ctrlupd_req. Если запрограммирован в не нулевое значение, то временная ошибка вызовет прерывание и бит (0) установится в поле UPDATE_ERROR_STATUS.

Регистр DENALI_CTL_71

Описание полей регистра DENALI_CTL_71 приведено в таблице 4.91.

Таблица 4.91 – Описание полей регистра DENALI_CTL_71

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:28	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TDFI_DRAM_CLK_DISABLE	27:24	0x0	0x0-0xf	Определяет временной параметр tDRAM_CLK_DISABLE (в тактах DFI), т.е. задержку между установкой сигнала dfi_dram_clock_disable и отключением тактового сигнала памяти.
RESERVED	23:20	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TDFI_CTRL_DELAY	19:16	0x2	0x0-0xf	Определяет временной параметр tCTRL_DELAY (в тактах DFI), т.е. задержку между изменением команды DFI и командой памяти.
RESERVED	15:14	-	0x0-0x3	Зарезервировано для дальнейшего использования.
WRLAT_ADJ	13:8	0x00	0x0-0x3f	Поправка к времени записи PHY.
RESERVED	7:6	-	0x0-0x3	Зарезервировано для дальнейшего использования.
RDLAT_ADJ	5:0	0x00	0x0-0x3f	Поправка к времени чтения PHY.

					Лист
					251
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_72

Описание полей регистра DENALI_CTL_72 приведено в таблице 4.92.

Таблица 4.92 – Описание полей регистра DENALI_CTL_72

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:26	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
TDFI_WRLVL_WW	25:16	0x000	0x0-0x3ff	Определяет временной параметр WRLVL_WW (в тактах DFI), т. е. минимальное число тактов между установкой strobe dfi_wrlvl_strobe.
TDFI_WRLVL_EN	15:8	0x00	0x0-0xff	Определяет временной параметр WRLVL_EN (в тактах DFI), т. е. минимальное число тактов между установкой сигнала dfi_wrlvl_en и первой установкой strobe dfi_wrlvl_strobe.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
TDFI_DRAM_CLK_ENABLE	3:0	0x0	0x0-0xf	Определяет временной параметр tDRAM_CLK_ENABLE (в тактах DFI), т.е. задержку между снятием сигнала dfi_dram_clk_disable и включением синхросигнала памяти.

Регистр DENALI_CTL_73

Описание полей регистра DENALI_CTL_73 приведено в таблице 4.93.

Таблица 4.93 – Описание полей регистра DENALI_CTL_73

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_WRLVL_RESP	31:0	0x00000000	0x0-0xffffffff	Определяет временной параметр tWRLVL_RESP (в тактах DFI), т. е. максимальное число тактов между установкой сигнала dfi_wrlvl_req и установкой сигнала dfi_wrlvl_en.

Регистр DENALI_CTL_74

Описание полей регистра DENALI_CTL_74 приведено в таблице 4.94.

Таблица 4.94 – Описание полей регистра DENALI_CTL_74

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_WRLVL_MAX	31:0	0x00000000	0x0-0xffffffff	Определяет временной параметр tWRLVL_MAX (в тактах DFI), т. е. максимальное число тактов между установкой сигнала dfi_wrlvl_en и установкой сигнала dfi_wrlvl_resp.

					Лист
ЮФКВ.431282.020РЭ					252
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр DENALI_CTL_75

Описание полей регистра DENALI_CTL_75 приведено в таблице 4.95.

Таблица 4.95 – Описание полей регистра DENALI_CTL_75

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:18	-	0x0-0x3fff	Зарезервировано для дальнейшего использования.
TDFI_RDLVL_RR	17:8	0x000	0x0-0x3ff	Определяет временной параметр RDLVL_RR (в тактах DFI), т. е. минимальное число тактов между командами чтения.
TDFI_RDLVL_EN	7:0	0x00	0x0-0xff	Определяет временной параметр RDLVL_EN (в тактах DFI), т. е. минимальное число тактов между установкой сигнала dfi_rdlvl_en или dfi_rdlvl_gate_en и первым чтением или командой MRR.

Регистр DENALI_CTL_76

Описание полей регистра DENALI_CTL_76 приведено в таблице 4.96.

Таблица 4.96 – Описание полей регистра DENALI_CTL_76

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_RDLVL_RESP	31:0	0x00000000	0x0-0xffffffff	Определяет временной параметр RDLVL_RESP (в тактах DFI), т. е. максимальное число тактов между установкой сигнала dfi_rdlvl_req или dfi_rdlvl_gate_req и установкой сигнала dfi_rdlvl_en или dfi_rdlvl_gate_en.

Регистр DENALI_CTL_77

Описание полей регистра DENALI_CTL_77 приведено в таблице 4.97.

Таблица 4.97 – Описание полей регистра DENALI_CTL_77

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:17	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
RDLVL_GATE_EN	16	0x000	0x0-0x3ff	Разрешает контроллеру режим тренировки аппаратуры. Установить в 1 для разрешения.
RESERVED	15:9	-	0x0-0xf	Зарезервировано для дальнейшего использования.
RDLVL_EN	8	0x00	0x0-0xff	Разрешает контроллеру режим тренировки данных. Установить в 1 для разрешения.
RESERVED	7:4	-	0x0-0xf	Зарезервировано для дальнейшего использования.
RDLVL_RESP_MASK	3:0	0x0	0x0-0xf	Маскирование сигнала dfi_rdlvl_resp во время режима тренировки данных.

					Лист
					253
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_78

Описание полей регистра DENALI_CTL_78 приведено в таблице 4.98.

Таблица 4.98 – Описание полей регистра DENALI_CTL_78

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
TDFI_RDLVL_MAX	31:0	0x00000000	0x0-0xffffffff	Определяет временной параметр RDLVL_MAX (в тактах DFI), т. е. максимальное число тактов между установкой сигнала dfi_rdlvl_en или dfi_rdlvl_gate_en и установкой значимого сигнала dfi_rdlvl_resp.

Регистр DENALI_CTL_79

Описание полей регистра DENALI_CTL_79 приведено в таблице 4.99.

Таблица 4.99 – Описание полей регистра DENALI_CTL_79

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:24	-	0x0-0xff	Зарезервировано для дальнейшего использования.
RDLVL_INTERVAL	23:8	0x0000	0x0-0xffff	Число длинных последовательностей счётчиков, вычисляемых между автоматическими командами режима тренировки данных.
RESERVED	7:2	-	0x0-0x3f	Зарезервировано для дальнейшего использования.
RDLVL_ERROR_STATUS	1:0	0x0	0x0-0x3	Хранит ошибки, связанные с прерыванием в режимах тренировки данных или аппаратуры. Бит (1), равный 1, означает нарушение параметра TDFI_RDLVL_RESP. Бит (0), равный 1, означает нарушение параметра TDFI_RDLVL_MAX.

					Лист
					254
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Регистр DENALI_CTL_80

Описание полей регистра DENALI_CTL_80 приведено в таблице 4.100.

Таблица 4.100 – Описание полей регистра DENALI_CTL_80

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:30	-	0x0-0x3	Зарезервировано для дальнейшего использования.
TDFI_RDCSLAT	29:24	0x00	0x0-0x3f	Определяет временной параметр PHY_RDCSLAT (в тактах DFI), т. е. максимальное число тактов между командой чтения и установкой сигнала dfi_rddata_cs_n
RESERVED	23:19	-	0x0-0x1f	Зарезервировано для дальнейшего использования.
TDFI_PHY_WRDATA	18:16	0x0	0x0-0x7	Определяет временной параметр PHY_WRDATA (в тактах DFI), т. е. максимальное число тактов между установкой сигнала dfi_wrdata_en и сигналом dfi_wrdata
TDFI_GATE_INTERVAL	15:0	0x0000	0x0-0xffff	Число длинных последовательностей счётчиков, вычисляемых между автоматическими командами режима тренировки аппаратуры.

Регистр DENALI_CTL_81

Описание полей регистра DENALI_CTL_81 приведено в таблице 4.101.

Таблица 4.101 – Описание полей регистра DENALI_CTL_81

Название	Биты	Значение после системного сброса	Диапазон значений	Описание
RESERVED	31:6	-	0x0-0x3ffffff	Зарезервировано для дальнейшего использования.
TDFI_WRCSLAT	5:0	0x00	0x0-0x3f	Определяет временной параметр PHY_WRCSLAT (в тактах DFI), т. е. максимальное число тактов между командой записи и установкой сигнала dfi_wrdata_cs_n

										Лист
										255
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.10 Блок защиты памяти MPU

Блок защиты памяти разрешает доступ внешним устройствам в выделенные области памяти кластера.

Внешние устройства имеют произвольный доступ к внутренней памяти кластера через слэив-интерфейс AXI (PCu). Блок защиты памяти находится внутри процессорной системы и непосредственно подключен к интерфейсу PCu.

Блок защиты памяти декодирует адрес транзакции и определяет, разрешён или запрещён доступ по этому адресу. Блок пропускает разрешённые транзакции без изменения, а запрещённые транзакции обрабатывает следующим образом:

- с точки зрения внешнего устройства – транзакция завершается с кодом ошибки SLVERR, при этом в транзакции чтения вместо данных во всех передачах транзакции возвращаются нулевые значения,
- с точки зрения процессорной системы – генерируется (маскируемый по каждой выделенной области) запрос на прерывание к процессору ARM Cortex-A5, который снимается программно.

Интерфейсы чтения и записи шины AXI3 разделены, поэтому в процессорной системе присутствуют два экземпляра блоков защиты памяти: по одному на чтение и на запись, как показано на рисунке 4.32.

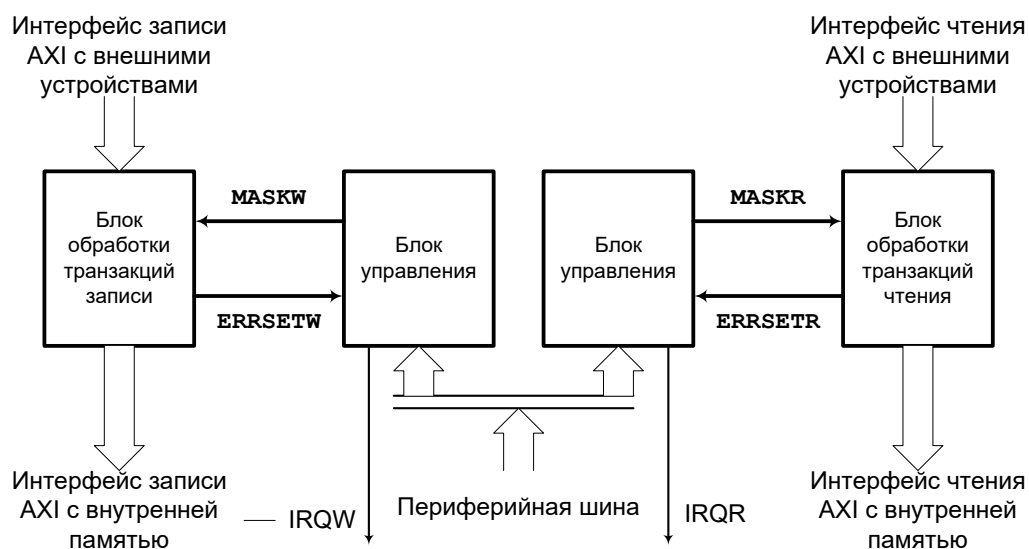


Рисунок 4.32 - Структурная схема блока защиты памяти

					Лист
					256
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Таблица 4.102 – Нумерация сегментов внутренней памяти

Номер сегмента	Адреса в собственном пространстве CPU (байтовый доступ)	Смещение относительно базового адреса в карте памяти внешних NMPU (32-разрядный доступ)	Смещение относительно базового адреса в карте памяти ARM и устройств ввода-вывода (байтовый доступ)
0	0000 0000h - 00FF FFFFh	0000 0000h - 003F FFFFh	0000 0000h - 00FF FFFFh
1	0100 0000h - 01FF FFFFh	0040 0000h - 007F FFFFh	0100 0000h - 01FF FFFFh
2	0200 0000h - 02FF FFFFh	0080 0000h - 00BF FFFFh	0200 0000h - 02FF FFFFh
3	0300 0000h - 03FF FFFFh	00C0 0000h - 00FF FFFFh	0300 0000h - 03FF FFFFh
4	0400 0000h - 04FF FFFFh	0100 0000h - 013F FFFFh	0400 0000h - 04FF FFFFh
5	0500 0000h - 05FF FFFFh	0140 0000h - 017F FFFFh	0500 0000h - 05FF FFFFh
6	0600 0000h - 06FF FFFFh	0180 0000h - 01BF FFFFh	0600 0000h - 06FF FFFFh
7	0700 0000h - 07FF FFFFh	01C0 0000h - 01FF FFFFh	0700 0000h - 07FF FFFFh
8	0800 0000h - 08FF FFFFh	0200 0000h - 023F FFFFh	0800 0000h - 08FF FFFFh
9	0900 0000h - 09FF FFFFh	0240 0000h - 027F FFFFh	0900 0000h - 09FF FFFFh
10	0A00 0000h - 0AFF FFFFh	0280 0000h - 02BF FFFFh	0A00 0000h - 0AFF FFFFh
11	0B00 0000h - 0BFF FFFFh	02C0 0000h - 02FF FFFFh	0B00 0000h - 0BFF FFFFh
12	0C00 0000h - 0CFF FFFFh	0300 0000h - 033F FFFFh	0C00 0000h - 0CFF FFFFh
13	0D00 0000h - 0DFF FFFFh	0340 0000h - 037F FFFFh	0D00 0000h - 0DFF FFFFh
14	0E00 0000h - 0EFF FFFFh	0380 0000h - 03BF FFFFh	0E00 0000h - 0EFF FFFFh
15	0F00 0000h - 0FFF FFFFh	03C0 0000h - 03FF FFFFh	0F00 0000h - 0FFF FFFFh
16	1000 0000h - 10FF FFFFh	0400 0000h - 043F FFFFh	1000 0000h - 10FF FFFFh
17	1100 0000h - 11FF FFFFh	0440 0000h - 047F FFFFh	1100 0000h - 11FF FFFFh
18	1200 0000h - 12FF FFFFh	0480 0000h - 04BF FFFFh	1200 0000h - 12FF FFFFh
29	1300 0000h - 13FF FFFFh	04C0 0000h - 04FF FFFFh	1300 0000h - 13FF FFFFh
20	1400 0000h - 14FF FFFFh	0500 0000h - 053F FFFFh	1400 0000h - 14FF FFFFh
21	1500 0000h - 15FF FFFFh	0540 0000h - 057F FFFFh	1500 0000h - 15FF FFFFh
22	1600 0000h - 16FF FFFFh	0580 0000h - 05BF FFFFh	1600 0000h - 16FF FFFFh
23	1700 0000h - 17FF FFFFh	05C0 0000h - 05FF FFFFh	1700 0000h - 17FF FFFFh
24	1800 0000h - 18FF FFFFh	0600 0000h - 063F FFFFh	1800 0000h - 18FF FFFFh
25	1900 0000h - 19FF FFFFh	0640 0000h - 067F FFFFh	1900 0000h - 19FF FFFFh
26	1A00 0000h - 1AFF FFFFh	0680 0000h - 06BF FFFFh	1A00 0000h - 1AFF FFFFh
27	1B00 0000h - 1BFF FFFFh	06C0 0000h - 06FF FFFFh	1B00 0000h - 1BFF FFFFh
28	1C00 0000h - 1CFF FFFFh	0700 0000h - 073F FFFFh	1C00 0000h - 1CFF FFFFh
29	1D00 0000h - 1DFF FFFFh	0740 0000h - 077F FFFFh	1D00 0000h - 1DFF FFFFh
30	1E00 0000h - 1EFF FFFFh	0780 0000h - 07BF FFFFh	1E00 0000h - 1EFF FFFFh
31	1F00 0000h - 1FFF FFFFh	07C0 0000h - 07FF FFFFh	1F00 0000h - 1FFF FFFFh

					Лист
					258
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

4.10.2 Программно доступные регистры блока защиты памяти

Перечень программно доступных регистров блока защиты памяти приведен в таблице 4.103.

Таблица 4.103 – Программно доступные регистры блока защиты памяти

Адрес (байтовый доступ)	Название	Доступ	Описание
0x000B_D000 hex	RD_MASK	ЧТ/ЗП	Маска защищаемых сегментов: 0 – обращение в данный сегмент по чтению разрешено, 1 – обращение в данный сегмент по чтению блокируется.
0x000B_D008 hex	RD_MASK_SET	ЗП	Побитовая установка регистра RD_MASK
0x000B_D010 hex	RD_MASK_CLEAR	ЗП	Побитовый сброс регистра RD_MASK
0x000B_D018 hex	RD_MASK_NULL	ЗП	Обнуление регистра RD_MASK
0x000B_D020 hex	RD_IRQ_STATUS_RAW	ЧТ	Статус запросов на прерывание без учёта маски: 0 – обращений по чтению в данный сегмент не было, 1 – зафиксировано обращение по чтению в данный сегмент.
0x000B_D028 hex	RD_IRQ_STATUS_RAW_SET	ЗП	Побитовая установка RD_IRQ_STATUS_RAW (только для отладки)
0x000B_D030 hex	RD_IRQ_STATUS_RAW_CLEAR	ЗП	Побитовый сброс регистра RD_IRQ_STATUS_RAW
0x000B_D038 hex	RD_IRQ_STATUS_RAW_NULL	ЗП	Обнуление регистра RD_IRQ_STATUS_RAW
0x000B_D040 hex	RD_IRQ_MASK	ЧТ/ЗП	Маска запросов на прерывание от регистра RD_IRQ_STATUS_RAW: 0 – прерывание запрещено, 1 – прерывание разрешено.
0x000B_D048 hex	RD_IRQ_MASK_SET	ЗП	Побитовая установка регистра RD_IRQ_MASK
0x000B_D050 hex	RD_IRQ_MASK_CLEAR	ЗП	Побитовый сброс регистра RD_IRQ_MASK
0x000B_D058 hex	RD_IRQ_MASK_NULL	ЗП	Обнуление регистра RD_IRQ_MASK
0x000B_D060 hex	RD_IRQ_STATUS	ЧТ	Статус запросов на прерывание с учётом маски: 0 – нет запроса, 1 – есть запрос.
0x000B_D068 hex	Зарезервировано	-	-
0x000B_D070 hex	Зарезервировано	-	-
0x000B_D078 hex	RD_IRQ_STATUS_NULL	ЗП	Обнуление незамаскированных запросов на прерывание (сбрасываются все биты регистра RD_IRQ_STATUS и все биты регистра RD_IRQ_STATUS_RAW, для которых установлен бит RD_IRQ_MASK).

					Лист
					259
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 4.103

Адрес (байтовый доступ)	Название	Доступ	Описание
0x000B_D10 0 hex	WR_MASK	ЧТ/ЗП	Маска защищаемых сегментов: 0 – обращение в данный сегмент по чтению разрешено, 1 – обращение в данный сегмент по чтению блокируется.
0x000B_D10 8 hex	WR_MASK_SET	ЗП	Побитовая установка регистра WR_MASK
0x000B_D11 0 hex	WR_MASK_CLEAR	ЗП	Побитовый сброс регистра WR_MASK
0x000B_D11 8 hex	WR_MASK_NULL	ЗП	Обнуление регистра WR_MASK
0x000B_D12 0 hex	WR_IRQ_STATUS_RAW	ЧТ	Статус запросов на прерывание без учёта маски: 0 – обращений по чтению в данный сегмент не было, 1 – зафиксировано обращение по чтению в данный сегмент.
0x000B_D12 8 hex	WR_IRQ_STATUS_RAW_SET	ЗП	Побитовая установка WR_IRQ_STATUS_RAW (только для отладки)
0x000B_D13 0 hex	WR_IRQ_STATUS_RAW_CLEAR	ЗП	Побитовый сброс регистра WR_IRQ_STATUS_RAW
0x000B_D13 8 hex	WR_IRQ_STATUS_RAW_NULL	ЗП	Обнуление регистра WR_IRQ_STATUS_RAW
0x000B_D14 0 hex	WR_IRQ_MASK	ЧТ/ЗП	Маска запросов на прерывание от регистра WR_IRQ_STATUS_RAW: 0 - прерывание запрещено, 1 - прерывание разрешено.
0x000B_D14 8 hex	WR_IRQ_MASK_SET	ЗП	Побитовая установка регистра WR_IRQ_MASK
0x000B_D15 0 hex	WR_IRQ_MASK_CLEAR	ЗП	Побитовый сброс регистра WR_IRQ_MASK
0x000B_D15 8 hex	WR_IRQ_MASK_NULL	ЗП	Обнуление регистра WR_IRQ_MASK
0x000B_D16 0 hex	WR_IRQ_STATUS	ЧТ	Статус запросов на прерывание с учётом маски: 0 - нет запроса, 1 - есть запрос.
0x000B_D16 8 hex	Зарезервировано	-	-
0x000B_D17 0 hex	Зарезервировано	-	-
0x000B_D17 8 hex	WR_IRQ_STATUS_NULL	ЗП	Обнуление незамаскированных запросов на прерывание (сбрасываются все биты регистра WR_IRQ_STATUS и все биты регистра WR_IRQ_STATUS_RAW, для которых установлен бит WR_IRQ_MASK).

Регистры блока защиты памяти находятся в области периферийных регистров кластера REG_CPU. Имеются четыре способа записи в каждый регистр:

1. Нормальный доступ – устанавливает в регистре записываемое значение,

									Лист
									260
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

2. Побитовая установка – устанавливает значение 1 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются,
3. Побитовый сброс – устанавливает значение 0 в тех разрядах, в которых имеются единицы в записываемом данном, остальные разряды не меняются,
4. Обнуление – устанавливает значение 0 во всех битах регистра, независимо от записываемого значения (т. е. имеет значение сам факт записи).

Для каждого способа записи выделен отдельный адрес. Не все способы доступны для всех регистров. Чтение регистра может производиться по любому из описанных адресов.

4.10.3 Прерывания

Каждый экземпляр (чтение и запись) блока защиты памяти имеет один сигнал запроса на прерывание. Сигнал запроса установлен, пока хотя бы для одного из сегментов $RD/WR_IRQ_STATUS_RAW[i]=1$ и $RD/WR_IRQ_MASK[i]=0$. Запрос можно снять программно одним из двух способов:

- с помощью регистра $RD/WR_IRQ_CLEAR_RAW$ – побитовый сброс битов регистра $RD/WR_IRQ_STATUS_RAW$;
- с помощью регистра $RD/WR_IRQ_STATUS_CLEAR$ – сброс всех незамаскированных битов регистра $RD/WR_IRQ_STATUS_RAW$.

4.11 Контроллер прерываний GIC

Контроллер прерываний GIC служит для передачи запросов на прерывание процессорному ядру ARM от периферийных устройств процессорного кластера PC. GIC имеет следующие характеристики:

- предоставляет программный интерфейс для взаимодействия процессорного ядра ARM и системой прерываний,
- поддерживает 64 векторных прерывания с настраиваемыми программно приоритетами (32 уровня приоритетов) и маскированием,
- поддерживает 8 программных прерываний.

										Лист
										261
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

4.11.1 Устройство системного контроллера прерываний

Блок не имеет сигналов, соединенных с внешними выводами микросхемы. На входы блока GIC подключаются выходы прерываний всех периферийных устройств системы на кристалле, выходы прерываний подключаются непосредственно к процессорному ядру ARM. GIC также имеет два интерфейса с системной шиной AMBA AXI, по которой процессорное ядро может его программировать.

На рисунке 4.33 приведена структурная схема GIC, основные компоненты которой приведены в таблице 4.104.

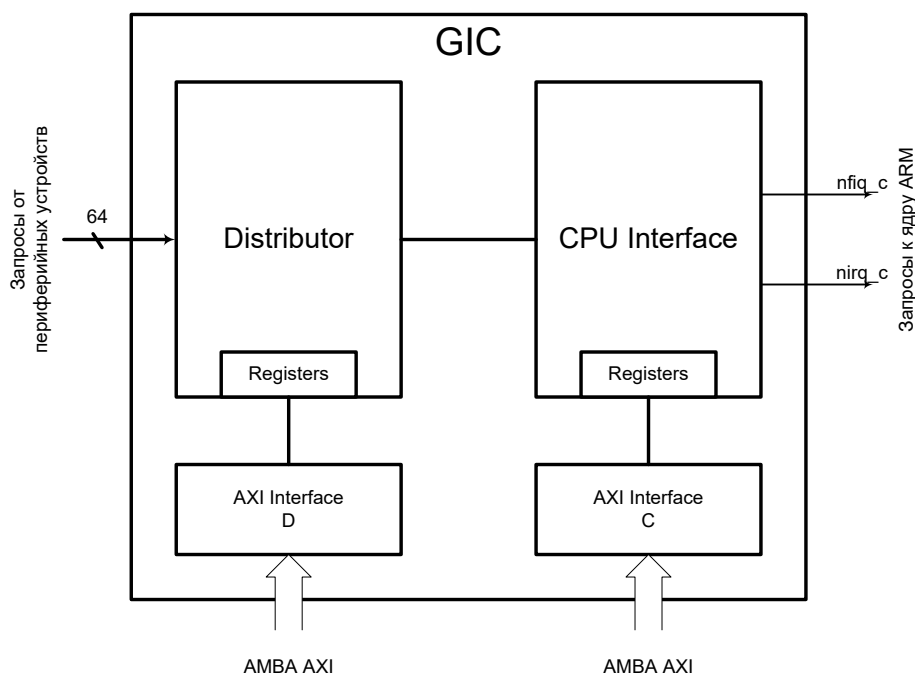


Рисунок 4.33 – Структурная схема GIC

Таблица 4.104 – Основные компоненты GIC

Название	Назначение
Блок обработки запросов от периферийных устройств (Distributor)	производит фиксацию запроса на прерывание, маскирование и предварительный арбитраж
Блок интерфейса с процессорным ядром (CPU Interface)	завершает арбитраж, передаёт запросы процессорному ядру и контролирует процесс обработки запросов

									Лист
									262
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

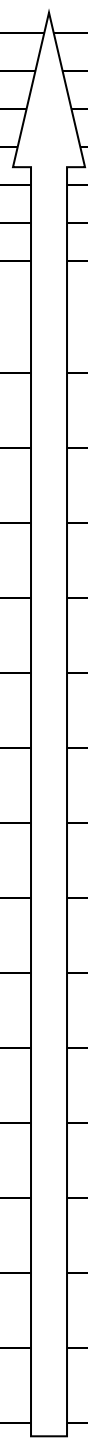
4.11.2 Запросы на прерывание

К входам линий прерываний GIC подключены выходы запросов на прерывание от периферийных устройств. Вместе с восемью программными прерываниями они образуют единый список. В таблице 4.105 приведён список прерываний процессорной системы ARM, каждому прерыванию в системе поставлен в соответствие свой порядковый номер (Interrupt ID).

									Лист
									263
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 4.105 – Прерывания ядра ARM процессорного кластера PC

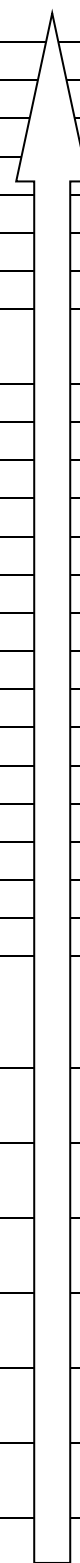
Interrupt ID	Символическое название	Описание	Приоритет по умолчанию
0	COMMRX	Канал отладки Rx от ARM	Высший
1	COMMTX	Канал отладки Tx от ARM	
2	CTIRQ	Прерывание от CTI	
3	-	Зарезервировано	
4	TIMINT0	Прерывание таймера 0	
5	TIMINT1	Прерывание таймера 1	
6	-	Зарезервировано	
7	-	Зарезервировано	
8	CCPU_HP	Высокоприоритетное прерывание от центральной управляющей процессорной системы (CCPU)	
9	PCi_HP	Высокоприоритетное прерывание от кластера PCi	
10	PCj_HP	Высокоприоритетное прерывание от кластера PCj	
11	PCk_HP	Высокоприоритетное прерывание от кластера PCk	
12	NMPU0_HP	Высокоприоритетное прерывание от NMPU0	
13	NMPU1_HP	Высокоприоритетное прерывание от NMPU1	
14	NMPU2_HP	Высокоприоритетное прерывание от NMPU2	
15	NMPU3_HP	Высокоприоритетное прерывание от NMPU3	
16	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP0	
17	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP0	
18	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP1	
19	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP1	
20	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP2	
21	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP2	
22	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP3	
23	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP3	



					Лист
					264
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 4.105

Interrupt ID	Символическое название	Описание	Приоритет по умолчанию
24	MDMAC_INT	Прерывание от контроллера ПДП память-память MDMAC	
25	MPUW_INT	Прерывание от MPU (канал записи)	
26	MPUR_INT	Прерывание от MPU (канал чтения)	
27	-	Зарезервировано	
28	-	Зарезервировано	
29	-	Зарезервировано	
30	GE_INT0	Внешнее прерывание 0	
31	GE_INT1	Внешнее прерывание 1	
32	EMI_INT	Прерывание от контроллера внешней памяти EMI	
33	ELC_INT	Прерывание от контроллера канала ELC	
34	-	Зарезервировано	
35	-	Зарезервировано	
36	-	Зарезервировано	
37	-	Зарезервировано	
38	GE_INT2	Внешнее прерывание 2	
39	GE_INT3	Внешнее прерывание 3	
40	-	Зарезервировано	
41	-	Зарезервировано	
42	-	Зарезервировано	
43	-	Зарезервировано	
44	-	Зарезервировано	
45	-	Зарезервировано	
46	GE_INT4	Внешнее прерывание 4	
47	GE_INT5	Внешнее прерывание 5	
48	CCPU_LP	Низкоприоритетное прерывание от центральной управляющей процессорной системы (CCPU)	
49	PCi_LP	Низкоприоритетное прерывание от кластера PCi	
50	PCj_LP	Низкоприоритетное прерывание от кластера PCj	
51	PCk_LP	Низкоприоритетное прерывание от кластера PCk	
52	NMPU0_LP	Низкоприоритетное прерывание от NMPU0	
53	NMPU1_LP	Низкоприоритетное прерывание от NMPU1	
54	NMPU2_LP	Низкоприоритетное прерывание от NMPU2	
55	NMPU3_LP	Низкоприоритетное прерывание от NMPU3	



					Лист
					265
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Продолжение таблицы 4.105

Interrupt ID	Символическое название	Описание	Приоритет по умолчанию
56	GE_INT6	Внешнее прерывание 6	↑
57	GE_INT7	Внешнее прерывание 7	
58	-	Зарезервировано	
59	-	Зарезервировано	
60	-	Зарезервировано	
61	PMU_IRQ	Прерывание от монитора производительности ARM	
62	PLLH_RDYINT	Готовность PLL от CRGH	Низший
63	-	Зарезервировано	

Примечания

- 1 Для PC0: PC_i = PC1, PC_j = PC2, PC_k = PC3.
- 2 Для PC1: PC_i = PC0, PC_j = PC3, PC_k = PC2.
- 3 Для PC2: PC_i = PC3, PC_j = PC0, PC_k = PC1.
- 4 Для PC3: PC_i = PC2, PC_j = PC1, PC_k = PC0.

Каждому из запросов на прерывание можно присвоить программный приоритет (0-31), записав нужное значение в соответствующий регистр программного приоритета. Если несколько прерываний имеют одинаковый программный приоритет, то для определения порядка их обработки используется аппаратный приоритет. Аппаратный приоритет тем выше, чем ниже порядковый номер прерывания. То есть, программное прерывание 0 имеет высший аппаратный приоритет, а прерывание 95 – низший.

Запросы на прерывание от периферийных устройств могут быть двух типов: по уровню и по фронту.

Для большинства устройств системы на кристалле используется механизм прерываний по уровню. В этом случае считается, что соответствующее периферийное устройство находится в состоянии запроса на прерывание, и линия прерывания активна до тех пор, пока не будет устранена причина данного запроса в периферийном устройстве.

Запрос на прерывание типа «по фронту» фиксируется контроллером прерываний в момент положительного фронта сигнала на линии прерывания.

4.11.3 Интерфейс GIC с процессорным ядром ARM

Входные запросы на прерывание проходят внутри GIC арбитраж и маскирование. Когда какой-нибудь из запросов выигрывает арбитраж, GIC выдаёт процессорному ядру ARM итоговый запрос и ядро переходит в один из двух режимов:

- IRQ (обычное прерывание),

					Лист
					266
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

- FIQ (быстрое прерывание).

4.11.4 Группы прерываний

GIC позволяет программно настроить режим обработки (IRQ или FIQ) для каждой линии прерывания и для каждого программного запроса. Каждое прерывание GIC считается принадлежащим к одной из двух групп: группе 0 или группе 1. После системного сброса все прерывания принадлежат группе 0 и имеют режим обработки IRQ. Далее можно с помощью записи в программно доступные регистры GIC переносить прерывания в группу 1 и обратно.

Разница между двумя группами заключается в том, что

- для группы 0 можно установить режим обработки прерывания FIQ,
- прерывания группы 1 могут обрабатываться в незащищённом режиме ядра ARM,
- для группы 1 рекомендуется устанавливать значения приоритетов 16-32.

4.11.5 Состояния обработки прерываний

По мере обработки каждое прерывание проходит через состояния, показанные на рисунке 4.34.

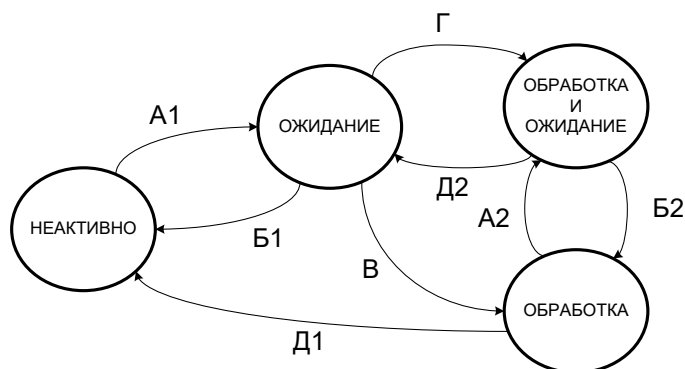


Рисунок 4.34 – Состояния обработки прерываний

Прерывание переходит в одно из состояний ОЖИДАНИЯ (переходы A1 и A2) по любому из следующих событий:

- периферийное устройство выдаёт запрос на прерывание,
- программная запись в регистр перехода в режим ожидания (GICD_ISPENDR),
- корректная запись в регистр программного запроса (GICD_SGIR).

Отмена ожидания (переходы B1 и B2) происходит с прерыванием по любому из следующих событий:

					ЮФКВ.431282.020РЭ	Лист
						267
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

- периферийное устройство по какой-то причине самостоятельно снимает запрос на прерывание – справедливо для прерываний по уровню,
- запись в регистр выхода из режима ожидания (GICD_ICPENDR) – справедливо для прерываний по фронту, программных и для прерываний по уровню, если запрос был инициирован программно.

Прерывание переходит в режим ОБРАБОТКИ (переход В) в момент, когда:

- процессорное ядро читает регистр подтверждения прерывания (GICC_IAR) и при этом в поле Interrupt ID выдаётся номер данного прерывания.

Переход Г совершается,

- если одновременно выполнены условия перехода В и Д1.

Завершением обработки прерывания (переходы Д1 и Д2) считается

- запись в регистр завершения обработки прерывания (GICC_EOIR).

4.11.6 Вложенные прерывания

Во время, пока какое-либо прерывание (первое) находится в состоянии ОБРАБОТКИ, может возникнуть второй, более приоритетный, запрос на прерывание. Второй запрос передаётся процессорному ядру только если удовлетворены оба условия:

- приоритет второго запроса выше, чем пороговый уровень приоритета (GICC_PMR),
- приоритет второго запроса выше, чем текущий приоритет обрабатываемого прерывания (GICC_RPR).

После этого процессорное ядро может прочитать регистр GICC_IAR ещё раз, переведя тем самым в состояние обработки второе прерывание. Второе прерывание считается вложенным и его обработка должна быть завершена (запись в регистр GICC_EOIR) раньше завершения первого прерывания.

4.11.7 Регистровая модель системного контроллера прерываний GIC

Программно доступные регистры системного контроллера прерываний GIC расположены в области памяти периферийных устройств REG_CPU, занимают две области памяти по 4 Кбайта:

- набор регистров блока обработки запросов от периферийных устройств – GICD, базовый адрес GICD_Base = 0x000B_0000,

										Лист
										268
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

- набор регистров блока интерфейса с процессорным ядром – GICC, базовый адрес GICC_Base = 0x000B_1000.

Спецификация регистров представлена в таблице 4.106.

									Лист
									269
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 4.106 - Спецификация регистров контроллера GIC

Адрес	Тип	Начальное значение	Имя	Описание
GICD Base+0x000	ЧТ/ЗП	0x00000000	GICD CTLR	Регистр включения GIC
GICD Base+0x004	ЧТ	0x00000402	GICD TYPER	Регистр конфигурации GIC
GICD Base+0x008	ЧТ	0x0000043B	GICD IIDR	Регистр идентификации GIC
GICD Base+0x080	ЧТ/ЗП	0x00000000	GICD IGROUPE0	Регистр 0 принадлежности к группе
GICD Base+0x084	ЧТ/ЗП	0x00000000	GICD IGROUPE1	Регистр 1 принадлежности к группе
GICD Base+0x088	ЧТ/ЗП	0x00000000	GICD IGROUPE2	Регистр 2 принадлежности к группе
GICD Base+0x100	ЧТ/ЗП	0x00000000	GICD ISENABLER0	Регистр 0 включения прерывания
GICD Base+0x104	ЧТ/ЗП	0x00000000	GICD ISENABLER1	Регистр 1 включения прерывания
GICD Base+0x108	ЧТ/ЗП	0x00000000	GICD ISENABLER2	Регистр 2 включения прерывания
GICD Base+0x180	ЧТ/ЗП	0x00000000	GICD ICENABLER0	Регистр 0 выключения прерывания
GICD Base+0x184	ЧТ/ЗП	0x00000000	GICD ICENABLER1	Регистр 1 выключения прерывания
GICD Base+0x188	ЧТ/ЗП	0x00000000	GICD ICENABLER2	Регистр 2 выключения прерывания
GICD_Base+0x200	ЧТ/ЗП	0x00000000	GICD_ISPENDR0	Регистр 0 перехода в режим ожидания
GICD_Base+0x204	ЧТ/ЗП	0x00000000	GICD_ISPENDR1	Регистр 1 перехода в режим ожидания
GICD_Base+0x208	ЧТ/ЗП	0x00000000	GICD_ISPENDR2	Регистр 2 перехода в режим ожидания
GICD_Base+0x280	ЧТ/ЗП	0x00000000	GICD_ICPENDR0	Регистр 0 выхода из режима ожидания
GICD_Base+0x284	ЧТ/ЗП	0x00000000	GICD_ICPENDR1	Регистр 1 выхода из режима ожидания
GICD_Base+0x288	ЧТ/ЗП	0x00000000	GICD_ICPENDR2	Регистр 2 выхода из режима ожидания
GICD_Base+0x300	ЧТ	0x00000000	GICD_ICDABR0	Регистр 0 состояния обработки прерывания
GICD_Base+0x304	ЧТ	0x00000000	GICD_ICDABR1	Регистр 1 состояния обработки прерывания
GICD_Base+0x308	ЧТ	0x00000000	GICD_ICDABR2	Регистр 2 состояния обработки прерывания
GICD Base+0x400	ЧТ/ЗП	0x00000000	GICD IPRIORITY0	Регистр 0 приоритетов
GICD Base+0x404	ЧТ/ЗП	0x00000000	GICD IPRIORITY1	Регистр 1 приоритетов
GICD Base+0x420	ЧТ/ЗП	0x00000000	GICD IPRIORITY8	Регистр 8 приоритетов
GICD Base+0x424	ЧТ/ЗП	0x00000000	GICD IPRIORITY9	Регистр 9 приоритетов
GICD Base+0x428	ЧТ/ЗП	0x00000000	GICD IPRIORITY10	Регистр 10 приоритетов
GICD Base+0x42C	ЧТ/ЗП	0x00000000	GICD IPRIORITY11	Регистр 11 приоритетов
GICD Base+0x430	ЧТ/ЗП	0x00000000	GICD IPRIORITY12	Регистр 12 приоритетов
GICD Base+0x434	ЧТ/ЗП	0x00000000	GICD IPRIORITY13	Регистр 13 приоритетов
GICD Base+0x438	ЧТ/ЗП	0x00000000	GICD IPRIORITY14	Регистр 14 приоритетов
GICD Base+0x43C	ЧТ/ЗП	0x00000000	GICD IPRIORITY15	Регистр 15 приоритетов
GICD Base+0x440	ЧТ/ЗП	0x00000000	GICD IPRIORITY16	Регистр 16 приоритетов
GICD Base+0x444	ЧТ/ЗП	0x00000000	GICD IPRIORITY17	Регистр 17 приоритетов
GICD Base+0x448	ЧТ/ЗП	0x00000000	GICD IPRIORITY18	Регистр 18 приоритетов
GICD Base+0x44C	ЧТ/ЗП	0x00000000	GICD IPRIORITY19	Регистр 19 приоритетов
GICD Base+0x450	ЧТ/ЗП	0x00000000	GICD IPRIORITY20	Регистр 20 приоритетов
GICD Base+0x454	ЧТ/ЗП	0x00000000	GICD IPRIORITY21	Регистр 21 приоритетов
GICD Base+0x458	ЧТ/ЗП	0x00000000	GICD IPRIORITY22	Регистр 22 приоритетов
GICD Base+0x45C	ЧТ/ЗП	0x00000000	GICD IPRIORITY23	Регистр 23 приоритетов

					Лист
					270
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 4.106

Адрес	Тип	Начальное значение	Имя	Описание
GICD_Base+0xC00	ЧТ/ЗП	0x0000AAAA	GICD_ICFGR0	Регистр 0 типа запроса
GICD_Base+0xC08	ЧТ/ЗП	0x55555555	GICD_ICFGR2	Регистр 2 типа запроса
GICD_Base+0xC0C	ЧТ/ЗП	0x55555555	GICD_ICFGR3	Регистр 3 типа запроса
GICD_Base+0xC10	ЧТ/ЗП	0x55555555	GICD_ICFGR4	Регистр 4 типа запроса
GICD_Base+0xC14	ЧТ/ЗП	0x55555555	GICD_ICFGR5	Регистр 5 типа запроса
GICD_Base+0xD04	ЧТ	0x00000000	GICD_IRAWST1	Регистр 1 состояния запросов от периферийных устройств
GICD_Base+0xD08	ЧТ	0x00000000	GICD_IRAWST2	Регистр 2 состояния запросов от периферийных устройств
GICD_Base+0xF00	ЗП	0x00000000	GICD_SGIR	Регистр программных запросов на прерывание
GICC_Base+0x000	ЧТ/ЗП	0x00000000	GICC_CTLR	Регистр управления интерфейсом с процессорным ядром
GICC_Base+0x004	ЧТ/ЗП	0x00000000	GICC_PMR	Регистр фильтра приоритетов
GICC_Base+0x008	ЧТ/ЗП	0x00000002	GICC_BPR	Регистр интервалов приоритета
GICC_Base+0x00C	ЧТ	0x0000007F	GICC_IAR	Регистр подтверждения прерывания
GICC_Base+0x010	ЗП	-	GICC_EOIR	Регистр завершения обработки прерывания
GICC_Base+0x014	ЧТ	0x000000FF	GICC_RPR	Регистр текущего приоритета обрабатываемого прерывания
GICC_Base+0x018	ЧТ	0x0000007F	GICC_HPPIR	Регистр наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ
GICC_Base+0x01C	ЧТ/ЗП	0x00000003	GICC_ABPR	Зеркало регистра интервалов приоритета

Особенности доступа к регистрам GIC

Процессорное ядро ARM может находиться в двух состояниях: защищённое (secure) и незащищённое (non-secure). При каждом доступе в программно доступные регистры информация о состоянии ядра передаётся в GIC, соответственно, GIC различает защищённый доступ и незащищённый. Для некоторых регистров поведение при защищённом доступе отличается от поведения при незащищённом.

Доступ в регистры GIC необходимо делать с помощью инструкций чтения и записи 32-разрядного слова (LDR, STR). Исключение составляют регистры GICD_IPRIORITY, в которые разрешён байтовый доступ (LDRB, STRB).

										Лист
										271
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр включения GIC (GICD_CTLR)

Формат регистра GICD_CTLR приведен в таблице 4.107.

Таблица 4.107 - Формат регистра GICD_CTLR

Биты	Название	Тип	Описание
[31:1]	Зарезервировано	-	
[0]	Enable	ЧТ/ЗП	Бит включения блока обработки запросов. Значение 0 – прерывания не передаются в интерфейсный блок, значение 1 разрешает прерываниям из состояния ожидания переходить в состояние обработки.

Физически имеется два экземпляра регистра GICD_CTLR – для защищённого режима и для незащищённого:

- если процессорное ядро обращается в защищённом режиме, то производится доступ к экземпляру, управляющему прерываниями группы 0;
- если процессорное ядро обращается в незащищённом режиме, то производится доступ к экземпляру, управляющему группой 1.

Регистр конфигурации GIC (GICD_TYPER)

Формат регистра GICD_TYPER приведен в таблице 4.108.

Таблица 4.108 - Формат регистра GICD_TYPER

Биты	Название	Тип	Описание
[31:11]	Зарезервировано	-	
[10]	SecurityExtn	ЧТ	Контроллер поддерживает расширения безопасности, поэтому данный бит имеет значение 1
[9:8]	Зарезервировано	-	
[7:5]	CPUNumber	ЧТ	Количество интерфейсов с процессорными ядрами, данное поле имеет значение 000 – один интерфейс
[4:0]	ITLinesNumber	ЧТ	Данный экземпляр GIC поддерживает до 96 прерываний, поэтому данное поле имеет значение 2

Данный регистр нужен для того, чтобы универсальное ПО определяло конфигурацию GIC.

Регистр идентификации GIC (GICD_IIDR)

Формат регистра GICD_IIDR приведен в таблице 4.109.

Таблица 4.109 - Формат регистра GICD_IIDR

Биты	Название	Тип	Описание
[31:16]	Зарезервировано	-	
[15:12]	Revision	ЧТ	Номер ревизии
[11:0]	Implementer	ЧТ	Код разработчика блока по JEP106 (0x0000043B – код фирмы ARM)

Регистры принадлежности к группе (GICD_IGROUPR0 – GICD_IGROUPR2)

Формат регистров GICD_IGROUPR0 – GICD_IGROUPR2 приведен в таблице 4.110.

										Лист
										272
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.		Подп. и дата			Взам.инв.№		Инь.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

Таблица 4.110 - Формат регистров GICD_IGROUPR0 – GICD_IGROUPR2

Биты	Название	Тип	Описание
[31:0]	Group	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Значение 0 – прерывание принадлежит к группе 0, значение 1 – прерывание принадлежит к группе 1.

Данные регистры доступны только в защищённом режиме.

Имеются три экземпляра регистров:

- в регистре GICD_IGROUPR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы,
- в регистре GICD_IGROUPR1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_IGROUPR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры включения прерываний (GICD_ISENABLER0 – GICD_ISENABLER2)

Формат регистров GICD_ISENABLER0 – GICD_ISENABLER2 приведен в таблице 4.111.

Таблица 4.111 - Формат регистров GICD_ISENABLER0 – GICD_ISENABLER2

Биты	Название	Тип	Описание
[31:0]	Set-enable	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра включает соответствующее прерывание, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание выключено, значение 1 – включено.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ISENABLER0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы,
- в регистре GICD_ISENABLER1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_ISENABLER2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры выключения прерываний (GICD_ICENABLER0 – GICD_ICENABLER2)

Формат регистров GICD_ICENABLER0 – GICD_ICENABLER2 приведен в таблице 4.112.

										Лист
										273
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 4.112 - Формат регистров GICD_ICENABLER0 – GICD_ICENABLER2

Биты	Название	Тип	Описание
[31:0]	Clear- enable	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра выключает соответствующее прерывание, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание выключено, значение 1 – включено.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ICENABLER0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы,
- в регистре GICD_ICENABLER1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_ICENABLER2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры перехода в режим ожидания (GICD_ISPENDR0 – GICD_ISPENDR2)

Формат регистров GICD_ISPENDR0 – GICD_ISPENDR2 приведен в таблице 4.113.

Таблица 4.113 - Формат регистров GICD_ISPENDR0 – GICD_ISPENDR2

Биты	Название	Тип	Описание
[31:0]	Set- pending	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра переводит соответствующее прерывание из неактивного состояния в состояние ОЖИДАНИЯ, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОЖИДАНИЯ, значение 1 – прерывание находится в состоянии ОЖИДАНИЯ.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ISPENDR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы,
- в регистре GICD_ISPENDR1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_ISPENDR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры выхода из режима ожидания (GICD_ICPENDR0 – GICD_ICPENDR2)

Формат регистров GICD_ICPENDR0 – GICD_ICPENDR2 приведен в таблице 4.114.

										Лист
										274
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 4.114 - Формат регистров GICD_ICPENDR0 – GICD_ICPENDR2

Биты	Название	Тип	Описание
[31:0]	Clear-pending	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра переводит соответствующее прерывание из состояния ОЖИДАНИЯ в неактивное состояние, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОЖИДАНИЯ, значение 1 – прерывание находится в состоянии ОЖИДАНИЯ.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ICPENDR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы,
- в регистре GICD_ICPENDR1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_ICPENDR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры состояния обработки прерывания (GICD_ICDABR0 – GICD_ICDABR2)

Формат регистров GICD_ICDABR0 – GICD_ICDABR2 приведен в таблице 4.115.

Таблица 4.115 - Формат регистров GICD_ICDABR0 – GICD_ICDABR2

Биты	Название	Тип	Описание
[31:0]	Active	ЧТ	Каждый бит регистра соответствует одной линии прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОБРАБОТКИ, значение 1 – прерывание находится в состоянии ОБРАБОТКИ.

В незащищённом режиме для чтения недоступны биты прерываний, относящихся к группе 0.

Имеются три экземпляра регистров:

- в регистре GICD_ICDABR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы,
- в регистре GICD_ICDABR1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_ICDABR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры приоритетов (GICD_IPRIORITY0 – GICD_IPRIORITY23)

Каждый регистр GICD_IPRIORITY содержит четыре восьмиразрядных поля, каждое поле соответствует одной линии прерывания. Возможные значения поля: 0-31.

										Лист
										275
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Максимальный приоритет – 0, минимальный – 31. В таблице 4.116 показано, как поля приоритетов распределены по регистрам.

Таблица 4.116 - Формат регистров GICD_IPRIORITY

Номер прерывания, Interrupt ID	Экземпляр регистра GICD_IPRIORITY	Поле	Номер прерывания, Interrupt ID	Экземпляр регистра GICD_IPRIORITY	Поле
0	GICD_IPRIORITY0	Биты 7-3	1	GICD_IPRIORITY0	Биты 15-11
2		Биты 23-19	3		Биты 31-27
4	GICD_IPRIORITY1	Биты 7-3	5	GICD_IPRIORITY1	Биты 15-11
6		Биты 23-19	7		Биты 31-27
-	-	-	-	-	-
32	GICD_IPRIORITY8	Биты 7-3	33	GICD_IPRIORITY8	Биты 15-11
34		Биты 23-19	35		Биты 31-27
36	GICD_IPRIORITY9	Биты 7-3	37	GICD_IPRIORITY9	Биты 15-11
38		Биты 23-19	39		Биты 31-27
40	GICD_IPRIORITY10	Биты 7-3	41	GICD_IPRIORITY10	Биты 15-11
42		Биты 23-19	43		Биты 31-27
44	GICD_IPRIORITY11	Биты 7-3	45	GICD_IPRIORITY11	Биты 15-11
46		Биты 23-19	47		Биты 31-27
48	GICD_IPRIORITY12	Биты 7-3	49	GICD_IPRIORITY12	Биты 15-11
50		Биты 23-19	51		Биты 31-27
52	GICD_IPRIORITY13	Биты 7-3	53	GICD_IPRIORITY13	Биты 15-11
54		Биты 23-19	55		Биты 31-27
56	GICD_IPRIORITY14	Биты 7-3	57	GICD_IPRIORITY14	Биты 15-11
58		Биты 23-19	59		Биты 31-27
60	GICD_IPRIORITY15	Биты 7-3	61	GICD_IPRIORITY15	Биты 15-11
62		Биты 23-19	63		Биты 31-27
64	GICD_IPRIORITY16	Биты 7-3	65	GICD_IPRIORITY16	Биты 15-11
66		Биты 23-19	67		Биты 31-27
68	GICD_IPRIORITY17	Биты 7-3	69	GICD_IPRIORITY17	Биты 15-11
70		Биты 23-19	71		Биты 31-27
72	GICD_IPRIORITY18	Биты 7-3	73	GICD_IPRIORITY18	Биты 15-11
74		Биты 23-19	75		Биты 31-27
76	GICD_IPRIORITY19	Биты 7-3	77	GICD_IPRIORITY19	Биты 15-11
78		Биты 23-19	79		Биты 31-27
80	GICD_IPRIORITY20	Биты 7-3	81	GICD_IPRIORITY20	Биты 15-11
82		Биты 23-19	83		Биты 31-27
84	GICD_IPRIORITY21	Биты 7-3	85	GICD_IPRIORITY21	Биты 15-11
86		Биты 23-19	87		Биты 31-27
88	GICD_IPRIORITY22	Биты 7-3	89	GICD_IPRIORITY22	Биты 15-11
90		Биты 23-19	91		Биты 31-27
92	GICD_IPRIORITY23	Биты 7-3	93	GICD_IPRIORITY23	Биты 15-11
94		Биты 23-19	95		Биты 31-27

В незащищённом режиме для чтения и записи недоступны поля приоритетов прерываний, относящихся к группе 0.

					Лист
					276
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистры типа запроса (GICD_ICFGR0 – GICD_ICFGR5)

Каждый регистр GICD_ICFGR содержит 16 двухразрядных полей. Значения поля: b01 – прерывание типа «по уровню», b11 – прерывание типа «по фронту». В таблице 4.117 показано, как поля распределены по регистрам.

Таблица 4.117 - Формат регистров GICD_ICFGR

Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле	Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле
0	GICD_ICFGR0	Биты 1-0	1	GICD_ICFGR0	Биты 3-2
2		Биты 5-4	3		Биты 7-6
4		Биты 9-8	5		Биты 11-10
6		Биты 13-12	7		Биты 15-14
-	-	-	-	-	-
32	GICD_ICFGR2	Биты 1-0	33	GICD_ICFGR2	Биты 3-2
34		Биты 5-4	35		Биты 7-6
36		Биты 9-8	37		Биты 11-10
38		Биты 13-12	39		Биты 15-14
40		Биты 17-16	41		Биты 19-18
42		Биты 21-20	43		Биты 23-22
44		Биты 25-24	45		Биты 27-26
46	Биты 29-28	47	Биты 31-30		
48	GICD_ICFGR3	Биты 1-0	49	GICD_ICFGR3	Биты 3-2
50		Биты 5-4	51		Биты 7-6
52		Биты 9-8	53		Биты 11-10
54		Биты 13-12	55		Биты 15-14
56		Биты 17-16	57		Биты 19-18
58		Биты 21-20	59		Биты 23-22
60		Биты 25-24	61		Биты 27-26
62	Биты 29-28	63	Биты 31-30		
64	GICD_ICFGR4	Биты 1-0	65	GICD_ICFGR4	Биты 3-2
66		Биты 5-4	67		Биты 7-6
68		Биты 9-8	69		Биты 11-10
70		Биты 13-12	71		Биты 15-14
72		Биты 17-16	73		Биты 19-18
74		Биты 21-20	75		Биты 23-22
76		Биты 25-24	77		Биты 27-26
78	Биты 29-28	79	Биты 31-30		
80	GICD_ICFGR5	Биты 1-0	81	GICD_ICFGR5	Биты 3-2
82		Биты 5-4	83		Биты 7-6
84		Биты 9-8	85		Биты 11-10
86		Биты 13-12	87		Биты 15-14
88		Биты 17-16	89		Биты 19-18
90		Биты 21-20	91		Биты 23-22
92		Биты 25-24	93		Биты 27-26
94	Биты 29-28	95	Биты 31-30		

В незащищённом режиме для чтения и записи доступны только поля приоритетов прерываний, относящихся к группе 1. При этом доступны только старшие 4 бита каждого поля и значения 0-15 соответствуют приоритетам 16-32 соответственно.

										Лист
										277
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистры состояния запросов от периферийных устройств (GICD_IRAWST1 и GICD_IRAWST2)

Формат регистров GICD_IRAWST1 и GICD_IRAWST2 приведен в таблице 4.118.

Таблица 4.118 - Формат регистров GICD_IRAWST1 и GICD_IRAWST2

Биты	Название	Тип	Описание
[31:0]	RawStatus	ЧТ	Каждый бит регистра соответствует одной линии прерывания. Регистр показывает состояние линии прерывания на входе в GIC: 0 – нет запроса, 1 – есть запрос.

Регистр доступен только в защищённом режиме. Значение битов, соответствующих прерываниям типа «по фронту», не определено.

Имеются два экземпляра регистров:

- в регистре GICD_IRAWST1 биты 0-31 соответствуют прерываниям 32-63 соответственно,
- в регистре GICD_IRAWST2 биты 0-31 соответствуют прерываниям 64-94 соответственно.

Регистр программных запросов на прерывание (GICD_SGIR)

Формат регистра GICD_SGIR приведен в таблице 4.119.

Таблица 4.119 - Формат регистра GICD_SGIR

Биты	Название	Тип	Описание
[31:26]	Зарезервировано	-	
[25:24]	TargetListFilter	ЗП	В это поле следует всегда записывать b00
[23:16]	CPUTargetList	ЗП	В это поле следует всегда записывать b00000001
[15]	NSATT	ЗП	Бит незащищённого режима. Запрос на прерывание генерируется, только если справедливо одно из условий: записываемое значение данного бита – 0, запись в данный регистр производится в защищённом режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 0, записываемое значение данного бита – 1, запись в данный регистр производится в защищённом режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 1, записываемое значение данного бита – любое, запись в данный регистр производится в незащищённом режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 1.
[14:4]	Зарезервировано	-	
[3:0]	SGIINTID	ЗП	Номер программного прерывания (Interrupt ID), на которое будет сделан запрос. Допустимые значения: 0-7 (прерывания 0-7 соответственно).

Запись в данный регистр инициирует запрос на программное прерывание.

Регистр управления интерфейсом с процессорным ядром (GICC_CTLR)

Формат регистра GICC_CTLR приведен в таблице 4.120.

					Лист
					278
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 4.120 - Формат регистра GICC_CTLR

Биты	Название	Тип	Описание
[31:5]	Зарезервировано	-	
[4]	SBPR	ЧТ/ЗП	Бит определяет, каким регистром задаётся размер интервала приоритетов в группе 1. Значение 0 – экземпляром регистра GICC_BPR для группы 1 (или, что то же самое, регистром GICC_ABPR), значение 1 – экземпляром регистра GICC_BPR для группы 0 (то есть одинаковое разбиение для группы 0 и группы 1).
[3]	FIQEn	ЧТ/ЗП	Бит режима прерывания. Значение 0 – прерывания группы 0 обрабатываются ядром ARM в режиме IRQ, значение 1 – в режиме FIQ.
[2]	AckCtl	ЧТ/ЗП	Управляет режимом подтверждения прерываний группы 1. Влияет на поведение регистров GICC_IAR и GICC_EOIR.
[1]	EnableGrp1	ЧТ/ЗП	Включение прерываний группы 1. Значение 0 – выключены, значение 1 – включены.
[0]	EnableGrp0	ЧТ/ЗП	Включение прерываний группы 0. Значение 0 – выключены, значение 1 – включены.

Регистр фильтра приоритетов (GICC_PMR)

Форматы регистров GICC_PMR в защищённом и незащищенном режимах приведены в таблицах 4.121 и 4.122.

Представление данного регистра различается при защищённом и незащищённом доступе. В защищённом режиме можно установить текущий пороговый уровень в значение от 0 до 31.

Таблица 4.121 - Формат регистра GICC_PMR в защищённом режиме

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:3]	Priority	ЧТ/ЗП	Пороговый уровень приоритета. Все запросы на прерывание с приоритетом ниже или равным значению данного поля маскируются.
[2:0]	Зарезервировано	-	

В незащищённом режиме можно установить текущий пороговый уровень в значение от 16 до 31.

Таблица 4.122 - Формат регистра GICC_PMR в незащищённом режиме

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:4]	Priority	ЧТ/ЗП	Пороговый уровень приоритета. При этом считается, что старший бит приоритета равен 1 (то есть значения 0-15 данного поля устанавливают приоритет 16-31 соответственно).
[2:0]	Зарезервировано	-	

Если в защищённом режиме запрограммирован текущий приоритет от 0 до 15, то любая незащищённая запись не проходит, а незащищённое чтение выдаёт 0.

Регистр интервалов приоритета (GICC_BPR)

Формат регистра GICC_BPR приведен в таблице 4.123.

										Лист
										279
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 4.123 - Формат регистра GICC_BPR

Биты	Название	Тип	Описание
[31:3]	Зарезервировано	-	
[2:0]	BinaryPoint	ЧТ/ЗП	Длина интервала приоритетов

Регистр GICC_BPR разбивает все возможные значения приоритетов прерываний на интервалы одинаковой длины, которые используются в механизме вложенных прерываний. Длиной интервала считается количество разных значений приоритетов в одном интервале. Физически имеется два экземпляра регистра GICC_BPR: регистр группы 0 (см. таблицу 4.124) и регистр группы 1 (см. таблицу 4.125).

Таблица 4.124 - Кодировка значений регистра GICC_BPR группы 0

Значение поля BinaryPoint	Длина интервала	Количество интервалов	Разделение приоритетов по интервалам
0	-	-	Зарезервировано
1	-	-	Зарезервировано
2	1	32	0, 1, ..., 31 – по одному приоритету в интервале
3	2	16	0-1, 2-3, ..., 30-31
4	4	8	0-3, 4-7, ..., 28-31
5	8	4	0-7, 8-15, 16-32, 24-31
6	16	2	0-15, 16-31
7	32	1	0-31 – все приоритеты в одном интервале

Прерывания группы 1 имеют приоритеты с 16 по 31, поэтому кодировка регистра GICC_BPR для группы 1 отличается.

Таблица 4.125 - Кодировка значений регистра GICC_BPR группы 1

Значение поля BinaryPoint	Длина интервала	Количество интервалов	Разделение приоритетов по интервалам
0	-	-	Зарезервировано
1	-	-	Зарезервировано
2	-	-	Зарезервировано
3	1	16	16, 17, ..., 31 – по одному приоритету в интервале
4	2	8	16-17, 18-19, ..., 30-31
5	4	4	16-19, 20-23, 24-27, 28-31
6	8	2	16-23, 24-31
7	16	1	16-31 – все приоритеты группы 1 в одном интервале

Не допускается записывать в регистр GICC_BPR зарезервированные значения.

Экземпляр регистра группы 1 может не использоваться (см. описание бита GICC_CTLR[SBPR] таблицы 4.120).

										Лист
										280
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр подтверждения прерывания (GICC_IAR)

Формат регистра GICC_IAR приведен в таблице 4.126.

Таблица 4.126 - Формат регистра GICC_IAR

Биты	Название	Тип	Описание
[31:7]	Зарезервировано	-	
[6:0]	InterruptID	ЧТ	Номер самого приоритетного на данный момент прерывания.

Чтение из данного регистра:

- возвращает номер наиболее приоритетного на данный момент прерывания,
- переводит это прерывание в состояние ОБРАБОТКИ.

Описанные действия производятся контроллером только в ответ на валидное чтение.

Если наиболее приоритетным на данный момент является прерывание из группы 0, то валидным считается чтение только в защищённом режиме процессора. Если из группы 1, то возможны варианты:

- чтение в незащищённом режиме валидно,
- если бит GICC_CTLR[AckCtl] заранее установлен в 1, то валидно чтение в защищённом режиме.

При любых других условиях чтение считается невалидным. Невалидное чтение не влияет на внутреннее состояние контроллера и возвращает:

- значение 1022 в случае, когда наиболее приоритетное прерывание принадлежит группе 1, чтение в защищённом режиме и бита GICC_CTLR[AckCtl]=0,
- значение 1023 во всех других случаях.

Регистр завершения обработки прерывания (GICC_EOIR)

Формат регистра GICC_EOIR приведен в таблице 4.127.

Таблица 4.127 - Формат регистра GICC_EOIR

Биты	Название	Тип	Описание
[31:10]	Зарезервировано	-	
[9:0]	EOINTID	ЗП	Номер прерывания

Валидная запись в данный регистр переводит прерывание с номером EOINTID из режима ОБРАБОТКИ в неактивное состояние.

Запись считается валидной, если справедливо одно из условий:

- прерывание с номером EOINTID принадлежит группе 0 и запись производится в защищённом режиме,
- прерывание с номером EOINTID принадлежат группе 1 и запись производится в незащищённом режиме,

										Лист
										281
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

- прерывание с номером EOINTID принадлежат группе 1, запись производится в защищённом режиме и бит GICC_CTLR[AckCtl]=1.

Любая другая запись считается невалидной, кроме того:

- запись в защищённом режиме при значении бита GICC_CTLR[AckCtl]=0 недопустима,
- при AckCtl=0 записываемое в защищённом режиме значение EOINTID должно соответствовать последнему прочитанному в защищённом режиме значению InterruptID регистра GICC_IAR,
- при AckCtl=1 записываемое в защищённом режиме значение EOINTID должно соответствовать последнему прочитанному в любом режиме значению InterruptID регистра GICC_IAR,
- записываемое в незащищённом режиме значение EOINTID должно соответствовать последнему прочитанному в незащищённом режиме значению InterruptID регистра GICC_IAR.

Регистр текущего приоритета обрабатываемого прерывания (GICC_RPR)

Формат регистра GICC_RPR в защищённом и незащищенном режимах приведен с таблицами 4.128 и 4.129 соответственно.

Представление данного регистра различается при защищённом и незащищённом доступе.

Таблица 4.128 - Формат регистра GICC_RPR в защищённом режиме

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:3]	Priority	ЧТ	Приоритет прерывания, находящегося в состоянии ОБРАБОТКИ. Возвращается наивысший приоритет из интервала, в котором находится наиболее приоритетное на данный момент прерывание.
[2:0]	Зарезервировано	-	

Таблица 4.129 - Формат регистра GICC_RPR в незащищённом режиме

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:4]	Priority	ЧТ	Приоритет прерывания группы 1, находящегося в состоянии ОБРАБОТКИ. При этом считается, что старший бит приоритета равен 1 (то есть значения 0-15 данного поля означает приоритет 16-31 соответственно). Если в состоянии обработки находится прерывание группы 0, то данное поле возвращает 0.
[2:0]	Зарезервировано	-	

										Лист
										282
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

Регистр наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ (GICC_HPPIR)

Формат регистра GICC_HPPIR приведен в таблице 4.130.

Таблица 4.130 - Формат регистра GICC_HPPIR

Биты	Название	Тип	Описание
[31:10]	Зарезервировано	-	
[9:0]	PENDINTID	ЧТ	Номер наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ.

При защищённом чтении регистр возвращает:

- номер наиболее приоритетного прерывания из всех находящихся в состоянии ОЖИДАНИЯ, если бит GICC_CTLR[AckCtl]=1,
- номер наиболее приоритетного прерывания из группы 0, находящегося в состоянии ОЖИДАНИЯ,
- значение 1022, если в состоянии ожидания находятся только прерывания группы 1,
- значение 1023 во всех остальных случаях.

При незащищённом чтении регистр возвращает:

- номер наиболее приоритетного прерывания из группы 1, находящегося в состоянии ОЖИДАНИЯ,
- значение 1023.

Зеркало регистра интервалов приоритета (GICC_ABPR)

Зеркало регистра интервалов приоритета позволяет в защищённом режиме производить доступ в экземпляр регистра интервала приоритетов для группы прерываний 1 (доступный по адресу регистра GICC_BPR только в незащищённом режиме).

4.11.8 Порядок работы с GIC

Ниже описывается пример работы с GIC в простом случае: все прерывания обрабатываются в режиме IRQ, настройки приоритетов оставлены по умолчанию. Представлен порядок действий программы, выполняемой на процессорном ядре ARM, непосредственно связанном с данным GIC.

Порядок инициализации после системного сброса:

- запись в регистры GICD_ICFGR информации о типе запросов от каждого периферийного устройства: по фронту или по уровню,
- запись в регистры GICD_IGROUPR значения 0 – все прерывания относятся к группе 0,
- запись в регистры GICD_ISENABLER информации о том, какие прерывания следует включить,

									Лист
									283
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

4.12 Блок сдвоенных таймеров DIT

Блок сдвоенных таймеров кластера имеет следующие характеристики:

- два 32-/16-разрядных таймера;
- для каждого таймера можно настроить режим его работы (свободный счет, периодичный, одиночный);
- каждый таймер имеет собственный выход прерывания;
- подключение к системной шине СБИС через интерфейс AMBA APB, используется полный 32-разрядный интерфейс шины данных.

4.12.1 Устройство блока сдвоенных таймеров

Блок не имеет сигналов, соединенных с внешними выводами микросхемы. На рисунке 4.35 приведена структурная схема этого блока.

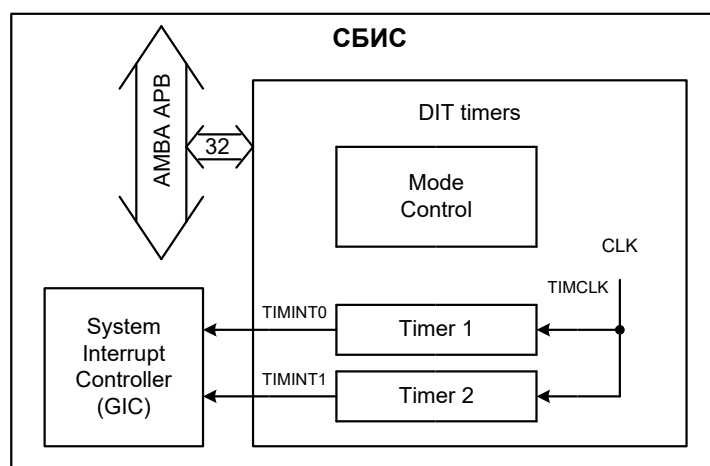


Рисунок 4.35 – Структурная схема блока сдвоенных таймеров

Блок состоит из двух идентичных блоков Timer 1 и Timer 2, каждый из которых может функционировать в 16- или 32-битном режиме. Внутри каждого блока находится счетчик FRC (Free Running Counter).

Оба таймера могут быть программно настроены на работу в одном из следующих режимов:

- свободный счет (free-running) – счетчик таймера постоянно декрементируется, счет автоматически начинается с максимального значения после достижения нуля;
- периодичный (periodic) – аналогично предыдущему, только после достижения нуля счет начинается со значения, предварительно загруженного в регистр TimerXLoad;
- одиночный (one-shot) – счетчик начинает декрементироваться со значения, загруженного в регистр TimerXLoad, после достижения нуля счет останавливается.

									Лист
									285
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Старшие 16 битов 32-битного регистра TimerXValue не сбрасываются автоматически в нуль при переходе в 16-битный режим. В них сохраняется значение, записанное прежде в 32-битном режиме.

									Лист
									289
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр управления. TimerXControl

Формат регистра управления приведен в таблице 4.132.

Таблица 4.132 - Формат регистра TimerXControl

Биты	Название	Тип	Функции
[31:8]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[7]	TimerEn	ЧТ/ЗП	Бит разрешения: 0 = FRC неактивен (по умолчанию) 1 = FRC активен
[6]	TimerMode	ЧТ/ЗП	Бит режима: 0 = FRC находится в режиме свободного счёта (по умолчанию) 1 = FRC находится в периодическом режиме.
[5]	IntEnable	ЧТ/ЗП	Бит разрешения прерываний: 0 = прерывание запрещено 1 = прерывание разрешено (по умолчанию).
[4]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[3:2]	TimerPre	ЧТ/ЗП	Биты масштабирования частоты счёта (делитель частоты): 00 = синхросигнал не делится (по умолчанию) 01 = синхросигнал делится на 16 10 = синхросигнал делится на 256 11 = не используется.
[1]	TimerSize	ЧТ/ЗП	Выбирает разрядность счётчика: 0 = 16-битный счетчик (по умолчанию) 1 = 32-битный счетчик.
[0]	OneShot	ЧТ/ЗП	Выбирает однократный или многократный режим счетчика: 0 = многократный режим (по умолчанию) 1 = однократный режим.

Состояние счетчика, разрядность и делитель частоты – это установки, которые не должны меняться, пока счётчик работает. Смену настроек следует производить при выключенном счётчике.

Регистр снятия прерываний. TimerXIntClr

Любая запись в данный регистр снимает запрос на прерывание от таймера.

Регистр состояния прерывания до наложения маски. TimerXRIS

Регистр TimerXRIS указывает на состояние запроса на прерывание до наложения маски. Формат регистра представлен в таблице 4.133.

									Лист
									290
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4		09.11.2020		31406-3					

Таблица 4.133 - Формат регистра TimerXRIS

Биты	Имя	Тип	Функция
[31:1]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[0]	TimerXRIS	ЧТ	Состояние запроса на прерывание до наложения маски

Регистр состояния прерывания после наложения маски. TimerXMIS

Регистр TimerXMIS указывает на состояние запроса на прерывание после наложения маски. Это значение представляется логическим "И" между битом состояния прерывания (TimerXRIS) и битом разрешения прерываний (IntEnable) регистра управления. Формат регистра представлен в таблице 4.134.

Таблица 4.134 - Формат регистра TimerXMIS

Биты	Имя	Тип	Функция
[31:1]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[0]	TimerXMIS	ЧТ	Состояние запроса на прерывание после наложения маски

Фоновый регистр загрузки. TimerXBGLoad

Регистр TimerXBGLoad – является 32-битным регистром, который содержит значение, с которого счетчик начинает декрементироваться. Данное значение используется для перезагрузки счетчика в периодическом режиме, когда текущее значение счета достигает нуля.

Идентификатор периферийного устройства. TimerPeriphID0-3

Регистр TimerPeriphID0-3 представляет собой четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр, формат которого приведен на рисунке 4.36.

В таблице 4.135 приведены поля идентификатора периферийного устройства TimerPeriphID0-3.

										Лист
										291
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 4.135 - Поля идентификатора периферийного устройства *TimerPeriphID0-3*

Биты	Выполняемые функции
PartNumber[11:0]	Содержит шифр компонента периферийного блока. Для DIT - 0x804
DesignerID[19:12]	Идентификационный номер проектировщика блока. Для ARM - 0x41 (ASCII A)
Revision[23:20]	Является номером ревизии периферийного блока. Номер ревизии начинается с нуля
Configuration[31:24]	Является вариантом конфигурацией периферии. Для DIT 0x0

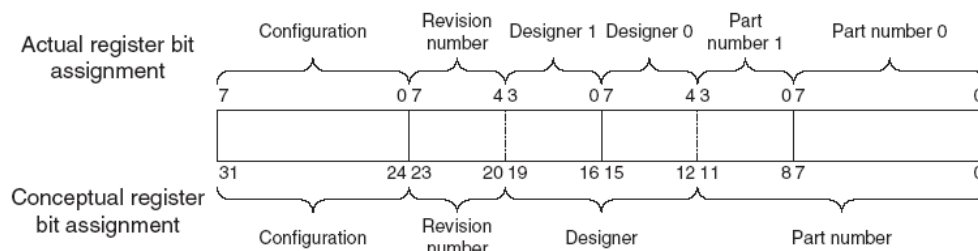


Рисунок 4.36 - Формат регистра *TimerPeriphID0-3*

Обращение к регистрам должно быть 32-битным, независимо от их реальной разрядности.

PrimeCell идентификатор. TimerPCellID0-3

Регистры *TimerPCellID0-3* – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, предназначенные только для чтения, могут быть концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр *TimerPCellID* установлен в 0xB105F00D. На рисунке 4.37 приведен формат этого регистра.

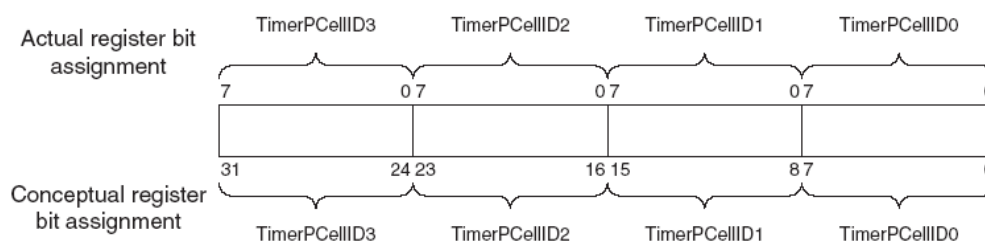


Рисунок 4.37 – Формат регистра *TimerPCellID0-3*

Регистр управления тестом интеграции. TimerITCR

Этот однобитный регистр включает тестовый режим интеграции, в котором сигналы прерывания напрямую контролируются регистром *TimerITOP*. Формат регистра приведен в таблице 4.136.

									Лист
									292
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 4.136 - Формат регистра TimerITCR

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	ITEN	ЧТ/ЗП	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, DIT переходит в режим теста интеграции, иначе находится в нормальном режиме.

Регистр управления выходными сигналами. TimerITOP

Когда используется режим теста интеграции, выходные сигналы прерывания непосредственно управляются битами этого регистра. Формат регистра приведен в таблице 4.137.

Таблица 4.137 - Формат регистра TimerITOP

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	TIMERINT2	ЗП	Сигнал запроса на прерывание таймера 2 в режиме теста интеграции
[1]	TIMERINT1	ЗП	Сигнал запроса на прерывание таймера 1 в режиме теста интеграции

4.12.3 Прерывания

Блок имеет два прерывания, каждое из которых подключено к системному контроллеру прерываний (GIC).

										Лист
										293
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.13 Универсальный блок интерфейсов общего назначения GPIO/EXTINT/Request-Acknowledge (GERA)

Универсальный блок интерфейсов общего назначения имеет следующие характеристики:

- восемь универсальных входов/выходов общего назначения, разделенных на четыре группы по два вывода;
- каждая пара выводов может использоваться как два вывода GPIO, или как пара внешних входов прерывания EXTINT, или как интерфейс «запрос-подтверждение»;
- подключение к системной шине СБИС через интерфейс AMBA APB, используются 8 младших бит шины данных.

4.13.1 Устройство универсального блока интерфейсов общего назначения

На рисунке 4.38 приведена внутренняя структура универсального блока интерфейсов общего назначения с подключенной к нему шиной AMBA APB. В состав модуля входят функционально завершенные блоки интерфейсов GPIO, EXIRC и Request-acknowledge и блоки коммутации.

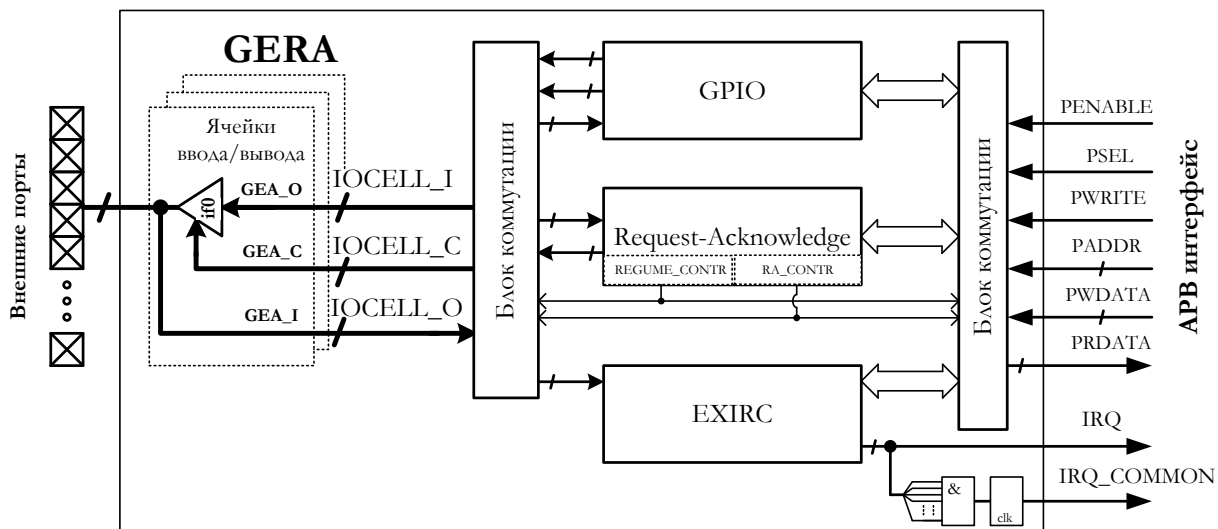


Рисунок 4.38 – Структурная схема универсального блока интерфейсов общего назначения

На рисунке 4.39 представлена схема коммутации, управляемая сигналами регистра задания режима, на примере пары выводов. Начиная с нулевого вывода, все универсальные выводы условно разбиты на пары (2*N, 2*N+1), где N = 0, 1, 2, 3. Это обусловлено тем, что интерфейсу RA, поддерживаемому выводами блока, необходимо два вывода. В случае же других интерфейсов (GPIO, EXIRC) пара реализует два вывода заданного интерфейса.

					Лист
					294
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

4.13.2 Программно доступные регистры универсального блока интерфейсов общего назначения

Программно доступные регистры универсального блока интерфейсов общего назначения расположены в области памяти периферийных устройств кластера REG_CPU и имеют базовый адрес GERA Base = 0x000C_C000 и общий размер 4 Кбайта. Спецификация регистров представлена в таблице 4.138.

Таблица 4.138 - Спецификация регистров блока универсального блока интерфейсов общего назначения

	Адрес (байтовый доступ)	Имя регистра	Описание
GPIO	Базовый адрес	PDR0	Регистр данных 0
	Базовый адрес + 0x04 hex	-	зарезервировано
	Базовый адрес + 0x08 hex	-	зарезервировано
	Базовый адрес + 0x0C hex	-	зарезервировано
	Базовый адрес + 0x10 hex	DDR0	Регистр направления 0
	Базовый адрес + 0x14 hex	-	зарезервировано
	Базовый адрес + 0x18 hex	-	зарезервировано
	Базовый адрес + 0x1C hex	-	зарезервировано
EXIRC	Базовый адрес + 0x20h	EIENB	Регистр разрешения внешних прерываний
	Базовый адрес + 0x24h	EIREQ	Регистр запроса внешних прерываний
	Базовый адрес + 0x28h	EILVL	Регистр уровня внешних прерываний
	Базовый адрес + 0x2Ch	-	зарезервировано
RA	Базовый адрес + 0x30h	RA_CONTR	Регистр назначения пары выводов GERA: 2*N+1, 2*N в режиме request-acknowledge (RA).
	Базовый адрес + 0x34h	RA_VAL	Регистр задания/снятия запроса в интерфейсе request-acknowledge (RA).
	Базовый адрес + 0x38h	REGIME	Регистр назначения пары 2*N+1, 2*N универсальных выводов.
	Базовый адрес + 0x3Ch	-	зарезервировано

									Лист
									296
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

4.13.3 Конфигурация регистров универсального блока интерфейсов общего назначения

В таблице 4.139 представлены конфигурации регистров, входящих в состав универсального блока интерфейсов общего назначения.

Таблица 4.139 - Конфигурации регистров блока универсального блока интерфейсов общего назначения

	Имя регистра	Разрядность	Доступ	Начальное значение	Описание
GPIO	PDRx	[31:8]	-	-	Зарезервировано
		[7:0]	ЧТ/ЗП*	-	Регистры PDR являются регистрами данных для выводов GPIO. Входные и выходные данные передаются через этот регистр на соответствующие выходы GPIO. Направления выводов определяются соответствующими битами регистра DDR
	DDRx	[31:8]	-	-	Зарезервировано
		[7:0]	ЧТ/ЗП	0x00	Регистры DDR являются регистрами управления направлением выводов GPIO. DDR = 0 – вывод является входом. DDR = 1 – вывод является выходом
EXIRC	ENBx	[31:8]	-	0x000000	Зарезервировано
		[7:0]	ЧТ/ЗП	0x0000	Если бит ENBx ноль, то по соответствующему входу внешний запрос на прерывание любого типа игнорируется. 0 – внешнее прерывание заблокировано (по умолчанию) 1 – внешнее прерывание разрешено
	REQx	[31: 8]	-	0x000000	Зарезервировано
		[7:0]	ЧТ/ЗП	0x0000	Если есть запрос на прерывание, бит REQx устанавливается в 1. 0 – Нет запроса на прерывание (по умолчанию) 1 – Есть запрос на прерывание
	LVLx	[31: 16]	-	0x0000	Зарезервировано
		[15:0]	ЧТ/ЗП	0x5555	Значение этого регистра определяет, при каком типе внешнего прерывания будет генерироваться внутреннее прерывание. Приведены возможные значения бит LVLx[1:0] для каждого из каналов: 00 – внутреннее прерывание генерируется при низком уровне внешнего сигнала 01 – внутреннее прерывание генерируется при высоком уровне внешнего сигнала (по умолчанию) 10 – внутреннее прерывание генерируется по переднему фронту внешнего сигнала 11 – внутреннее прерывание генерируется по заднему фронту внешнего сигнала

					Лист
					297
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 4.139

	Имя регистра	Разрядность	Доступ	Начальное значение	Описание
RA	RA_CONTR	[7:0]	ЧТ/ЗП	RA_INIT	Значение этого регистра определяет конфигурацию выводов в режиме RA. Для GERA[2*N+1, 2*N]: RA_CONTR[2*N+1, 2*N]=00 – SA,SR ¹⁾ RA_CONTR[2*N+1, 2*N]=01 – SR,SA RA_CONTR[2*N+1, 2*N]=10 – DA,DR ¹⁾ RA_CONTR[2*N+1, 2*N]=11 – DR,DA
RA	RA_VAL ²⁾	[31:0]	ЧТ/ЗП	-	Значения регистра участвует в пересылке запрос-ответ интерфейса Request-Acknowledge. Старшая половина регистра RA_CONTR[31:16] формирует запрос на определённом выводе посредством записи единицы в соответствующий выводу бит. Младшая половина RA_CONTR[15:0] – формирует ответ через запись единицы в соответствующий выводу бит. Недействительные биты не влияют на работу интерфейса.
	REGIME	[7:0]	ЧТ/ЗП	REGIME_INIT	Значение регистра определяет назначение универсальных выводов. Для GERA[2*N+1, 2*N]: RA_CONTR[2*N+1, 2*N]=00 – RA,RA RA_CONTR[2*N+1, 2*N]=01 – зарезервировано RA_CONTR[2*N+1, 2*N]=10 – EXIRC,EXIRC RA_CONTR[2*N+1, 2*N]=11 – GPIO, GPIO

Примечания

1) Интерфейс RA поддерживает два режима функционирования: посылка запроса - ожидания ответа или приём запроса - формирование ответа. Эти режимы соответственно обозначены буквами D (режим формирование запроса) и S (режим формирование ответа). Ввиду преследования универсальности, программирование регистра RA_CONTR позволяет менять местами назначения выводов в любом режиме функционирования RA.

2) Регистр RA_VAL на самом деле является псевдорегистром. Поскольку запись по адресу этого регистра представляет собой возведение триггеров, отвечающих либо за формирование «запроса», либо «ответа». А чтение по этому адресу – чтение значений сигналов, являющихся сверткой комбинаторной логики сигналов «запроса» и «ответа». Однако для пользователя такая абстракция (как регистра) исключает обособление описания работы этого узла схемы интерфейса RA. Более подробное описание назначения и работы данного псевдорегистра приведено в п.4.13.4.2.

Каждый интерфейс универсальных выводов имеет жёсткую привязку к битам внутренних регистров. Поэтому, в зависимости от того, на каких парах реализуется определённый интерфейс, задействуются привязанные к этим парам внутренние регистры. Для примера, если нулевая пара (два вывода GERA) используются как EXIRC, далее 1-я пара в режиме GPIO и оставшиеся 2 пары – два интерфейса RA, где одна ведомая, а последняя – ведущая пара, тогда:

REGIME[7:0] = b0000_1110;

					Лист
					298
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ENB[1:0], REQ[1:0], LVL[1:0] – настраивают нулевую пару EXIRC. При этом остальные выводы прерывания также не перестают функционировать, но они выступают в роли дополнительных;

PDR0[3:2] и DDR0[3:2] – отвечают за задание данных и направления интерфейса GPIO.

RA_CONTR[7:4] – настраивают режим и конфигурацию интерфейсов RA.

RA_VAL[19,18] и RA_VAL[6,5] – участвуют в формировании сигналов запрос и ответ соответственно.

4.13.4 Описание работы блока

4.13.4.1 Настройка выводов

Изменения назначения выводов производится программно через запись в регистр REGIME, после чего программно настраивается работа выводов уже в определённом режиме. Внутренняя настройка выводов перед их установкой в определённый режим **нежелательна**, поскольку следствием такой последовательности действий является появление неизвестных состояний до первого изменения значения на выводах интерфейса. Это не влияет на функционирование, однако данную особенность следует иметь в виду при использовании и тестировании блока.

В режиме GPIO и RA интерфейс EXIRC не перестаёт функционировать, что позволяет его использовать как следящее за входными сигналами устройство. В случае, если это не нужно, значение регистра разрешения прерываний EIENB должно быть равно нулю. Опять же, как говорилось выше, сначала нужно задать REGIME, а уже после настраивать интерфейс EXIRC.

4.13.4.2 Функционирование

Передача данных в режиме GPIO

Регистр PDR(in) обновляется постоянно при изменении PI. Выход PO определяется значением регистра PDR(out).

Когда вывод GPIO используется в качестве входа (DDR=0), чтение возвращает значение регистра PDR(in), а запись производится в регистр PDR(out).

Когда вывод GPIO используется как выход (DDR=1), запись устанавливает значение регистра PDR(out), а при чтении возвращается записанное значение.

										Лист
										299
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

Прерывания EXIRC

Процедура инициализации блока для отслеживания внешнего прерывания следующая:

- 1) сбросить соответствующий внешнему прерыванию бит регистра EIENB
- 2) установить соответствующий внешнему прерыванию бит регистра EILVL
- 3) сбросить соответствующий внешнему прерыванию бит регистра EIREQ
- 4) установить соответствующий внешнему прерыванию бит регистра EIENB.

Соответствующий внешнему прерыванию бит регистра EIENB должен быть сброшен во время установки бит других регистров блока. Также необходимо сбросить бит регистра EIREQ перед установкой бита регистра EIENB, т. к. иначе возможна генерация прерывания в момент инициализации контроллера EXIRC.

Интерфейс Request-Acknowledge (RA)

В режиме RA активный уровень универсальных выводов – низкий. Краткий алгоритм работы интерфейса (временные диаграммы представлены на рисунке 4.40 – две верхние диаграммы):

1) ведущее устройство (D – drive) посылает запрос. Соответствует моменту времени **t1**. Формируется программно, на рисунке – жирная вертикальная стрелка.

2) приняв запрос, ведомое устройство (S – slave) формирует ответ (момент времени **t2**), также формируется программно – жирная вертикальная стрелка.

3) получив ответ, ведущее устройство самостоятельно снимает активный уровень запроса (аппаратно) – диагональная стрелка. Снятие – момент времени **t3**.

4) снятие запроса ведущего устройства порождает (диагональная стрелка) аппаратное снятие ответа ведомого устройства – момент времени **t4**.

Начиная с момента времени **t4**, интерфейс отработал цикл запрос-ответ и готов к формированию новой пересылки.

									Лист
									300
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3				

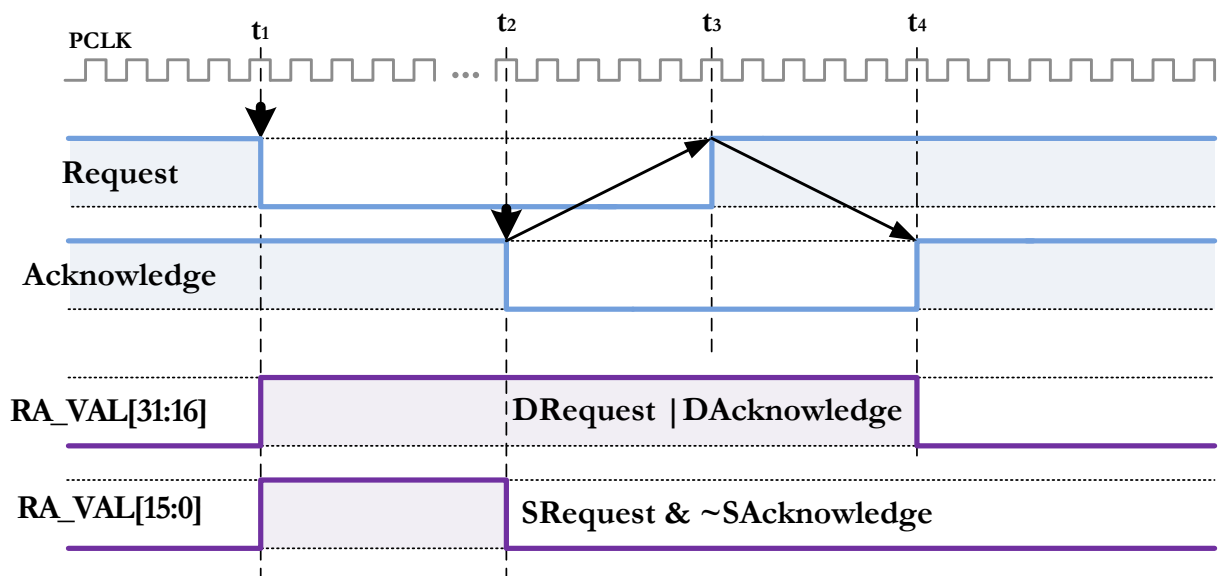


Рисунок 4.40 – Временные диаграммы интерфейса Request-Acknowledge

Пара универсальных выводов, определённых как RA-интерфейс, может работать как устройство, ожидающее запрос и формирующее ответ (S-режим), и как выдающее запрос и ожидающее ответ (D-режим).

Для идентификации получения запроса/ответа необходимо разрешить прерывание в регистре ENB для битов, соответствующих используемым парам выводов в режиме RA, и проследить, чтобы в соответствующих битах регистра LVL стояли значения «00» или «11» (зависит от задачи), являющиеся условиями генерации прерывания по низкому уровню сигнала или по заднему фронту соответственно. Также есть возможность фиксирования прерывания через чтение регистра RA_VAL.

Регистр RA_VAL как при записи, так и при чтении функционально можно разбить на две части: старшая половина отвечает за режим D, а младшая – за режим S. В случае если выбранная пара RA работает в одном режиме, а запись произведена в биты, отвечающие за другой режим, влияния на работу интерфейса данной пары/пар не произойдет. Эти биты (неправильно записанные) в регистре RA_VAL сбрасываются самостоятельно исходя из логики их формирования.

										Лист
										301
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

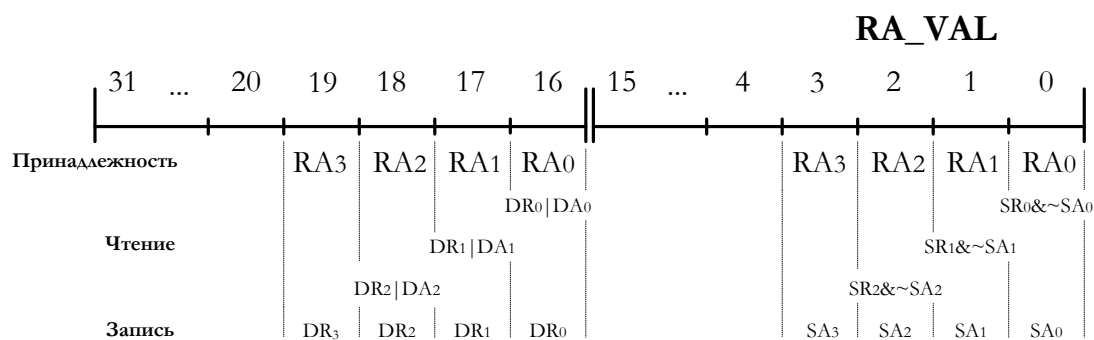


Рисунок 4.41 – Устройство псевдорегистра RA_VAL

На рисунке 4.41 представлены биты регистра RA_VAL в разных режимах. И в старшей, и в младшей половине один бит отвечает за одну пару выводов GER в режиме интерфейса RA. То есть каждой паре в этом регистре отведены два бита. Как видно из рисунка 4.41, 16-й и 0-й биты принадлежат нулевой паре RA, 17-й и 1-й – первой паре RA и т. д. Биты с 4 по 15 и с 20 по 31 зарезервированы. При этом 0, 1, 2 и 3 отвечают за режим ведомого устройства, а 16, 17, 18 и 19 – ведущего. Таким образом, если пара RA выбрана как ведущее устройство, то для выдачи воздействия производится запись в определённый бит старшей части регистра, а бит младшей части регистра, относящийся к рассмотренной паре RA, не используется, и запись в него, как отмечалось выше, ни на что не влияет.

Чтение из регистра RA_VAL, как это видно из рисунка 4.41, соответствует логическим свёрткам самих внешних сигналов интерфейса. При этом информационную нагрузку несут лишь те биты, которые соответствуют заданным парам в режиме RA. Например, используется третья пара GEА в режиме RA – D (ведущая). Тогда чтение из регистра RA_VAL в 19-м бите возвратит свертку «по-ИЛИ» сигналов данной пары, а 3-й бит не несёт информационной нагрузки. Если же эта пара используется в S-режиме (ведомое), то тогда в 3-м бите регистра RA_VAL будет находиться значение логического умножения сигналов «запроса» (R – request) и инверсного сигнала «ответа» (A – acknowledge). В последнем случае 19-й бит не представляет интереса при чтении.

					Лист
					302
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

4.14 Системный контроллер процессорного кластера CLSC

Системный контроллер процессорного кластера CLSC выполняет следующие функции:

- содержит идентификатор кластера,
- реализует интерфейс программных межпроцессорных прерываний между процессорными системами NM6408, входящими в состав данного кластера.

4.14.1 Программно доступные регистры системного контроллера CLSC

Перечень регистров системного контроллера CLSC приведен в таблице 4.140.

Программно доступные регистры системного контроллера расположены в области памяти периферийных устройств REG_CPU и имеют базовое смещение 000C_B000h.

Таблица 4.140 – Регистры системного контроллера CLSC

Адрес	Название	Доступ	Описание
000C B000h	CLUSTERID	ЧТ	Идентификатор процессорного кластера
000C B00Ch	NMPUNMICTRL	ЧТ/ЗП	Регистр немаскируемого прерывания NMPU
000C B010h	RCVREQ	ЧТ/ЗП	Регистр приёма межпроцессорных прерываний
000C B014h	DRVREQ	ЧТ/ЗП	Регистр выдачи межпроцессорных прерываний

Идентификатор процессорного кластера (CLUSTERID)

Регистр-идентификатор процессорного кластера доступен только для чтения. Он содержит 32-разрядный идентификатор PC и может принимать одно из значений:

- 0 – процессорный кластер PC0,
- 1 – процессорный кластер PC1,
- 2 – процессорный кластер PC2,
- 3 – процессорный кластер PC3.

Регистр немаскируемого прерывания NMPU (NMPUNMICTRL)

Регистр немаскируемых прерываний NMPU позволяет выдавать запрос на немаскируемое прерывание каждой процессорной системе NMPU кластера. Формат регистра приведён в таблице 4.141.

Таблица 4.141 – Формат регистра немаскируемых прерываний NMPU (NMPUNMICTRL)

Разряды	Название	Доступ	Описание
[31:4]	-	-	Зарезервировано
[3]	NMI3	ЧТ/ЗП	Запрос на немаскируемое прерывание процессорной системе NMPU3
[2]	NMI2	ЧТ/ЗП	Запрос на немаскируемое прерывание процессорной системе NMPU2
[1]	NMI1	ЧТ/ЗП	Запрос на немаскируемое прерывание процессорной системе NMPU1
[0]	NMI0	ЧТ/ЗП	Запрос на немаскируемое прерывание процессорной системе NMPU0

										Лист
										303
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.		Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Таблица 4.142 – Формат регистра выдачи межпроцессорных прерываний (DRVREQ)

Разряды	Название	Доступ	Описание
[31:16]	-	-	Зарезервировано
[15:0]	DRVREQ	ЧТ/ЗП	Один бит поля GENREQ соответствует одному биту поля RCVREQ другого ПУ. Запись значения 1 в бит поля GENREQ вызывает аппаратную установку соответствующего бита RCVREQ другого ПУ. Программный сброс бита RCVREQ другого ПУ системы сбрасывает аппаратно бит поля GENREQ.

Таблица 4.143 – Формат регистра приёма межпроцессорных прерываний (RCVREQ)

Разряды	Название	Доступ	Описание
[31:16]	-	-	Зарезервировано
[15:0]	RCVREQ	ЧТ/ЗП	Один бит поля RCVREQ соответствует одному биту GENREQ другого ПУ. Программная установка соответствующего бита GENREQ в другой процессорной системе устанавливает бит RCVREQ. Запись значения 1 в бит поля RCVREQ сбрасывает этот бит и инициирует аппаратный сброс соответствующего бита GENREQ. Установка бита поля RCVREQ вызывает запрос на прерывание.

Таблица 4.144 – Соответствие разрядов полей регистров GENREQ и RCVREQ и запросов на прерывание

Разряд регистра DRVREQ	Разряд регистра RCVREQ	Запрос на прерывание
DRVREQ[15]	RCVREQ[15]	Низкоприоритетное межпроцессорное прерывание 15 к/от NMPU3
DRVREQ[14]	RCVREQ[14]	Низкоприоритетное межпроцессорное прерывание 14 к/от NMPU2
DRVREQ[13]	RCVREQ[13]	Низкоприоритетное межпроцессорное прерывание 13 к/от NMPU1
DRVREQ[12]	RCVREQ[12]	Низкоприоритетное межпроцессорное прерывание 12 к/от NMPU0
DRVREQ[11]	RCVREQ[11]	Низкоприоритетное межпроцессорное прерывание 11 к/от PCk
DRVREQ[10]	RCVREQ[10]	Низкоприоритетное межпроцессорное прерывание 10 к/от PCj
DRVREQ[9]	RCVREQ[9]	Низкоприоритетное межпроцессорное прерывание 9 к/от PCi
DRVREQ[8]	RCVREQ[8]	Низкоприоритетное межпроцессорное прерывание 8 к/от центральной управляющей процессорной системы (CCPU)
DRVREQ[7]	RCVREQ[7]	Высокоприоритетное межпроцессорное прерывание 7 к/от NMPU3
DRVREQ[6]	RCVREQ[6]	Высокоприоритетное межпроцессорное прерывание 6 к/от NMPU2
DRVREQ[5]	RCVREQ[5]	Высокоприоритетное межпроцессорное прерывание 5 к/от NMPU1
DRVREQ[4]	RCVREQ[4]	Высокоприоритетное межпроцессорное прерывание 4 к/от NMPU0
DRVREQ[3]	RCVREQ[3]	Высокоприоритетное межпроцессорное прерывание 3 к/от PCk
DRVREQ[2]	RCVREQ[2]	Высокоприоритетное межпроцессорное прерывание 2 к/от PCj
DRVREQ[1]	RCVREQ[1]	Высокоприоритетное межпроцессорное прерывание 1 к/от PCi
DRVREQ[0]	RCVREQ[0]	Высокоприоритетное межпроцессорное прерывание 0 к/от центральной управляющей процессорной системы (CCPU)

Примечания
 1 Для PC0: PCi = PC1, PCj = PC2, PCk = PC3.
 2 Для PC1: PCi = PC0, PCj = PC3, PCk = PC2.
 3 Для PC2: PCi = PC3, PCj = PC0, PCk = PC1.
 4 Для PC3: PCi = PC2, PCj = PC1, PCk = PC0.

Запросы на прерывание не могут быть маскированы в системном контроллере. Маскирование может быть произведено только в контроллере прерываний.

					Лист
					305
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

4.15 Генератор тактовых сигналов и сигналов сброса CRGH

4.15.1 Особенности CRGH

Структурная схема генератора тактовых сигналов и сигналов сброса CRGH приведена на рисунке 4.42. Блок CRGH предназначен для управления со стороны CPU сигналами синхронизации и сброса для своих ПУ NMPU0 - NMPU3 в составе кластера PC. Аналогичные блоки управляют синхросигналами и сбросами кластеров PC (по одному экземпляру на каждый кластер PC) и центральным ПУ. Подсистема подачи синхросигналов и сигналов сброса на функциональные блоки микросхемы описана в подразделе 5.18.

Устройство выполняет три основные функции:

- Управление PLL;
- Управление выходной частотой блока;
- Генерация внутренних сигналов сброса в зависимости от внешних факторов и внутренних управляющих регистров.

CRGH состоит из следующих блоков:

1) Генератор сигналов сброса со следующими особенностями работы:

- Поддержка нескольких факторов сигнала сброса;
- Внешний сигнал сброса, который инициализирует всю систему;
- Сигнал сброса SRST, который выставляется системой отладки;
- Сигнал сброса от верхнего управляющего блока;
- Программно управляемый сигнал сброса, доступный через внутренний регистр;
- Генерация внутренних сигналов сброса под воздействием факторов.

2) Генератор тактовых сигналов со следующими особенностями работы:

- Управление генерацией и остановкой PLL;
- Настройка входных делителей PLL в пределах $(1 \div 64)*2$;
- Настройка умножителей PLL в пределах $(1 \div 4096)*2$;
- Настройка выходных делителей PLL в пределах $(1 \div 64)$;
- Выбор тактового сигнала системы между выходом PLL и внешним тактовым сигналом.

3) Управление тактовыми сигналами со следующими особенностями работы:

- Поддержка трех тактовых доменов;
- Управление коэффициентом деления частоты двух доменов в пределах $(1 \div 216)$;
- Управление отключением тактового сигнала двух доменов.

										Лист
										306
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

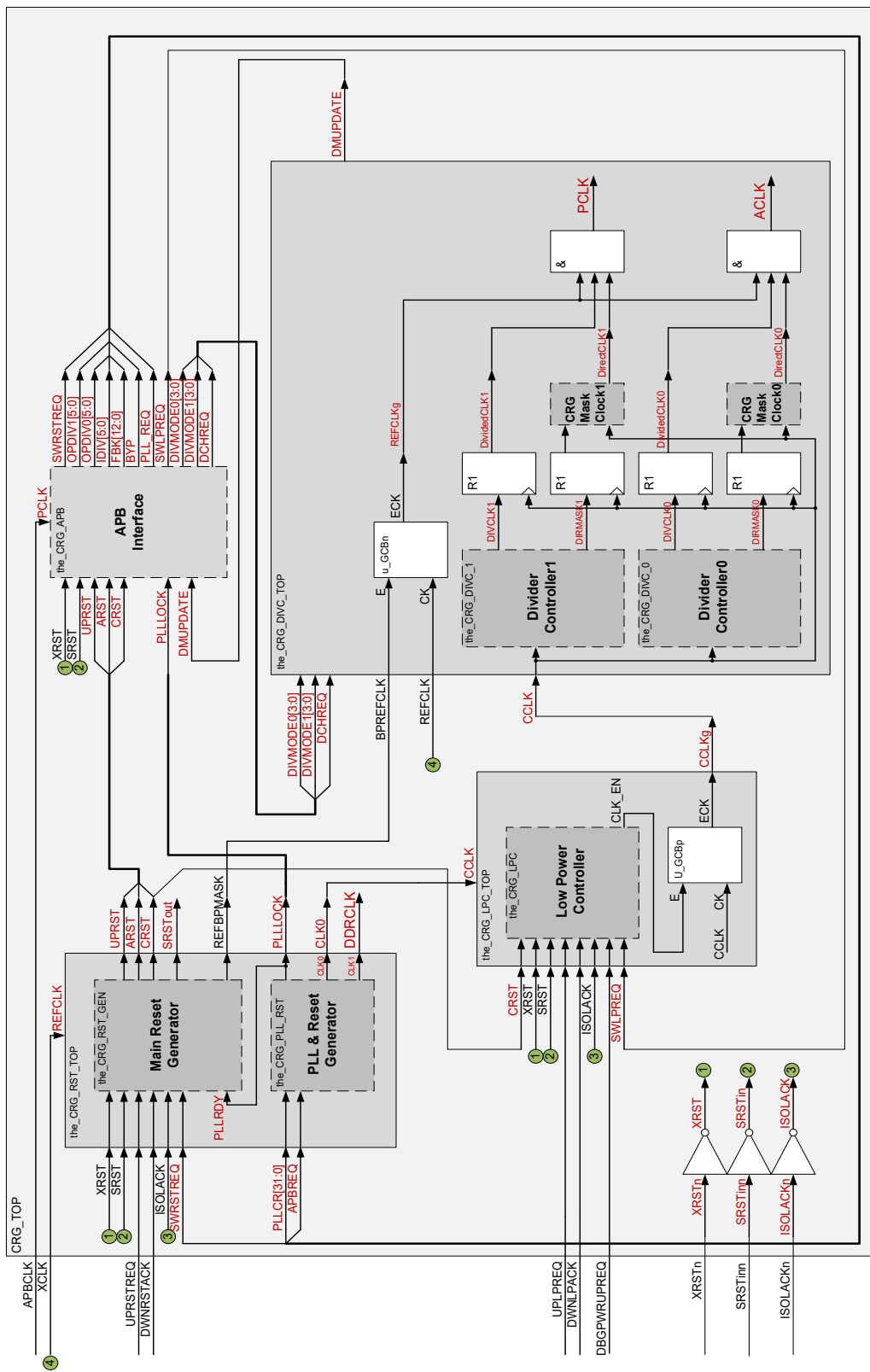


Рисунок 4.42 - Структурная схема генератора тактовых сигналов и сигналов сброса
CRGH

ЮФКВ.431282.020РЭ					Лист 307
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

4.15.2 Программно доступные регистры генератора тактовых сигналов и сигналов сброса CRGH

Список программно доступных регистров генератора тактовых сигналов и сигналов сброса CRGH приведен в таблице 4.145.

Таблица 4.145 - Регистры CRGH

Адрес (байтовый доступ)	Тип	Начальное значение	Имя	Описание
0x000C_A000 hex	ЧТ/ЗП	CRIPLLCR	PLLCR	Регистр управления PLL
0x000C_A004 hex	ЧТ	0x0	PLLRDYMR	Регистр готовности PLL
0x000C_A008 hex	ЧТ/ЗП	0x0	IMACR	Регистр маски прерывания от PLL
0x000C_A00C hex	ЗП	0x0	PICR	Регистр снятия прерывания от PLL
0x000C_A010 hex	ЧТ	CRIDIVMODE	CLKDIV	Регистр управления выходными делителями
0x000C_A014 hex	ЧТ		CRGCR	Регистр управления CRGH
0x000C_A018 hex	ЧТ/ЗП		PSCR	Регистр запуска процессоров
0x000C_A01C hex	ЧТ/ЗП		CRGSR	Регистр состояния CRGH

Регистр управления PLL (PLLCR)

Формат регистра PLLCR приведен в таблице 4.146.

31	26	25	20	19	14	13	1	0	
OPDIV1[5:0]		OPDIV0[65:0]			IDIV[6:1]		FBK[13:1]		BYP
R/W		R/W			R/W		R/W		R/W
CRIPLLCR:									
0x041000F8 – для экземпляров, управляющих NMPU,									
0x040000C6 – для экземпляров, управляющих PC,									
0x040000C6 – для экземпляра, управляющего центральным ПУ.									

Таблица 4.146 – Формат регистра PLLCR

Bit 31:26	OPDIV1
	Эти биты используются для задания выходного коэффициента деления PLL OPDIV1<5:0> для тактового сигнала DDRCLK
Bit 25:20	OPDIV0
	Эти биты используются для задания выходного коэффициента деления PLL OPDIV0<5:0> для тактового сигнала CCLK.
Bit 19:14	IDIV
	Эти биты используются для задания входного коэффициента деления PLL IDIV<6:1>. IDIV<0> = 1.
Bit 13:1	FBK
	Эти биты используются для задания обратного коэффициента деления PLL FBK<13:1>. FBK<16:14> = 000, FBK<0> = 1.
Bit 0	BYP
	Если этот бит установлен, то PLL переходит в режим Bypass (на выход PLL подаётся входной тактовый сигнал)

Примечание - $F_{CLK} = F_{IN} \times (FBK+1) / ((IDIV+1) \times (OPDIV+1))$

									Лист
									308
Изм.	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр готовности PLL (PLLRDYMR)

Формат регистра PLLRDYMR приведен в таблице 4.147.

31 1 0

Reserved	PLLRDY
R0	R/W
0	0

Таблица 4.147 – Формат регистра PLLRDYMR

Bit 0	PLLRDY
	Данный регистр используется для отслеживания сигнала выхода на рабочий режим от PLL.

Регистр маски прерывания от PLL (IMACR)

Формат регистра IMACR приведен в таблице 4.148.

31 1 0

Reserved	RDYINTM
R0	R/W
0	0

Таблица 4.148 – Формат регистра IMACR

Bit 0	RDYINTM
	Данный регистр используется для маскирования прерывания, возникающего при установке сигнала готовности от PLL. Значение 0 – прерывание разрешено, значение 1 – прерывание замаскировано.

Регистр снятия прерывания от PLL (PICR)

Формат регистра PICR приведен в таблице 4.149.

31 1 0

Reserved	PLLRDYINT
R0	R/W0
0	0

Таблица 4.149 – Формат регистра PICR

Bit 0	PLLRDYINT
	Данный регистр используется для снятия запроса на прерывание. Любая запись в данный регистр снимает запрос на прерывание.

Регистр управления выходными делителями (CLKDIV)

Формат регистра CLKDIV приведен в таблице 4.150.

									Лист
									309
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

31	8	7	4	3	0
Reserved		DIVMODE1		DIVMODE0	
R0		R/W		R/W	
0		CRIDIVMODE:			
0x00 – для экземпляров, управляющих NMPU, 0x20 – для экземпляров, управляющих PC, 0x21 – для экземпляра, управляющего центральным ПУ.					

Таблица 4.150 – Формат регистра CLKDIV¹⁾

Bit 7:4	DIVMODE1²⁾
	Эти биты используются для задания коэффициента внешнего делителя DIVC1 для тактового сигнала PCLK.
Bit 3:0	DIVMODE0
	Эти биты используются для задания коэффициента внешнего делителя DIVC0 для тактового сигнала ACLK.
¹⁾ Запись в данный регистр не вызывает отключения PLL и последующего сброса. Она может производиться моментально. ²⁾ Коэффициент деления внешнего делителя может быть представлен в виде выражения $N = 3^m * 2^n$, где $m = \text{DIVMODE}[3:2]$, $n = \text{DIVMODE}[1:0]$.	

Регистр управления CRG (CRGCR)

Формат регистра CRGCR приведен в таблице 4.151.

31	3	2	1	0
Reserved		REFLEN	SWRSTREQ	SWLPREQ
R0		R/W	R/W	R/W
0		0	0	0

Регистр CRGCR позволяет отключить отдельные компоненты микросхемы: остановить тактовый сигнал или ввести компонент в состояние аппаратного сброса. Подробнее о режимах пониженного потребления см. п. 5.18.5.

Данный регистр в экземпляре CRGH, управляющем NMPU, отключает процессорные системы NMPU-NMPU3 (процессорные ядра и банки памяти).

В экземплярах CRGL0-CRGL3, управляющих PC, отключает все процессорные ядра кластера (ARM и NMC), всю внутреннюю память кластера и всю периферию за исключением внешнего линка.

В экземпляре CCRG, управляющем центральным ПУ, с помощью данного регистра можно только инициировать полный сброс микросхемы.

					ЮФКВ.431282.020РЭ	Лист
						310
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Таблица 4.151 – Формат регистра CRGCR

Bit 2	REFLEN
	Данный бит выбирает способ, которым обрабатываются запросы, поступающие в выключенный (с помощью битов SWRSTREQ или SWLPREQ) компонент. 0 – запросы блокируются и ожидают снятия соответствующего бита SWRSTREQ и SWLPREQ, 1 – запросы завершаются с признаком ошибки SLVERR шины AXI и нулевыми данными (если обрабатывается чтение).
Bit 1	SWRSTREQ
	Запись значения 1 вызывает запрос на сброс компонента. Запись значения 0 снимает запрос и инициирует вывод компонента из состояния сброса.
Bit 0	SWLPREQ
	Запись значения 1 вызывает запрос на отключение тактовых сигналов ACLK и PCLK соответствующего экземпляра CRG. Запись значения 0 снимает запрос и включает тактовые сигналы ACLK и PCLK.

Регистр запуска процессоров (PSCR)

Формат регистра PSCR приведен в таблице 4.152.

31		m	m-1	0
	Reserved			START ¹⁾
	R0			R/W1
	0			0
<p>¹⁾ Разрядность поля START зависит от экземпляра блока CRG: m=4 для экземпляров, управляющих NMPU (можно отдельно запускать каждое из ядер NMC кластера), m=1 для экземпляров, управляющих PC, m=1 для экземпляра, управляющего центральным ПУ.</p>				

Таблица 4.152 – Формат регистра PSCR

Bit m-1:0	START
	Запись значения 1 запускает соответствующее процессорное ядро (ядра)

Регистр состояния CRG (CRGSR)

Формат регистра CRGSR приведен в таблице 4.153.

31		2	1	0
	Reserved		SWRSTACK	SWLPACK
	R0		R	R
	0		0	0

Таблица 4.153 – Формат регистра CRGSR

Bit 1	SWRSTACK
	Данный регистр используется для отслеживания подтверждения запроса на сброс. Пока данный бит установлен, отключаемый компонент находится в состоянии сброса.
Bit 0	SWLPACK
	Данный регистр используется для отслеживания подтверждения запроса на отключение тактового сигнала SCLK. Пока данный бит установлен, тактовый сигнал, подаваемый на соответствующий компонент, остановлен.

										Лист
										311
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

4.15.3 Особенности работы CRGH

4.15.3.1 Генерация сигналов сброса

Факторы сброса и реакция на факторы сброса

CRGH имеет четыре фактора сигналов сброса:

- внешний сигнал сброса XRSTn,
- сигнал сброса от отладчика SRSTinn,
- сигнал запроса на установление сброса от верхнего управляющего блока UPRST
- сигнал сброса, который устанавливается программно, SWRST.

В таблице 4.154 представлена реакция внутренних сигналов сброса на внешние факторы. Поведение CRGH при каждом из перечисленных воздействий показано на рисунках 4.43-4.46.

Таблица 4.154 – Факторы сброса и реакция на них

		XRSTn	SRSTinn	UPRST	SWRST
ARSTn		+	+	+	+
PRSTn	START = 0	+	+	+	+
	START = 1	+	+	+	+
SRSToutn		+	–	+	–
PLLRSST & CRST		+	+	+	–
PORST		+	–	–	–
DWRNST		–	–	+	+
ISOLREQ		–	–	–	+

										Лист
										312
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Внешний сигнал сброса XRSTn

Внешний сброс происходит путём установки входа микросхемы XRSTn в активное положение (активным для XRSTn является низкий уровень). На рисунке 4.43 представлена временная диаграмма входа и выхода из состояния внешнего сброса XRSTn.

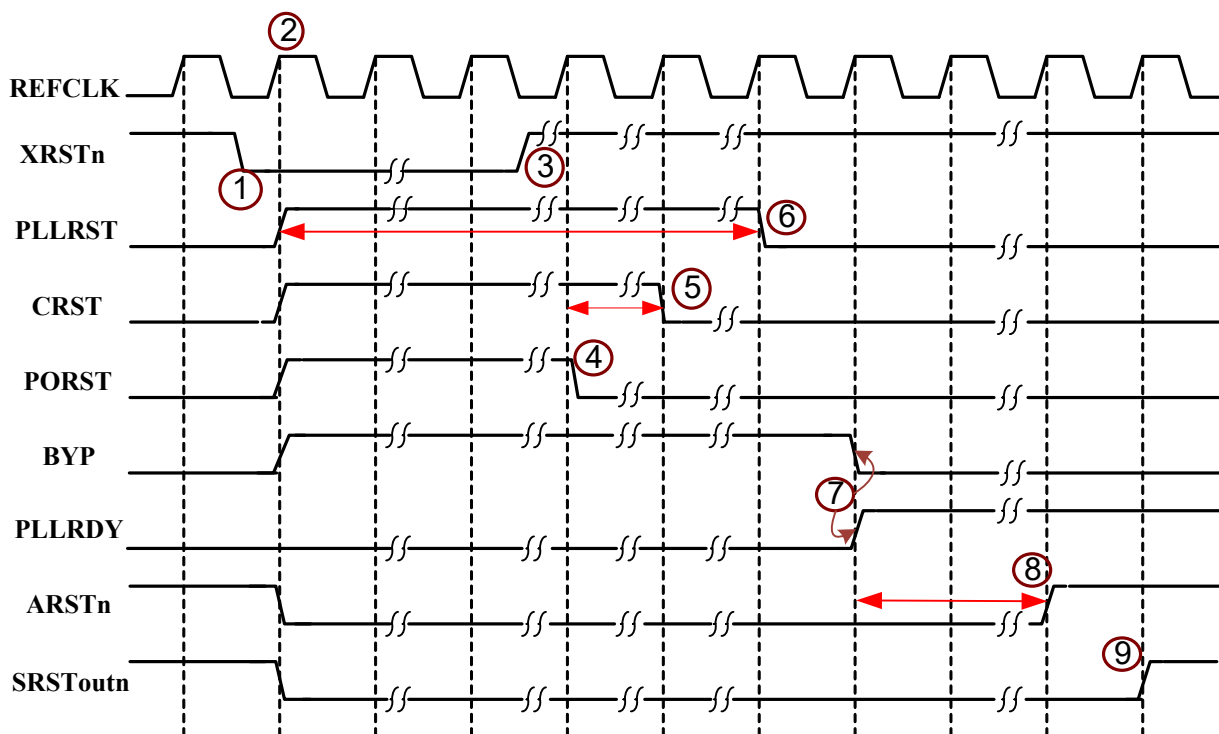


Рисунок 4.43 - Временная диаграмма входа и выхода из состояния внешнего сброса XRSTn

1. Установка внешнего сброса XRSTn в активное состояние (активное состояние – низкий уровень).
2. Установка внутренних сигналов сброса CRG (PLLRST, CRST, PORST), сигналов PLL режима bypass (BYP и PLLRDY), а также сброса шин и монитора сброса отладчика SRST (ARSTn и SRSToutn) в активное состояние.
3. Переход внешнего сброса XRSTn в неактивное состояние.
4. Переход сигнала PORST (синхронизированного сигнала XRSTn) в неактивное состояние.
5. Переход CRST (сброс схем CRG) в неактивное состояние. Стрелкой на диаграмме CRST указано, что переход в неактивное состояние CRST происходит после перехода в неактивное состояние PORST через 16 тактов XCLK.
6. Установка сброса PLL в неактивное состояние. Стрелкой на диаграмме PLLRST указано, что время активного уровня PLLRST должно быть не менее 16 тактов XCLK.
7. После снятия сброса PLLRST PLL выходит из состояния bypass (BYP устанавливается в неактивное положение) и устанавливается флаг PLLRDY, свидетельствующий о готовности PLL.
8. Установка сброса шин (ARSTn) в неактивное состояние. Стрелкой на диаграмме ARSTn указано, что переход в неактивное состояние осуществляется после флага готовности PLL (PLLRDY) через 16 тактов XCLK.
9. Установка монитора сброса SRST в неактивное состояние.

					Лист
					313
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Сброс от отладчика SRSTinn

Сброс от отладчика происходит путём установки SRSTinn в активное положение (активным для SRSTinn является низкий уровень). На рисунке 4.44 представлена временная диаграмма входа и выхода из состояния внешнего сброса SRSTinn.

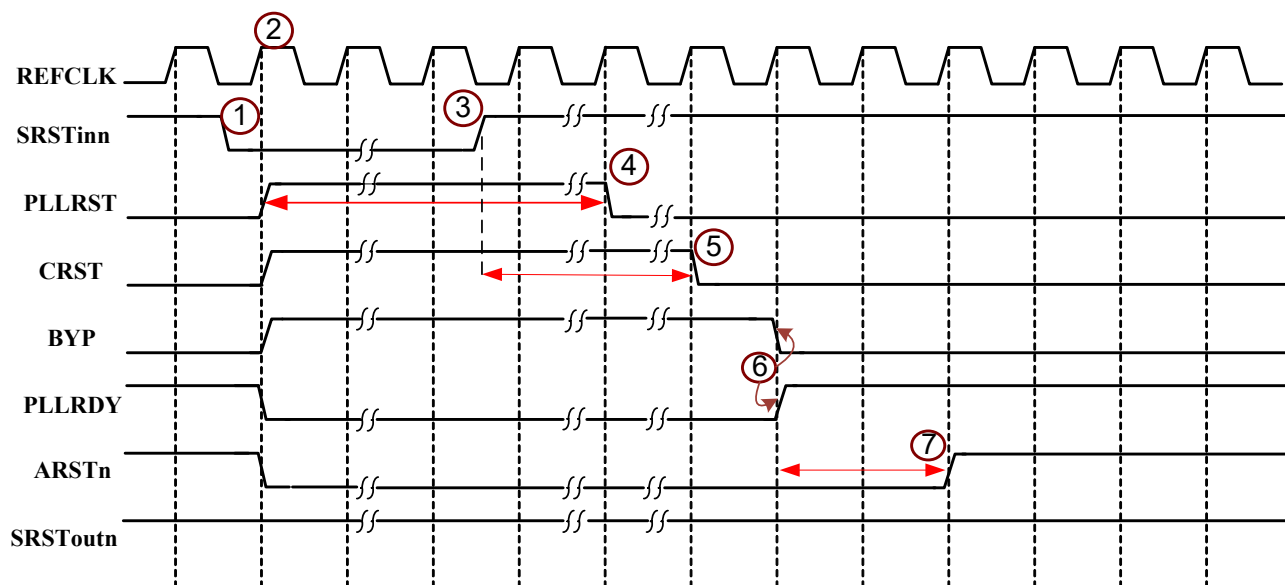


Рисунок 4.44 - Временная диаграмма входа и выхода из сброса от отладчика SRSTinn

1. Установка сброса от отладчика SRSTinn в активное состояние (активное состояние – низкий уровень).
2. Установка внутренних сигналов сброса CRG (PLLRST, CRST), сигналов PLL режима bypass (BYP и PLLRDY), а также сигнала сброса шин и монитора сброса SRST (ARSTn и SRSToutn) в активное состояние.
3. Переход сброса от отладчика SRSTinn в неактивное состояние.
4. Установка сброса PLL в неактивное состояние. Стрелкой на диаграмме PLLRST указано, что время активного уровня PLLRST должно быть не менее 16 тактов XCLK.
5. Переход CRST в неактивное состояние. Стрелкой на диаграмме CRST указано, что переход в неактивное состояние CRST происходит после перехода в неактивное состояние SRSTinn через 16 тактов XCLK.
6. После снятия сброса PLLRST PLL выходит из состояния bypass (BYP устанавливается в неактивное положение) и устанавливается флаг PLLRDY, свидетельствующий о готовности PLL.
7. Установка сброса шин (ARSTn) в неактивное состояние. Стрелкой на диаграмме ARSTn указано, что переход в неактивное состояние осуществляется после флага готовности PLL (PLLRDY) через 16 тактов XCLK.

Запрос на установление сброса от верхнего управляющего блока

На рисунке 4.45 представлена временная диаграмма входа и выхода из состояния сброса от верхнего управляющего блока.

										Лист
										314
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

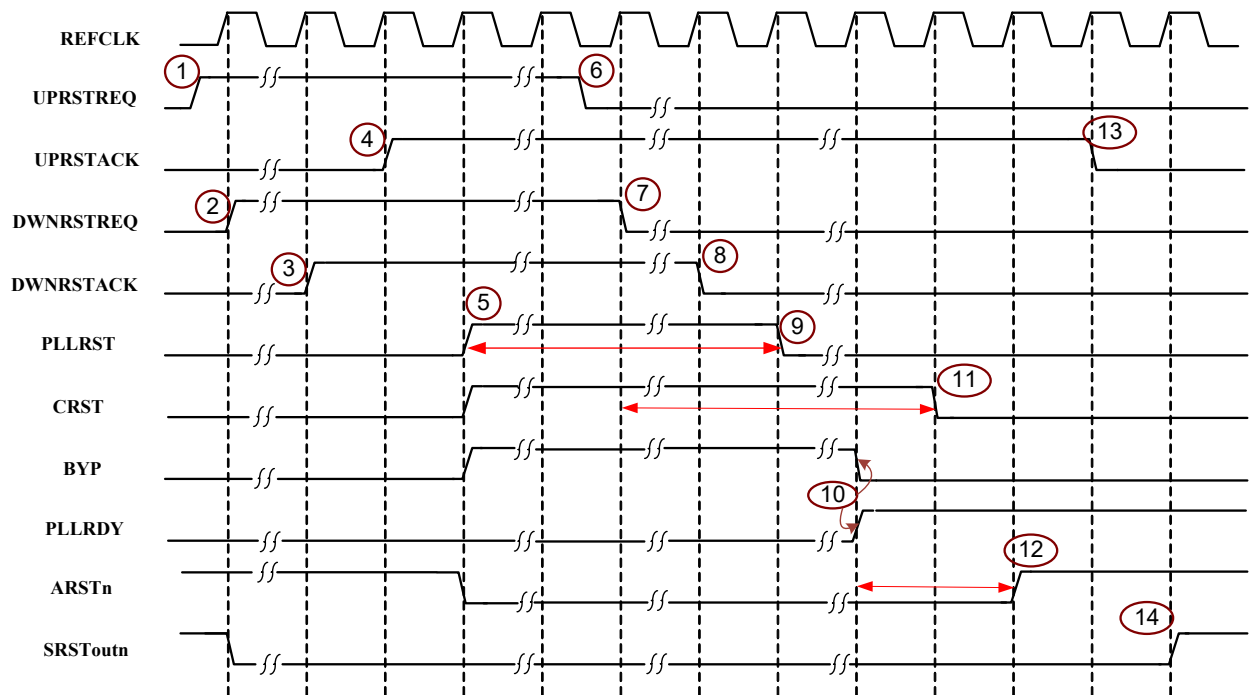


Рисунок 4.45 - Временная диаграмма входа и выхода из сброса от верхнего управляющего блока

1. Запрос на сброс от верхнего управляющего блока поступает на вход UPRSTREQ.
2. Запрос на выполнение сброса к нижестоящим по иерархии блокам CRG, монитор сброса SRST (SRSToutn) переходит в активное состояние.
3. После запроса на сброс CRG ожидает подтверждения от нижестоящих по иерархии CRG (DWRSTACK).
4. CRG выдает подтверждение о готовности выполнения сброса.
5. Установка внутренних сигналов сброса CRG (PLLRST, CRST), сигналов PLL режима bypass (BYP), а также сигнала сброса шин (ARSTn) в активное состояние.
6. Запрос на сброс на входе верхнего управляющего в неактивном положении.
7. Запрос на выполнение сброса от блока CRG к нижестоящим блокам CRG переходит в неактивное положение.
8. После снятия запроса на сброс блок CRG ожидает снятия сигнала подтверждения от нижестоящих по иерархии CRG (DWRSTACK).
9. Установка сброса PLL в неактивное состояние. Стрелкой на диаграмме PLLRST указано, что время активного уровня PLLRST должно быть не менее 16 тактов XCLK.
10. После снятия сброса PLLRST PLL выходит из состояния bypass (BYP устанавливается в неактивное положение) и устанавливается флаг PLLRDY, свидетельствующий о готовности PLL.
11. Переход CRST в неактивное состояние. Стрелкой на диаграмме CRST указано, что переход в неактивное состояние CRST происходит после перехода в неактивное состояние DWRSTREQ через 16 тактов XCLK.
12. Установка сброса шин (ARSTn) в неактивное состояние. Стрелкой на диаграмме ARSTn указано, что переход в неактивное состояние осуществляется после флага готовности PLL (PLLRDY) через 16 тактов XCLK.
13. Управляющий блок переводит подтверждение о выполнении сброса в неактивное положение.
14. Установка монитора сброса SRST в неактивное состояние.

					Лист
					315
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Программный сброс SWRST

На рисунке 4.46 представлена временная диаграмма входа и выхода из состояния программного сброса (SWRST).

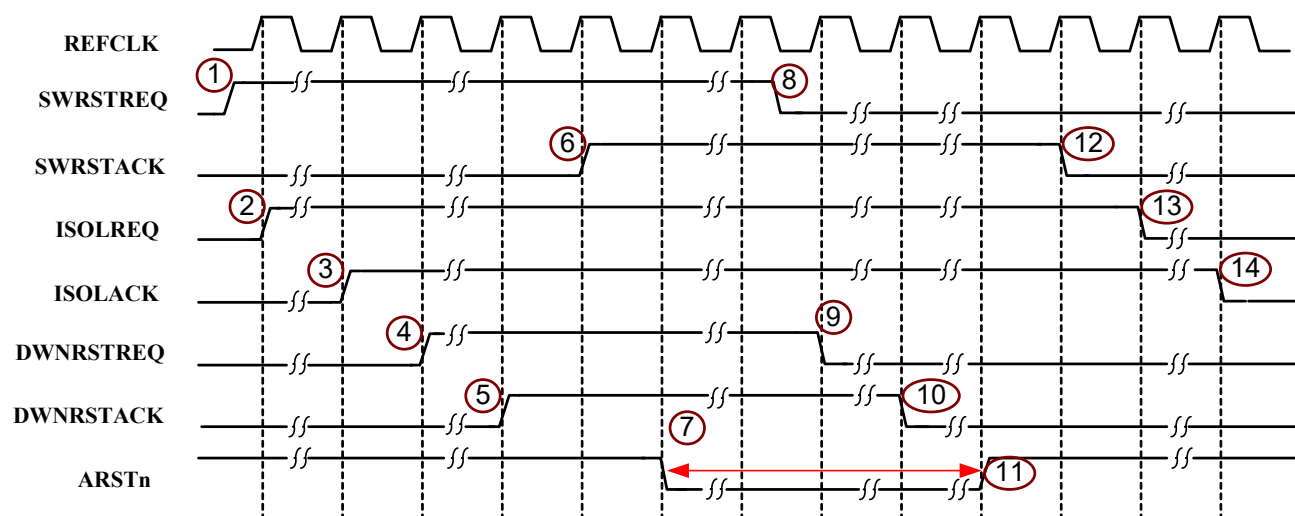


Рисунок 4.46 - Временная диаграмма входа и выхода из программного сброса SWRST

1. Запрос на программный сброс (инициирован записью в регистр CRG).
2. Запрос на отключение шины AXI.
3. Потверждение отключения шины AXI.
4. Запрос на выполнение сброса от блока CRG к нижестоящим по иерархии блокам CRG.
5. После запроса на сброс блок CRG ожидает подтверждения от нижестоящих по иерархии CRG (DWNRSTACK).
6. CRG выдает подтверждение о готовности выполнения сброса.
7. Установка сброса ARSTn в активное состояние.
8. Запрос на программный сброс в неактивном положении.
9. Запрос на выполнение сброса от блока CRG к нижестоящим блокам CRG переходит в неактивное положение.
10. После снятия запроса на сброс блок CRG ожидает сигнала подтверждения от нижестоящих по иерархии CRG (DWNRSTACK).
11. Установка сброса шин (ARSTn) в неактивное состояние. Стрелкой на диаграмме ARSTn указано, что время активного уровня ARSTn должно быть не менее 16 тактов XCLK.
12. CRG переводит подтверждение о выполнении программного сброса в неактивное положение.
13. Отключение запроса на отключение шины AXI.
14. Включение шины AXI.

4.15.3.2 Генерация тактовых сигналов

Структурная схема генератора тактовых сигналов

Структурная схема делителей тактовых сигналов представлена на рисунке 4.47.

					Лист
					316
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

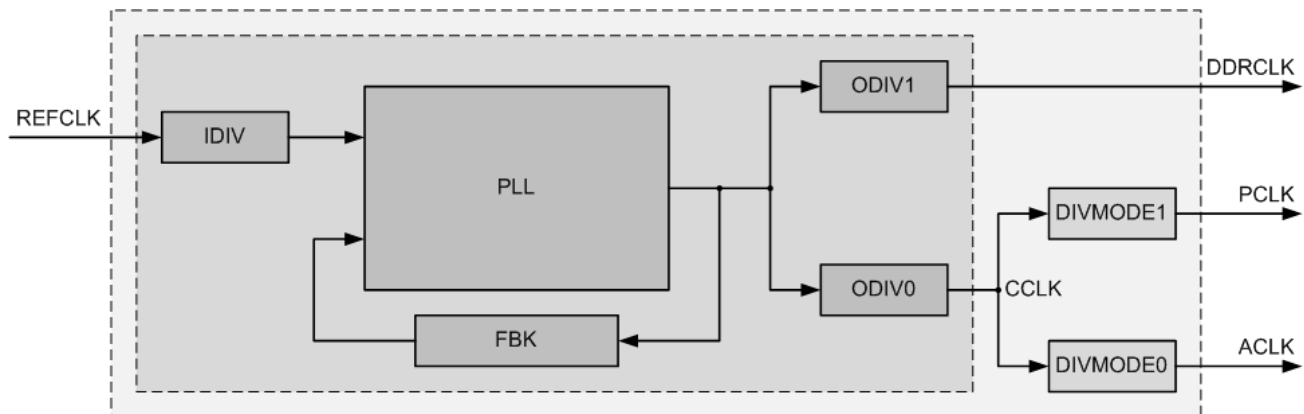


Рисунок 4.47 - Структурная схема делителей тактовых сигналов

В состав делителей тактовых сигналов входят следующие блоки:

- IDIV – входной делитель частоты, настройка делителя может производиться в пределах (1÷64);
- FBK – умножитель частоты в обратной связи, настройка делителя может производиться в пределах (1÷4096);
- ODIV0 – выходной делитель частоты, с которого формируется опорный тактовый сигнал CCLK, настройка делителя может производиться в пределах (1÷64);
- ODIV1 – выходной делитель частоты, с которого формируется тактовый сигнал одного из тактовых доменов CRG, настройка делителя может производиться в пределах (1÷64);

Ограничения для делителей PLL представлены на рисунке 4.48.

Значения коэффициентов:

$ODIV1 = CRIPLLCR<31:26> + 1$	$ODIV0 = CRIPLLCR<25:20> + 1$
$IDIV = 2 * CRIPLLCR<19:14> + 2$	$FBK = 2 * CRIPLLCR<13:1> + 2$
$DIVMODE1 = 3^{CRIDIVMODE<7:6>} + 2^{CRIDIVMODE<5:4>}$	
$DIVMODE0 = 3^{CRIDIVMODE<3:2>} + 2^{CRIDIVMODE<1:0>}$	

Рисунок 4.48 - Ограничения для делителей генератора тактовых сигналов

После завершения процедур сброса от внешнего сигнала сброса (XRSTn) и сброса от отладчика (SRSTinn) CRIPLLCR заменяется на значения соответствующих полей регистра PLLCR.

					ЮФКВ.431282.020РЭ	Лист
						317
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

После завершения процедур сброса от внешнего сигнала сброса (XRSTn), сброса от отладчика (SRSTinn) или сброса от верхнего управляющего блока (UPRST) CRIDIVMODE заменяется на значения соответствующих полей регистра CLKDIV.

Управление внешними делителями

Ограничения для внешних делителей представлены в таблице 4.155.

Таблица 4.155 – Внешние делители

DIVMODEAPB	DIVMODE	Замечание
0x0	1/1	
0x1	1/2	
0x2	1/4	
0x3	1/8	
0x4	1/3	Скважность не равна 50 %
0x5	1/6	
0x6	1/12	
0x7	1/24	
0x8	1/9	Скважность не равна 50 %
0x9	1/18	
0xA	1/36	
0xB	1/72	
0xC	1/27	Скважность не равна 50 %
0xD	1/54	
0xE	1/108	
0xF	1/216	

Отключение тактового сигнала запросом от верхнего управляющего блока

Временная диаграмма отключения тактовых сигналов от верхнего управляющего блока представлена на рисунке 4.49.

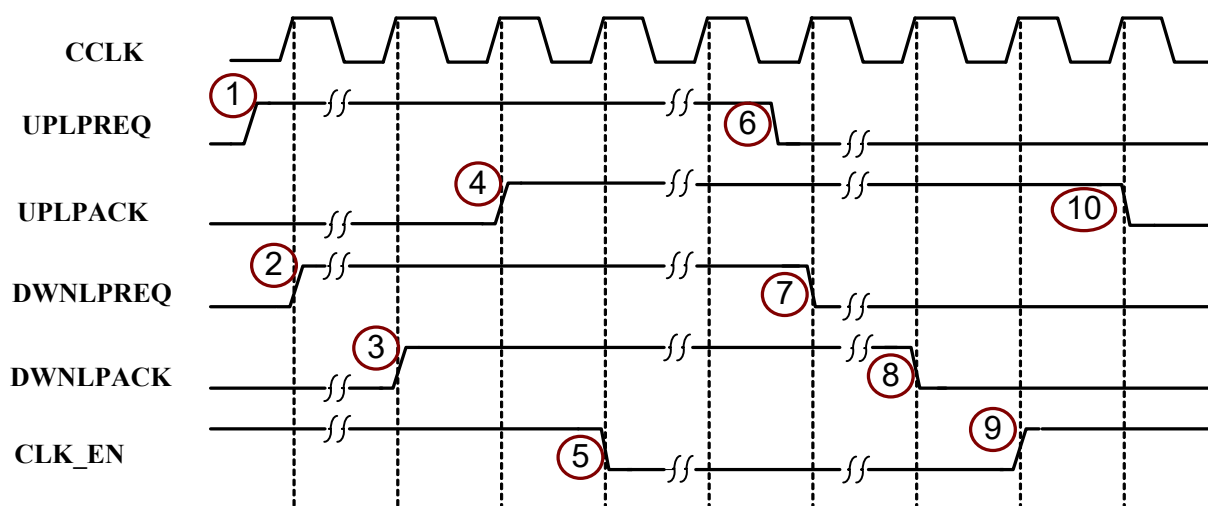


Рисунок 4.49 - Временная диаграмма отключения тактовых сигналов запросом от верхнего блока

1. Запрос на отключение тактовых сигналов от верхнего управляющего блока поступает на вход UPLPREQ.
2. Запрос на отключение тактовых сигналов от блока CRG к нижестоящим по иерархии блокам CRG.

					Лист
					318
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
31406-4		09.11.2020		31406-3	
ЮФКВ.431282.020РЭ					

3. После запроса на отключение тактовых сигналов блок CRG ожидает подтверждения от нижестоящих по иерархии CRG (DWNLPACK).
4. CRG выдает подтверждение о готовности к отключению тактовых сигналов.
5. Сигнал разрешения подачи тактовых сигналов CLK_EN устанавливается в неактивное положение.
6. Запрос на отключение тактовых сигналов переходит в неактивное положение.
7. Запрос на отключение тактовых сигналов от блока CRG к нижестоящим блокам CRG переходит в неактивное положение.
8. После снятия запроса на отключение тактовых сигналов блок CRG ожидает отключения сигнала подтверждения от нижестоящих по иерархии блоков CRG (DWRSTACK).
9. Сигнал разрешения подачи тактовых сигналов CLK_EN устанавливается в активное положение.
10. CRG переводит сигнал подтверждения готовности к отключению тактовых сигналов в неактивное положение.

Программно-управляемое отключение тактовых сигналов

Временная диаграмма программного отключения тактовых сигналов представлена на рисунке 4.50.

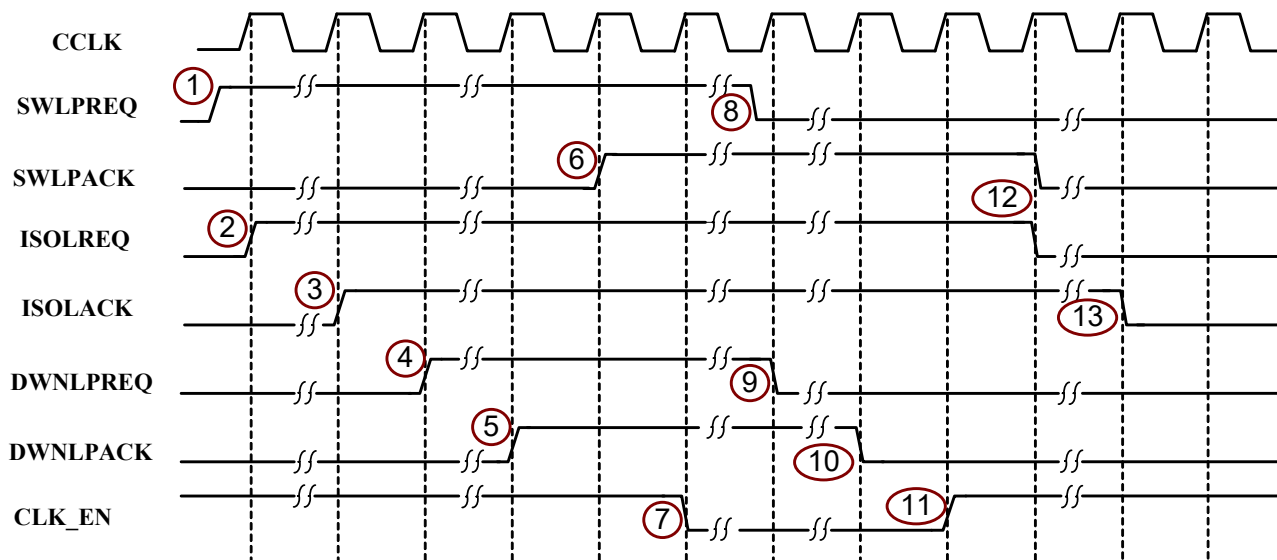


Рисунок 4.50 - Временная диаграмма программного отключения тактовых сигналов

1. Запрос на программное отключение тактовых сигналов (инициирован записью в регистр CRG).
2. Запрос на отключение шины AXI.
3. Подтверждение отключения шины AXI.
4. Запрос на отключение тактовых сигналов от блока CRG к нижестоящим по иерархии блокам CRG.
5. После запроса на отключение тактовых сигналов блок CRG ожидает подтверждения от нижестоящих по иерархии CRG (DWNLPACK).
6. CRG выдает подтверждение о готовности к отключению тактовых сигналов.
7. Сигнал разрешения подачи тактовых сигналов CLK_EN устанавливается в неактивное положение.
8. Запрос на программное отключение тактовых сигналов переходит в неактивное положение.

					Лист
					319
ЮФКВ.431282.020РЭ					
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

9. Запрос на отключение тактовых сигналов от блока CRG к нижестоящим блокам CRG переходит в неактивное положение.
10. После снятия запроса на отключение тактовых сигналов блок CRG ожидает снятия сигнала подтверждения от нижестоящих по иерархии CRG (DWNLPACK).
11. Сигнал разрешения подачи тактовых сигналов CLK_EN устанавливается в активное положение.
12. CRG переводит подтверждение о готовности к отключению тактовых сигналов в неактивное положение, отключение запроса на отключение шины AXI.
14. Включение шины AXI.

										Лист
										320
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5 Структура микросхемы 1879ВМ8Я

5.1 Структурная схема микросхемы 1879ВМ8Я

Микросхема 1879ВМ8Я является высокопроизводительной гетерогенной многопроцессорной системой на кристалле. Структурная схема микросхемы приведена на рисунке 5.1.

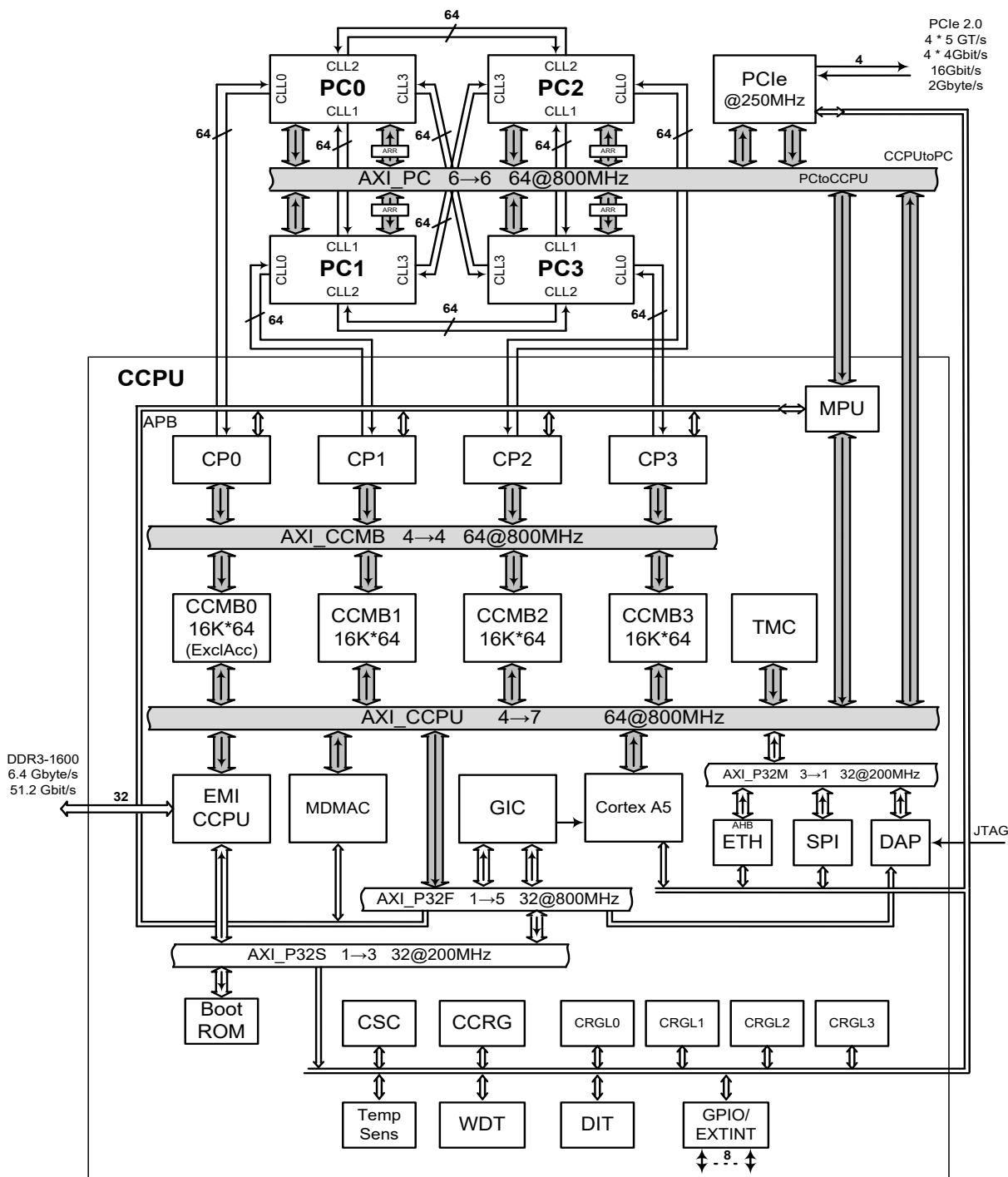


Рисунок 5.1 - Структурная схема микросхемы 1879ВМ8Я

					ЮФКВ.431282.020РЭ	Лист 321
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

1879ВМ8Я включает в себя следующие основные блоки:

РС0 - РС3 – четыре процессорных кластера, каждый из которых состоит из четырех вычислительных узлов NeuroMatrix и управляющего процессора ARM (см. раздел 4). Процессорные кластеры РСх соединены непосредственно «каждый с каждым» 64-разрядными полнодуплексными коммуникационными портами. Обмен данными через эти порты выполняется с использованием механизма ПДП. Дополнительно четыре кластера РСх соединены между собой через 64-разрядный коммутатор стандарта AXI 3.0, обеспечивающий доступ кластерам РСх во внутренние банки друг друга произвольным доступом. Через этот же коммутатор кластеры РСх подключаются к центральному управляющему процессорному узлу кластера (ССРУ).

ССРУ – центральный управляющий процессорный узел, содержащий управляющий скалярный процессор ARM Cortex-A5, внутреннюю память, а также внешние высокоскоростные интерфейсы.

Cortex-A5 – управляющий скалярный процессор ARM Cortex-A5. Он имеет кэш 2-го уровня L2C объемом 512 Кбайт.

ССМВ0 - ССМВ3 – четыре банка статической памяти объемом по 16К*64 разряда, причём банк ССМВ0 поддерживает эксклюзивный доступ в память.

СР0 - СР3 – четыре контроллера коммуникационных портов, соединенных с кластерами РСх через коммутаторы каналов связи LC.

ЕМІ ССРУ – контроллер 32-разрядного интерфейса с внешней динамической памятью DDR3-1600 (эффективная частота передачи данных – 1600 МГц). Максимальный объем поддерживаемой памяти – 1 Гбайт.

РСІе – высокоскоростной последовательный хост-интерфейс стандарта PCI Express 2.0. Интерфейс состоит из четырех полнодуплексных линий с суммарной пропускной способностью 20 GT/s (2 Гбайт/с) в каждую сторону (40 GT/s или 4 Гбайт/с в обе стороны).

МДМАС – высокопроизводительный контроллер ПДП. Основной задачей этого контроллера является подкачка данных из внешней памяти DDR во внутренние банки управляющего узла ССМВх. Контроллер также имеет доступ к внутренним банкам памяти всех кластеров РС.

МРУ – блок защиты памяти. Управляющий узел ССРУ может запрещать доступ внешних устройств к внутренним банкам ССМВх и внешней памяти DDR. В случае обращения в защищаемую область памяти операция не производится, а выдавшему запрос устройству выдается признак ошибки SLVERR.

										Лист
										322
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

ETH – контроллер Ethernet MAC обеспечивает интерфейс между шиной AMBA АНВ и сетью Ethernet. Он поддерживает скорость передачи 10/100 Мбит/с в полудуплексном и дуплексном режимах. Контроллер Ethernet поддерживает интерфейс RМП, который должен быть соединен с внешним блоком PHY. Контроллер Ethernet также аппаратно поддерживает протокол Ethernet Debug Communication Link (EDCL). Это протокол для удаленной отладки, базирующийся на протоколе UDP/IP. Контроллер Ethernet имеет доступ ко всем областям внутренней памяти и регистрам устройств.

DIT – два интервальных 32-разрядных таймера.

GIC – контроллер прерываний ядра ARM.

GPIO/EXTINT – универсальный блок интерфейсов общего назначения. Он управляет работой 8-ми внешних выводов, каждый из которых может программно настраиваться на функционирование в качестве выводов общего назначения (GPIO), внешних входов прерывания (EXTINT), а также пара выводов может реализовать интерфейс «запрос-подтверждение».

CSC – системный контроллер, в нем собраны управляющие регистры микросхемы.

SPI – контроллер интерфейса SPI. Он обеспечивает обмен информацией между внутренними банками памяти микросхемы и устройствами, подключенными к внешнему последовательному интерфейсу SPI.

WDT – сторожевой таймер.

Temp Sens – контроллер измерения температуры кристалла с температурным датчиком.

Boot ROM – ПЗУ, содержащее начальный загрузчик.

CRGL0 - CRGL3 – четыре генератора тактовых сигналов и сигналов сброса для кластеров PC0 ... PC3 соответственно.

CCRG – генератор тактовых сигналов и сигналов сброса для CCPU.

DAP – последовательный порт доступа для тестовых и отладочных данных.

5.1.1 Основные потоки данных в микросхеме 1879BM8Я

Обмен данными с внешней памятью. PC-кластер осуществляет загрузку/выгрузку данных во внешнюю память через 32-разрядный интерфейс DDR3-1600. Максимальная производительность при обмене с внешней памятью обеспечивается при использовании механизма ПДП (контроллер MDMAC подкачивает/выгружает данные в/из внутренней памяти CCMBx). Кластеры PCx, в свою очередь, используют коммуникационные порты CP0 (CLL0) для обмена данными между внутренними банками кластера CCMBx и своими

					Лист
					323
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

внутренними банками. Пиковая производительность интерфейса с внешней памятью – 6,4 Гбайт/с.

Процессорные кластеры РС имеют возможность произвольного доступа во внешнюю память через шинную структуру, но этот способ рассматривается как вспомогательный, т. к. его эффективность гораздо ниже, чем использование каналов ПДП.

Обмен данными между банками внутренней памяти кластеров. Основной способ обмена данными между кластерами РСх – использование коммуникационных портов (CLL0..CLL3). Блоки коммуникационных портов совмещены с внутренними каналами ПДП и предназначены для двунаправленного полнодуплексного безадресного обмена данными между двумя процессорными кластерами РСх. Передающая сторона настраивает коммуникационный порт, задавая адрес локальной памяти, количество передаваемых данных. После этого она ждет готовности приемной стороны. Приемная сторона настраивает коммуникационный порт, задавая адрес своей локальной памяти, и на то же самое количество передаваемых данных. После этого она ждет готовности передающей стороны. В момент готовности обеих сторон осуществляется передача данных.

Такой способ позволяет быстро передавать данные из внутренней памяти одного кластера во внутреннюю память другого кластера без участия процессорного ядра. Пиковая односторонняя пропускная способность одного порта 6,4 Гбайт/с (12,8 Гбайт/с в обе стороны).

Другой способ обмена между внутренними банками памяти кластеров – произвольный доступ в память соседних кластеров через шинную структуру. Этот способ неэффективен по сравнению с использованием коммуникационных портов, и его рекомендуется рассматривать как вспомогательный.

Управляющий процессор Cortex-A5 имеет доступ ко всем внутренним банкам кластеров, банкам памяти ССМВх, а также управляет всеми периферийными устройствами CPU через шину APB.

										Лист
										324
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

5.1.2 Шинная структура микросхемы 1879ВМ8Я

Соединение основных компонентов узла ССРU выполнено по стандарту АМВА АХI 3.0 с использованием шинных коммутаторов (далее по тексту - шинная структура).

СБИС 1879ВМ8Я включает четыре основных коммутатора:

- **АХI_РС** (6в6) работает на частоте 600 МГц. Обеспечивает произвольный доступ во внутреннюю память кластеров от соседних кластеров, мастер-устройств управляющего узла кластера ССРU (Cortex-A5, МDМАС), а также от внешнего хост-устройства через РСIе интерфейс.

Используя мастер-интерфейс РСtoССРU, сборка из четырех РС-кластеров получает произвольный доступ в банки памяти центрального управляющего узла ССМВх, к периферийным устройствам кластера на шине АРВ, а также доступ к внешней памяти микросхемы.

- **АХI_ССМВ** (4 в 4) работает на частоте 600 МГц. Обеспечивает доступ во внутренние банки ССМВх со стороны коммуникационных портов СРх.

- **АХI_ССРU** (4 в 7) работает на частоте 600 МГц. Обеспечивает доступ во внутренние банки ССМВх и внешнюю DDR-память со стороны мастер-устройств центрального управляющего узла кластера CPU (Cortex-A5, МDМАС), а также со стороны хост интерфейса РСIе и отладочного интерфейса DBG .

- **АХI_Р32** (1 в 4) – периферийный 32-разрядный коммутатор, работает на частоте 600 МГц. Этот коммутатор содержит мост АХI-АРВ, к которому подключены периферийные устройства кластера, что позволяет выполнять их программирование. К этому же коммутатору подключены низкоскоростные 32-разрядные устройства микросхемы (BootROM, SPI, ЕТН).

5.1.3 Карта памяти микросхемы 1879ВМ8Я

Карта памяти микросхемы приведена на рисунке 5.2.

										Лист
										325
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.		Подп. и дата			Взам.инв.№		Инь.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

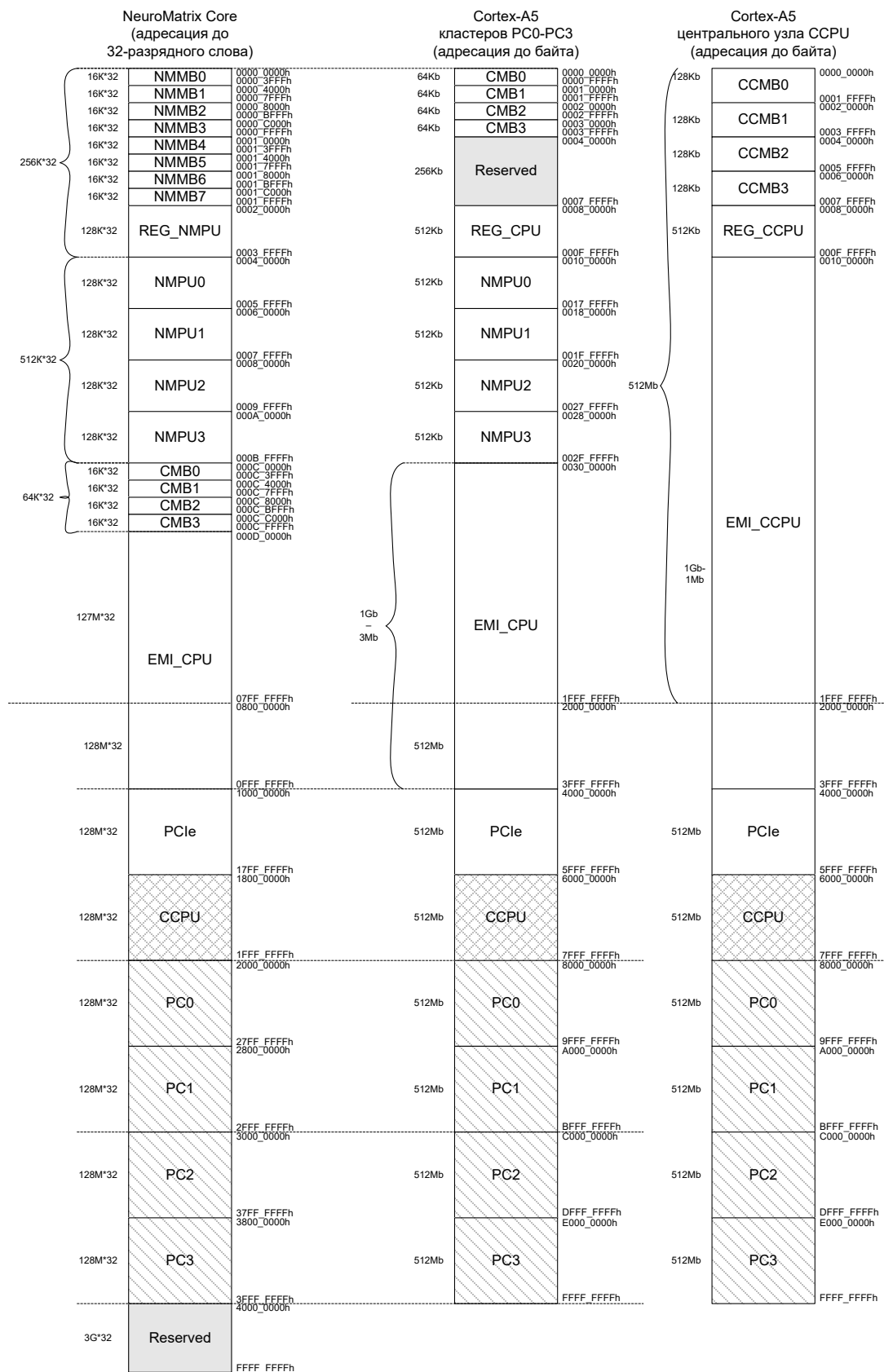
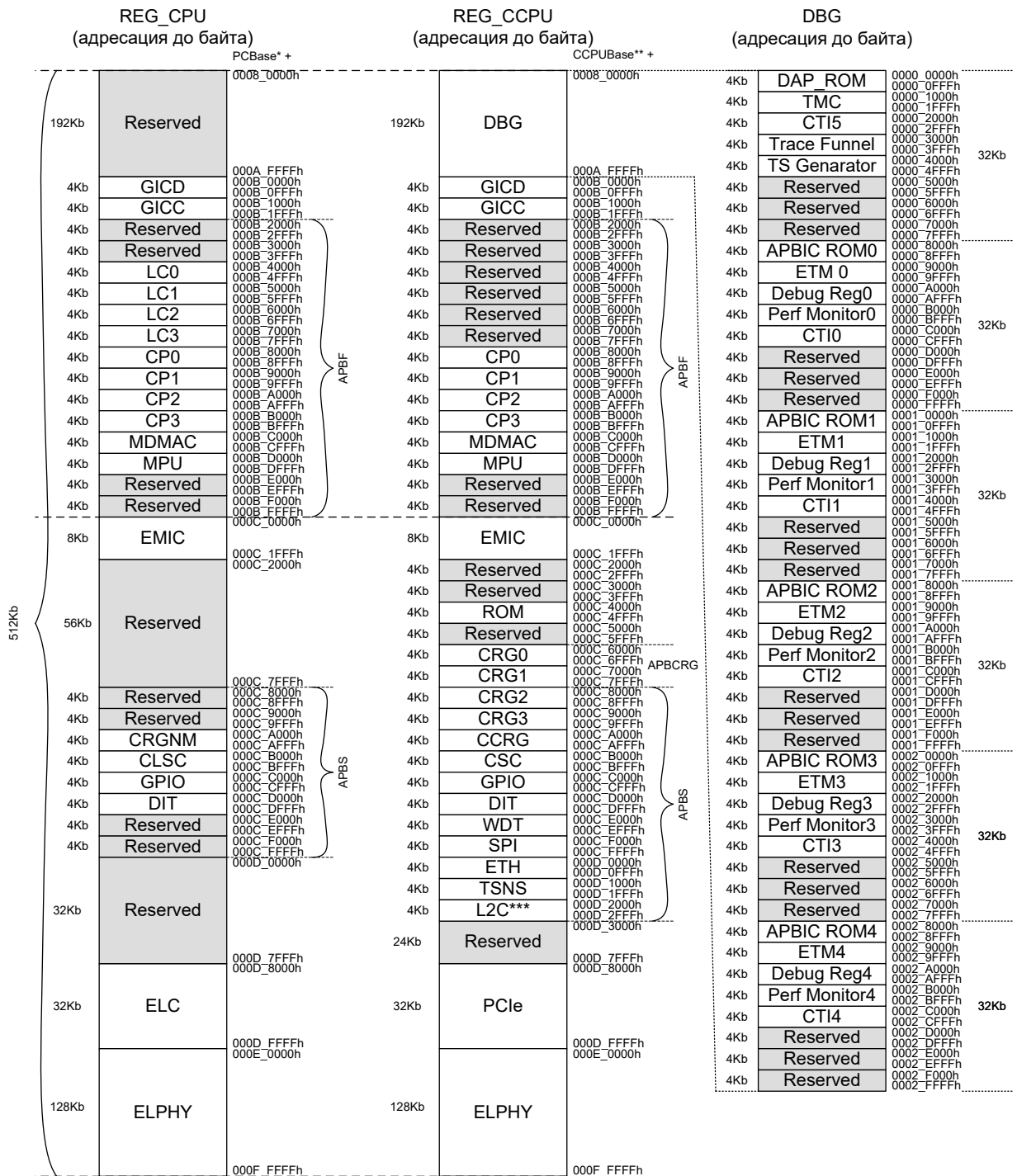


Рисунок 5.2 - Карта памяти микросхемы 1879BM8Я

					ЮФКВ.431282.020РЭ		Лист
							326
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				



0000_0000h (при доступе к собственной периферии) 0000_0000h (при доступе Cortex-A5 центрального узла к собственной периферии)

* PCBase = или ** CCPUBase = или

X000_0000h, где X=8/A/C/E для PC0/1/2/3 соответственно (при доступе в другой PC) 6000_0000h (при доступе снаружи CCPU)

*** L2C доступен только Cortex-A5 центрального узла при CCPUBase=0000_0000h

Рисунок 5.3 - Карта памяти периферийных устройств CPU и CCPU

					Лист	
					328	
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ	
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020			31406-3		

5.1.4 Система межпроцессорной функциональной синхронизации

Под функциональной синхронизацией понимается синхронизация процессов, запущенных на процессорных устройствах, входящих в состав СнК. Также в функциональную синхронизацию входит синхронизация процессов, запущенных на хост-процессоре, и процессов СнК. В дальнейшем функциональная синхронизация называется синхронизацией.

Взаимодействие процессов может осуществляться с помощью:

- Прерываний.
- Ячеек общей памяти (семафоров).

5.1.4.1 Прерывания между вычислительными узлами 1879ВМ8Я

Для синхронизации вычислительных узлов между собой могут быть использованы прерывания. Схема прерываний между вычислительными узлами 1879ВМ8Я приведена на рисунке 5.4. Запрос на прерывание к центральному управляющему процессорному узлу (ССПУ) могут формировать:

- четыре управляющих процессорных узла кластера (CPU) – по два прерывания от каждого CPU (высокоприоритетное и низкоприоритетное);
- внешние прерывания, поступающие на выходы микросхемы.

В свою очередь, центральный управляющий процессор может выдавать запрос на прерывание четырем управляющим процессорным узлам (CPU) – по два прерывания каждому CPU (высокоприоритетное и низкоприоритетное).

Каждый CPU формирует запросы на прерывания каждому NMPU своего кластера: по три прерывания каждому NMPU (высокоприоритетное, низкоприоритетное и немаскируемое прерывание). Каждый узел NMPU может формировать по два прерывания каждому NMPU из своего кластера и управляющему процессорному узлу кластера (CPU).

										Лист
										329
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.			Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4			09.11.2020		31406-3					

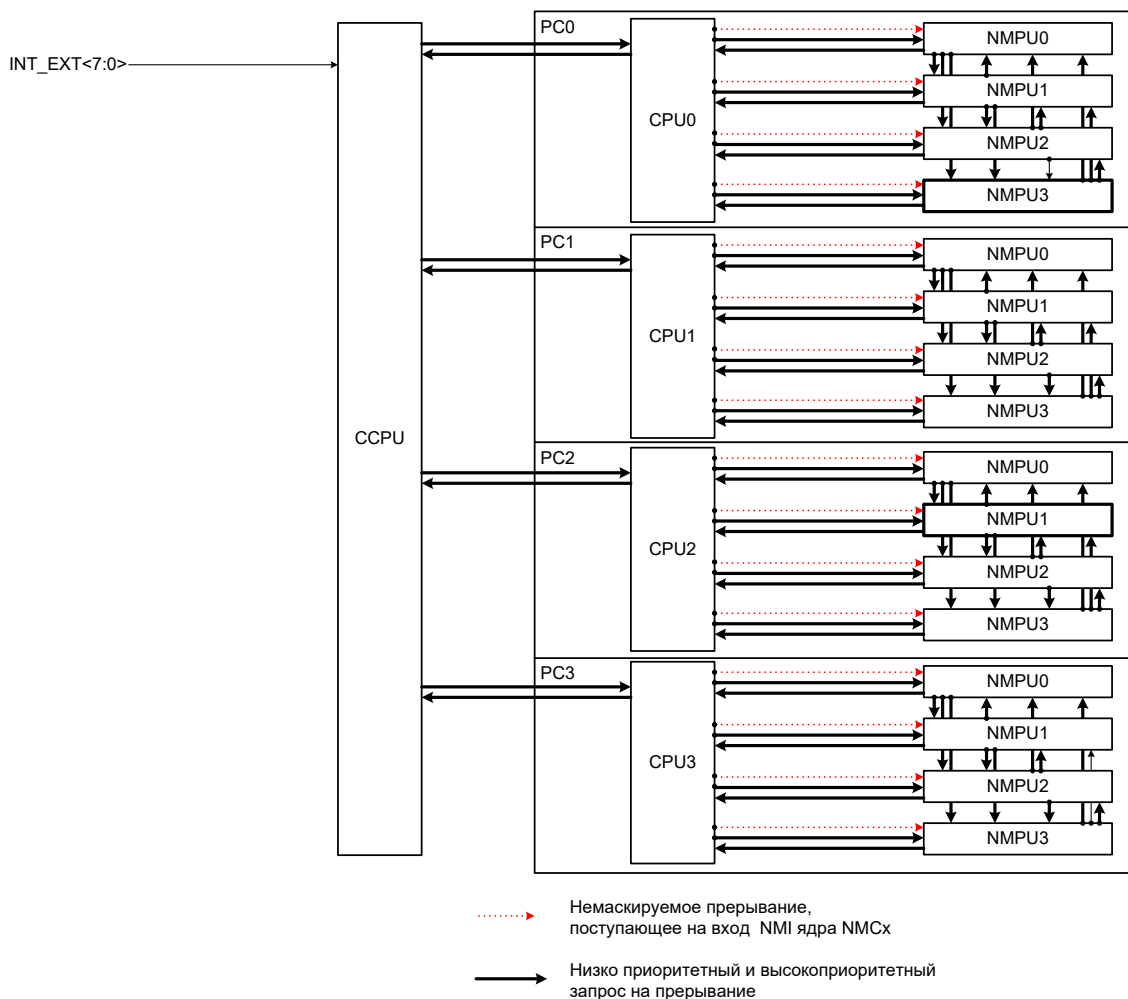


Рисунок 5.4 - Схема прерываний между вычислительными узлами 1879ВМ8Я

5.1.4.2 Синхронизация на основе ячеек общей памяти (семафоров)

Банки памяти СМВ0 всех кластеров и банк памяти ССМВ0 центрального управляющего узла ССРЦУ поддерживают эксклюзивные операции чтения/записи. Механизм эксклюзивного доступа был введен фирмой ARM вместо локированных операций при организации семафоров в памяти в многопроцессорных и многопоточных системах. С помощью операций эксклюзивного чтения и эксклюзивной записи строятся примитивы синхронизации между выполняющимися потоками команд.

5.2 Управляющий скалярный процессор ARM Cortex-A5

Управляющий скалярный процессор ARM Cortex-A5 центрального управляющего узла полностью идентичен используемому в процессорном кластере (см. подраздел 4.3). Единственное его отличие – наличие кэш 2-го уровня объемом 512 Кбайт.

					Лист
					330
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

5.3 Внутренняя память ССРЦ

Банки ССМВ0 - ССМВ3 внутренней памяти ССРЦ полностью идентичны банкам СМВ0 - СМВ3 памяти, принадлежащим процессорному кластеру (см. подраздел 4.4), за исключением того, что их размер в два раза больше. Причём нулевой банк ССМВ0 также поддерживает эксклюзивный доступ в память.

5.4 Контроллер ПДП коммуникационных портов СР

Контроллеры ПДП для коммуникационных портов (СРх) центрального управляющего узла полностью идентичны аналогичным, используемым в процессорном кластере (см. подраздел 4.5).

5.5 Контроллер ПДП память-память МДМАС

Контроллер ПДП МДМАС центрального управляющего узла полностью идентичен аналогичному, используемому в процессорном кластере (см. подраздел 4.7).

5.6 Контроллер интерфейса с внешней динамической памятью ЕМІ ССРЦ

Контроллер интерфейса с внешней памятью ЕМІ центрального управляющего узла полностью идентичен аналогичному, используемому в процессорном кластере (см. подраздел 4.8).

5.7 Блок защиты памяти МРЦ

Блок защиты памяти центрального управляющего узла полностью идентичен аналогичному, используемому в процессорном кластере (см. подраздел 4.10).

5.8 Системный контроллер прерываний ГІС

Системный контроллер прерываний центрального управляющего узла полностью идентичен аналогичному, используемому в процессорном кластере (см. подраздел 4.11). Исключением является несколько изменённый список прерываний, приведённый в таблице 5.1.

										Лист
										331
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					


Таблица 5.1 - Соответствие прерываний GIC и прерываний от периферийных устройств

Interrupt ID	Символическое название	Описание	Приоритет по умолчанию
0	COMMRX	Канал отладки Rx от ARM	Высший
1	COMMTX	Канал отладки Tx от ARM	
2	CTIRQ	Прерывание от CTI	
3	TS_INT	Прерывание от температурного датчика	
4	TIMINT0	Прерывание таймера 0	
5	TIMINT1	Прерывание таймера 1	
6	WDOGINT	Прерывание сторожевого таймера	
7	-	Зарезервировано	
8	PC0_HP	Высокоприоритетное прерывание от кластера PC0	
9	PC1_HP	Высокоприоритетное прерывание от кластера PC1	
10	PC2_HP	Высокоприоритетное прерывание от кластера PC2	
11	PC3_HP	Высокоприоритетное прерывание от кластера PC3	
12	ELC_INT0	Прерывание от контроллера канала External Link PC0	
13	ELC_INT1	Прерывание от контроллера канала External Link PC1	
14	ELC_INT2	Прерывание от контроллера канала External Link PC2	
15	ELC_INT3	Прерывание от контроллера канала External Link PC3	
16	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP0	
17	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP0	
18	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP1	
19	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP1	
20	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP2	
21	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP2	
22	CP0_SRC_INT	Обобщенное прерывание от передающего канала CP3	
23	CP0_DST_INT	Обобщенное прерывание от принимающего канала CP3	



										Лист
										332
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 5.1

Interrupt ID	Символическое название	Описание	Приоритет по умолчанию
24	MDMAC_INT	Прерывание контроллера ПДП память-память (MDMAC)	
25	MPUW_INT	Прерывание от канала записи MPU	
26	MPUR_INT	Прерывание от канала чтения MPU	
27	SSPDMA_INT	Прерывание контроллера ПДП в блоке SPI	
28	-	Зарезервировано	
29	-	Зарезервировано	
30	GE_INT0	Внешнее прерывание 0	
31	GE_INT1	Внешнее прерывание 1	
32	EMI_INT	Прерывание от контроллера внешней памяти EMI	
33	-	Зарезервировано	
34	SSP_INT	Прерывание от контроллера SPI	
35	ETH_INT	Прерывание от контроллера Ethernet	
36	-	Зарезервировано	
37	-	Зарезервировано	
38	GE_INT2	Внешнее прерывание 2	
39	GE_INT3	Внешнее прерывание 3	
40	PCIE_DMA_INT	Прерывание PCIe от ПДП ('ошибка' либо 'завершение')	
41	PCIE_LCL_INT	Комбинированное прерывание PCIe	
42	PCIE_LEG_INTA	Прерывание PCI legacy INTA	
43	PCIE_LEG_INTB	Прерывание PCI legacy INTB	
44	PCIE_LEG_INTC	Прерывание PCI legacy INTC	
45	PCIE_LEG_INTD	Прерывание PCI legacy INTD	
46	GE_INT4	Внешнее прерывание 4	
47	GE_INT5	Внешнее прерывание 5	
48	PC0_LP	Низкоприоритетное прерывание от кластера PC0	
49	PC1_LP	Низкоприоритетное прерывание от кластера PC1	
50	PC2_LP	Низкоприоритетное прерывание от кластера PC2	
51	PC3_LP	Низкоприоритетное прерывание от кластера PC3	
52	PLLL0_RDYINT	Готовность PLL от CRGL0	
53	PLLL1_RDYINT	Готовность PLL от CRGL1	
54	PLLL2_RDYINT	Готовность PLL от CRGL2	
55	PLLL3_RDYINT	Готовность PLL от CRGL3	

					Лист
					333
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 5.1

Interrupt ID	Символическое название	Описание	Приоритет по умолчанию
56	GE_INT6	Внешнее прерывание 6	↑
57	GE_INT7	Внешнее прерывание 7	
58	L2C_DECERR	Ошибка декодирования на L2 интерфейсе (AXI DECERR)	
59	L2C_SLVERR	Ошибка слэйма на L2 интерфейсе (AXI SLVERR)	
60	L2C_CINT	Комбинированное прерывание от L2-кэш памяти (включает два выше)	
61	PMUIRQ	Прерывание от ARM Performance Monitor	
62	PLLC_RDYINT	Готовность PLL от CCRG	
63	-	Зарезервировано	

5.9 Блок сдвоенных таймеров DIT

Блок сдвоенных таймеров DIT центрального управляющего узла полностью идентичен аналогичному, используемому в процессорном кластере (см. подраздел 4.12).

5.10 Универсальный блок интерфейсов общего назначения GPIO/EXTINT

Универсальный блок интерфейсов общего назначения центрального управляющего узла полностью идентичен аналогичному, используемому в процессорном кластере (см. подраздел 4.13).

										Лист
										334
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.11 GRETH – контроллер интерфейса Ethernet

Микросхема 1879BM8Я содержит MAC (Media Access Controller) интерфейса Ethernet. Скорость передачи данных контроллером составляет 10 или 100 Мбит/с в полудуплексном и дуплексном режимах. Интерфейс AMBA APB используется для конфигурации и управления контроллером, интерфейс AMBA AHB используется для доступа к памяти микросхемы. Поток данных обрабатывается DMA-каналами. Один DMA-канал предназначен для передачи данных, другой – для приема данных. Оба канала используют единый интерфейс АНВ. Внешний интерфейс соответствует стандарту RMII. К данному интерфейсу должно быть подключено устройство физического уровня (PHY). GRETH также обеспечивает доступ к интерфейсу MDIO, который используется для настройки PHY.

Аппаратно в контроллере поддерживается протокол Ethernet Debug Communication Link (EDCL).

Блок-схема внутренней структуры GRETH приведена на рисунке 5.5.

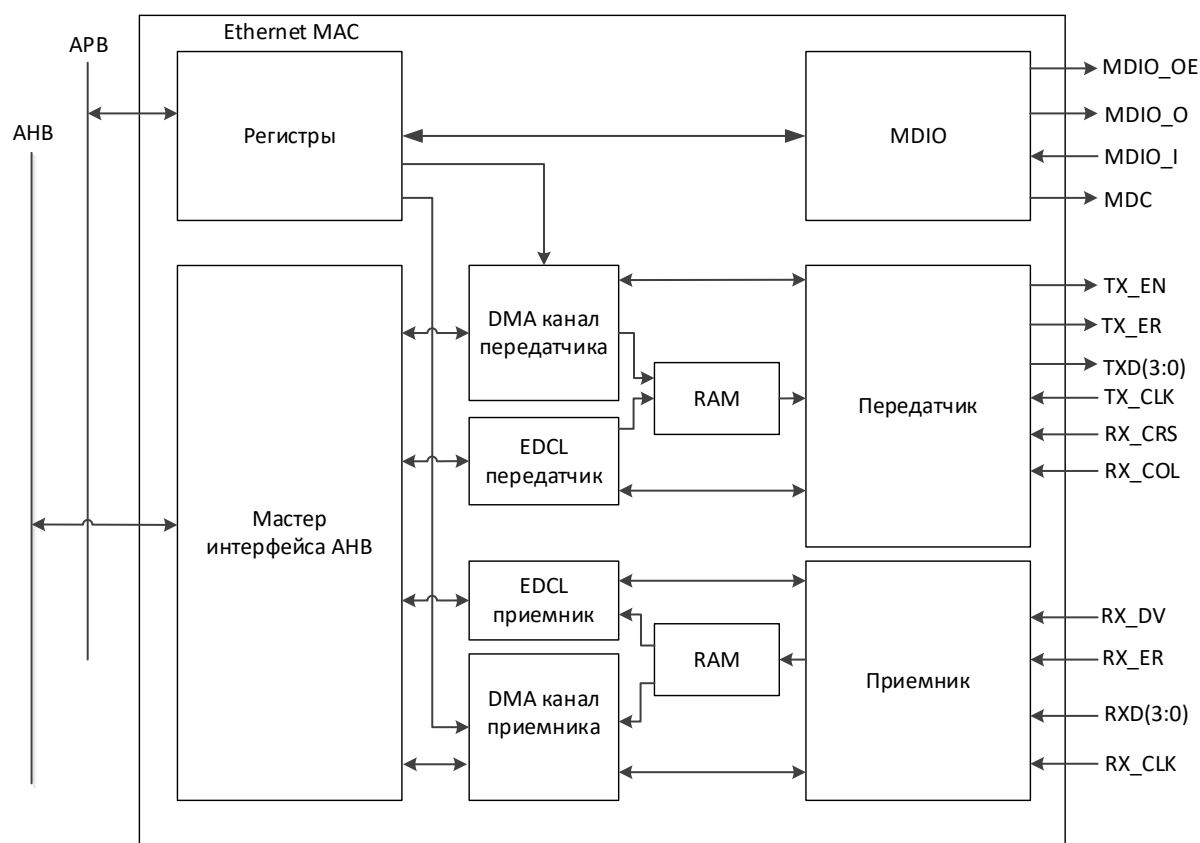


Рисунок 5.5 - Блок-схема внутренней структуры GRETH

					Лист
					335
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

5.11.1 Структура контроллера GRETH

Контроллер GRETH состоит из трех функциональных блоков: двух DMA-каналов, MDIO-интерфейса и блока удаленной отладки EDCL.

Основная функциональность контроллера – передача данных между памятью микросхемы и сетью Ethernet. Конфигурирование DMA-каналов осуществляется с помощью программно доступных регистров.

Интерфейс MDIO используется для доступа к конфигурационным регистрам одной или более микросхем PNY.

Блок EDCL обеспечивает произвольный доступ внешнего устройства к внутренней памяти микросхемы. Блок позволяет производить удаленную отладку программного обеспечения. Для этого совместно используются протоколы UDP, IP, ARP с протоколом пользовательского уровня (custom application layer). EDCL не имеет программно доступных регистров и работает всегда параллельно с DMA-каналами.

Микросхема 1879BM8Я поддерживает подключение PNY-микросхем только с интерфейсом RMI, который является усеченной по количеству выводов версией интерфейса MI.

5.11.2 Поддержка протоколов

Контроллер GRETH разработан согласно стандарту IEEE 802.3-2002 и стандарту 802.3Q-2003. Дополнительный уровень управления не поддерживается, пакеты с типом 0x8808 отбрасываются.

5.11.3 Синхронизация

GRETH имеет три домена тактовых сигналов: АНВ, Ethernet-приемник, Ethernet-передатчик. Тактовые сигналы Ethernet-приемника и Ethernet-передатчика генерируются внешним PNY и поступают в ядро посредством RMI интерфейса. Три домена тактовых сигналов асинхронны друг другу. Все сигналы данных полностью синхронизованы внутри ядра контроллера.

Поддерживаются оба режима: дуплексный и полудуплексный, контроллер может работать в них на скорости 10 или 100 Мбит/с. Минимальная тактовая частота шины АНВ для скорости передачи 10 Мбит/с – 2,5 МГц, для 100 Мбит/с – не менее 18 МГц. Использование более низкой тактовой частоты шины АНВ приведет к потере пакетов.

										Лист
										336
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.11.4 Интерфейс передатчика TxDMA

Интерфейс DMA-передатчика используется для передачи данных в сеть Ethernet. При передаче данных используются дескрипторы, заранее записанные в память.

Подготовка дескриптора

Дескриптор состоящий из двух 32-разрядных слов, показан на рисунках 5.6 и 5.7. Описание полей слов 0 и 1 дескриптора передатчика GRETH приведено в таблицах 5.2 и 5.3. Количество байтов, которые должны быть переданы, устанавливаются в поле длины (LENGTH), поле адреса (ADDRESS) адресует данные в памяти микросхемы. Адрес должен быть выровнен до 32-разрядного слова. Если бит разрешения прерывания IE установлен, то при отправке пакета будет сгенерировано прерывание (для этого необходимо, чтобы бит включения прерывания передатчика в управляющем регистре также был установлен). Прерывание будет сгенерировано независимо от того, был ли пакет передан успешно или нет.

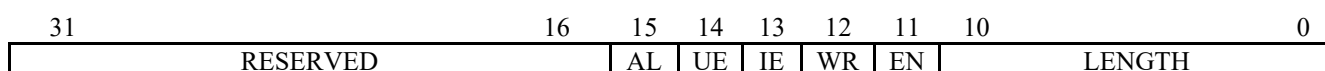


Рисунок 5.6 - Дескриптор передатчика GRETH, слово 0 (смещение адреса 0x0)

Таблица 5.2 – Описание полей слова 0 дескриптора передатчика GRETH

Биты	Название	Функция
[31:16]	Reserved	Не используется.
[15]	Attempt Limit Error (AL)	Пакет не был передан, потому что было достигнуто максимальное количество попыток отправки с коллизиями.
[14]	Underrun Error (UE)	Пакет был некорректно передан из-за ошибки опустошения FIFO.
[13]	Interrupt enable (IE)	Разрешение прерываний. Прерывание будет сгенерировано, когда пакет от этого дескриптора будет послан, при условии, что бит разрешения прерывания передатчика в управляющем регистре установлен. Прерывание формируется независимо от того, успешно был передан пакет или с ошибкой.
[12]	Wrap (WR)	Если установлен в 1, то после чтения данного дескриптора указателю дескриптора присваивается начальное значение (0). Если этот бит не установлен, указатель будет увеличен на 8. Указатель автоматически возвращается в начальное состояние (0), когда достигает границы области дескрипторов 1 Кбайт
[11]	Enable (EN)	Установка 1 активирует дескриптор.
[10:0]	LENGTH	Количество байтов, которое должно быть передано.

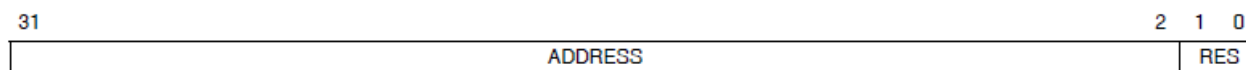


Рисунок 5.7 - Дескриптор передатчика GRETH, слово 1 (смещение адреса 0x4)

					Лист
ЮФКВ.431282.020РЭ					337
Изм.	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 5.3 - Описание полей слова 1 дескриптора передатчика GRETH

Биты	Название	Функция
[31:2]	Address	Указатель на область памяти, откуда данные будут загружены.
[1:0]	Reserved	Не используется

Для активации дескриптора необходимо установить бит EN, после этого бит не должен перезаписываться до момента, пока GRETH сам не сбросит этот бит.

Начало передачи

Для начала передачи недостаточно только активировать дескриптор. Сначала в контроллере GRETH должен быть задан указатель области памяти, содержащей дескрипторы. Соответствующий указатель задается в регистре указателя дескриптора передатчика. Адрес должен быть выровнен по границе 1 Кбайт. Разряды с 31 по 10 содержат базовый адрес области дескрипторов, в то время как разряды с 9 по 3 формируют указатель на индивидуальный дескриптор. Первый дескриптор будет помещен по базовому адресу и, когда дескриптор будет использован GRETH-контроллером, поле указателя будет увеличено на 8, чтобы указать на следующий дескриптор. Указатель будет автоматически возвращен обратно в начальное состояние (0), когда будет достигнута граница 1 Кбайт (отработает дескриптор со смещением адреса 0x3F8) или когда будет прочитан дескриптор с установленным битом WR.

Последний шаг для запуска передачи – это установка бита разрешения передачи (transmit enable) в управляющем регистре. Таким образом контроллеру сообщается о наличии активных дескрипторов в таблице дескрипторов.

Обработка дескриптора после передачи

Когда передача пакета закончена, результат записывается в первое слово соответствующего дескриптора. Признак ошибки отсутствия данных (Underrun Error) устанавливается, если передающее FIFO становилось пустым до того, как пакет был полностью передан. Бит Attempt Limit Error устанавливается, если произошло больше коллизий, чем разрешено стандартом Ethernet. Пакет считается успешно переданным, если оба этих бита равны 0. Другие разряды первого слова дескриптора устанавливаются в 0 после передачи, второе слово остается нетронутым.

Разряд разрешения (enable bit) служит признаком возможности повторного использования дескриптора. Дескриптор можно использовать повторно после того, как этот бит был сброшен контроллером.

									Лист
									338
Изм.	Лист	№ докум.	Подп.	Дата					
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

В регистре состояния контроллера GRETH имеются три бита, которые определяют состояние контроллера. Ошибка передатчика (Transmission Error) устанавливается каждый раз, когда передача заканчивается с ошибкой (когда, по крайней мере, один из двух статусных битов в передаваемом дескрипторе был установлен). Прерывание передатчика (Transmitter Interrupt) устанавливается каждый раз, когда передача закончилась успешно. *Признак ошибки передатчика АНВ (Transmitter АНВ Error)* устанавливается, когда происходит ошибка на шине АНВ - или во время чтения дескриптора, или во время чтения пакета данных. Любые инициированные передачи будут прекращены, и передатчик будет остановлен. Для возобновления передачи в таком случае следует снова установить бит разрешения передачи (transmit enable) в управляющем регистре.

Данные передачи

Данные для передачи должны быть помещены, начиная с адреса, указанного в поле адреса дескриптора. Вместе с данными в буфере данных должен храниться заголовок пакета Ethernet (MAC-адреса и поле типа), GRETH не генерирует его автоматически. В конце каждого пакета автоматически добавляются четыре байта контрольной суммы (CRC) пакета Ethernet. Одному дескриптору соответствует один пакет Ethernet. Если поле размера в дескрипторе больше 1514, то пакет не будет передан.

5.11.5 Интерфейс приемника RxDMA

Интерфейс DMA-приемника используется для приема данных из сети Ethernet. При приеме данных используются дескрипторы, записанные заранее в память.

Подготовка дескрипторов

Дескриптор состоит из двух 32-разрядных слов и показан на рисунках 5.8 и 5.9. Поле адреса слова 1 указывает на буфер памяти, в котором должны быть сохранены принятые данные. Адрес должен быть выровнен до 32-разрядного слова. Максимальный размер буфера составляет 1514. Если разряд разрешения прерывания (IE) установлен, то прерывание будет сгенерировано, когда пакет будет принят в буфер (для этого необходимо, чтобы бит включения прерывания приёмника в управляющем регистре также был установлен). Прерывание генерируется независимо от правильности принятия пакета.

Описание полей слов 0 и 1 дескриптора приемника GRETH приведено в таблицах 5.4 и 5.5.

										Лист
										339
Изм.	Лист	№ докум.	Подп.	Дата						
Инд.№подл.	Подп. и дата			Взам.инв.№	Инд.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

31	27	26	25	19	18	17	16	15	14	13	12	11	10	0
RESERVED	MC	RESERVED	LE	OE	CE	FT	AE	IE	WR	EN	LENGTH			

Рисунок 5.8 - Дескриптор приемника GRETH, слово 0 (смещение адреса 0x0)

Таблица 5.4 - Описание полей слова 0 дескриптора приемника GRETH

Биты	Название	Функция
[31:27]	Reserved	Не используется.
[26]	Multicast address (MC)	Признак того, что адрес в заголовке пакета был Multicast-адресом
[25:19]	Reserved	Не используется.
[18]	Length error (LE)	Признак несовпадения длины/типа пакета в заголовке с действительным числом принятых байтов.
[17]	Overrun error (OE)	Признак переполнения приемного FIFO. Кадр данных был некорректно принят из-за переполнения FIFO.
[16]	CRC error (CE)	Признак ошибки CRC. Ошибка контрольной суммы (CRC) была обнаружена в данном кадре.
[15]	Frame too long (FT)	Был принят кадр, который превышает максимальный размер. Лишняя часть отброшена.
[14]	Alignment error (AE)	Ошибка выравнивания. Нечетное число полубайтов было принято.
[13]	Interrupt enable (IE)	Разрешение прерываний. Установка бита разрешает формирование прерывания после принятия пакета дескриптора. Прерывание генерируется независимо от того, успешно был принят пакет, или он был завершен с ошибкой
[12]	Wrap (WR)	Если установлен в 1, то после чтения данного дескриптора указателю дескриптора присваивается начальное значение (0). Если этот бит не установлен, указатель будет увеличен на 8. Указатель автоматически возвращается в начальное состояние (0), когда достигает границы области дескрипторов 1 Кбайт
[11]	Enable (EN)	Установка 1 активирует дескриптор.
[10:0]	LENGTH	Количество байтов, которое должно быть принято.

31	2	1	0
ADDRESS			RES

Рисунок 5.9 - Дескриптор приемника GRETH, слово 1 (смещение адреса 0x4)

Таблица 5.5 - Описание полей слова 1 дескриптора приемника GRETH

Биты	Название	Функция
[31:2]	Address	Указатель на область памяти, куда данные будут загружены.
[1:0]	Reserved	Не используется.

Начало приема

Для начала приема данных недостаточно только активировать дескриптор. Сначала в контроллере должен быть задан указатель области памяти, содержащей дескрипторы. Соответствующий указатель задается в регистре указателя дескриптора приемника. Адрес должен быть выровнен по границе 1 Кбайт. Разряды с 31 по 10 содержат базовый адрес области дескрипторов, в то время как разряды с 9 по 3 формируют указатель на индивидуальный дескриптор. Первый дескриптор помещается по базовому адресу и, когда он будет использован контроллером, поле указателя будет увеличено на 8, чтобы указать на следующий дескриптор. Указателю будет автоматически присвоено начальное значение (0),

					Лист
					340
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

когда будет достигнута следующая граница 1 Кбайт (использован дескриптор со смещением адреса 0x3F8) или когда будет прочитан дескриптор с установленным битом WR.

Последний шаг для включения приема – это установка разряда разрешения приема (receive enable) в управляющем регистре. Таким образом контроллеру сообщается о возможности считать первый дескриптор и ожидать входной пакет.

Обработка дескриптора после приема

Сброс разряда активации дескриптора (descriptor enable bit) является признаком окончания приема для контроллера, также сбрасываются другие управляющие разряды (WR, IE). Поле длины (LENGTH) определяет количество принятых байтов. В память пишутся адрес приемника, адрес источника, поле типа и поле данных. Разряды 18-14 в слове 0 дескриптора фиксируют различные ошибки при приеме данных (см. таблицу 5.4). Все пять разрядов сбрасываются после приема данных, если нет ошибок.

Если адрес принятого пакета не соответствует запрограммированному MAC-адресу устройства, то будет установлен бит IA регистра статуса.

Пакеты большие максимального размера вызывают установку признака FT, при этом не гарантируется, что в поле длины (LENGTH) содержится правильное значение количества принятых байтов.

Прием с ошибками на шине АНВ

Если происходит ошибка на шине АНВ во время чтения дескриптора или сохранения данных, то устанавливается бит ошибки при приеме на шине АНВ (Receiver АНВ Error) и приемник останавливается. Для возобновления приёма в таком случае следует снова установить бит разрешения (Receive Enable) в управляющем регистре.

MAC-адреса принимаемых пакетов

Контроллер принимает пакеты, в которых в качестве MAC-адреса назначения указан:

- собственный MAC-адрес (задаётся программно в регистрах MAC Address),
- широковещательный MAC-адрес,
- MAC-адрес типа multicast, если установлен бит Multicast enable управляющего регистра.

Для каждого принимаемого пакета типа multicast контроллер:

- извлекает MAC-адрес назначения,
- рассчитывает для него контрольную сумму CRC32 (в соответствии со стандартом Ethernet),

									Лист
									341
Изм.	Лист	№ докум.	Подп.	Дата					
Инов.№подл.		Подп. и дата			Взам.инв.№	Инов.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3				

- берёт младшие 6 разрядов полученной контрольной суммы в качестве номера бита регистра hash table,
- если соответствующий бит регистра hash table установлен, то пакет принимается, иначе – отбрасывается.

5.11.6 MDIO-интерфейс

Интерфейс MDIO обеспечивает доступ к конфигурационным регистрам микросхемы РНУ. Контроллер обеспечивает полную поддержку MDIO-интерфейса.

Частота выходного тактового сигнала ETH_MDC всегда составляет 1/40 от тактового сигнала, подаваемого на контроллер GRETH. Соответственно, после выхода микросхемы из состояния сброса (в том числе и во время начальной загрузки) частота тактового сигнала ETH_MDC составляет 5 МГц.

MDIO-интерфейс может быть использован для управления от 1 до 32 РНУ, содержащих до 32 16-разрядных регистров. Доступ к регистрам РНУ осуществляется с помощью регистра MDIO Control/Status. Для проведения операции чтения следует записать номер РНУ, адрес регистра и установить разряд RD. После этого контроллер устанавливает разряд занятости (Busy bit). Конец операции чтения можно отследить по сбросу бита занятости. Если операция была успешной, разряд Linkfail сбрасывается, в поле данных находятся считанные данные. При ошибочном завершении операции устанавливается бит Linkfail. В этом случае поле данных не определено.

Операцию записи инициирует запись 16-разрядных данных, номера РНУ и адреса регистра с установленным битом записи WR. Операция заканчивается, когда сбрасывается разряд занятости (busy bit); если операция была успешной, бит Linkfail равен 0.

5.11.7 Интерфейс для удаленной отладки (Ethernet Debug Communication Link)

Ethernet Debug Communication Link (EDCL) обеспечивает доступ к шине АНВ посредством сетевого протокола Ethernet. Совместно используются UDP, IP, ARP протоколы и протокол прикладного пользовательского уровня. Протокол прикладного уровня использует алгоритм ARQ для обеспечения целостности команд чтения и записи. Передача по чтению или по записи может быть сгенерирована по любому адресу на шине АНВ.

На рисунках 5.10 и 5.11 показан пакет EDCL и формат управляющего слова пакета EDCL.

										Лист
										342
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

Заголовок Ethernet	Заголовок IP	Заголовок UDP	Пустые 2 байта	Управляющее слово, 4 байта	Адрес, 4 байта	Данные, 0-242 32-разрядных слова	Контрольная сумма (FCS)
--------------------	--------------	---------------	----------------	----------------------------	----------------	----------------------------------	-------------------------

Рисунок 5.10 - Пакет EDCL

Для успешной работы по EDCL требуется следующее: корректные MAC- и IP-адреса приемника, как указано в основных настройках, поле типа протокола Ethernet, содержащее 0x806 (ARP) или 0x800 (IP). Контрольная сумма IP-заголовка и идентификационные поля не проверяются. Существует несколько ограничений для полей IP-заголовка. Поле протокола должно быть всегда равным 0x11 (UDP). Длина и контрольная сумма – единственные IP-поля, изменяемые при ответе.

EDCL обеспечивает только один доступ в каждый момент времени – поэтому не требуется проверять номер UDP-порта. Ответ будет иметь исходный номер порта источника в обоих полях: источника и приемника. Контрольная сумма UDP не используется, и при ответах поле контрольной суммы равно 0.

Зарезервировано, 16 бит	Порядковый номер, 14 бит	R/W, 1 бит	Длина, 10 бит	Зарезервировано, 7 бит
-------------------------	--------------------------	------------	---------------	------------------------

Рисунок 5.11 – Формат управляющего слова пакета EDCL

16-битное смещение используется для того, чтобы выровнять в памяти оставшуюся часть данных прикладного уровня по границе, кратной слову, и может быть любым. Поле R/W определяет, будет выполняться чтение или запись. Поле длины содержит количество байтов, которое нужно прочитать или записать. Если R/W равен 1, поле данных, показанное на рисунке (Рисунок 5.11), содержит данные, которые должны быть записаны. Если R/W равен 0, то поле данных должно быть пустым.

В ответ на принятый EDCL-пакет контроллер аппаратно отправляет подтверждение.

На рисунке 5.12 показаны поля прикладного уровня ответов от EDCL.

Зарезервировано, 16 бит	Порядковый номер, 14 бит	R/W, 1 бит	Длина, 10 бит	Зарезервировано, 7 бит
-------------------------	--------------------------	------------	---------------	------------------------

Рисунок 5.12 - Поля прикладного уровня пакетов подтверждения EDCL

EDCL использует алгоритм, обеспечивающий надежные передачи. 14-разрядный порядковый номер в принимаемых пакетах проверяется на совпадение с внутренним счетчиком.

Если они не совпадают:

- операция не выполняется,

										Лист
										343
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

- в ответном пакете поле ACK/NAK устанавливается в 1,
- в ответном пакете передается значение внутреннего счетчика.

Если порядковые номера совпадают, то:

- операция совершается,
- значение счетчика передается в пакете подтверждения,
- в ответном пакете поле ACK/NAK устанавливается в 0,
- внутренний счетчик инкрементируется.

Поле длины (LENGTH) всегда сбрасывается для кадров с ACK/NAK=1.

Неиспользуемые поля не проверяются и копируются при ответе.

IP- и MAC-адреса для EDCL

Значения по умолчанию IP- и MAC-адресов для EDCL указаны в описании соответствующих регистров EDCL IP и EDCL MAC address. Чтобы в одной и той же подсети могли работать несколько GRETH-контроллеров в режиме EDCL, следует установить контроллерам разные значения младших четырех разрядов IP- и MAC-адреса. Это делается с помощью внешних выводов EDCLA0 – EDCLA3 микросхемы.

Начальное значение MAC-адреса EDCL для микросхемы 1879BM8Я – 0xEC1766640800.

Размер буфера EDCL

Блок EDCL содержит внутренние блоки памяти, предназначенные для хранения полученных пакетов в процессе передачи данных. Максимальный размер данных, которые могут быть переданы в пакете EDCL (см. рисунок 5.12, размер поля данных) составляет 114 32-разрядных слов.

5.11.8 Программная модель

Программно доступные регистры контроллера GRETH расположены в области памяти периферийных устройств REG_CCPU, имеют базовое смещение GRETH_Base = 0x000D_0000 и общий размер 4 Кбайт. Регистры имеют разрядность 32 бита. Спецификация регистров представлена в таблице 5.6.

					ЮФКВ.431282.020РЭ		Лист 344
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

Таблица 5.6 – Регистры контроллера GRETH

Адрес	Название	Описание
GRETH Base+0x00	Control register	Регистр управления
GRETH Base+0x04	Status register	Регистр состояния
GRETH Base+0x08	MAC Address MSB	Регистр, определяющий старшие биты (MSB) MAC-адреса
GRETH Base+0x0C	MAC Address LSB	Регистр, определяющий младшие биты (LSB) MAC-адреса
GRETH Base+0x10	MDIO Control/Status	Регистр управления/состояния интерфейса MDIO
GRETH Base+0x14	Transmit descriptor pointer	Регистр базового адреса таблицы дескрипторов передатчика
GRETH Base+0x18	Receiver descriptor pointer	Регистр базового адреса таблицы дескрипторов приемника
GRETH Base+0x1C	EDCL IP	Регистр IP-адреса для EDCL
GRETH Base+0x20	Hash table msb	Регистр старших битов hash-таблицы
GRETH Base+0x24	Hash table lsb	Регистр младших битов hash-таблицы
GRETH Base+0x28	EDCL MAC address MSB	Регистр старших битов MAC-адреса для EDCL
GRETH Base+0x2C	EDCL MAC address LSB	Регистр младших битов MAC-адреса для EDCL

Регистр управления

Формат управляющего регистра приведен на рисунке 5.13.

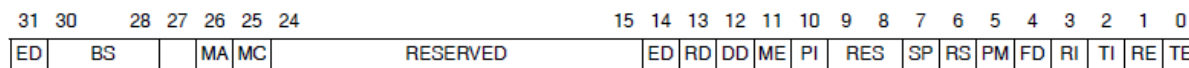


Рисунок 5.13 – Управляющий регистр

Описание полей управляющего регистра приведено в таблице 5.7.

				ЮФКВ.431282.020РЭ	Лист 345
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
31406-4		09.11.2020		31406-3	
			Подп. и дата		

Таблица 5.7 - Структура управляющего регистра

Биты	Название	Функция
[31]	EDCL available (ED)	Установлено, если EDCL поддерживается.
[30:28]	EDCL buffer size (BS)	Показывает количество памяти, используемое в EDCL-буферах. 0=1 Кбайт, 1=2 Кбайт, ..., 6=64 Кбайт.
[27]	Reserved	Не используется.
[26]	MDIO interrupts available (MA)	Установлено, если ядро контроллера поддерживает прерывания от MDIO. Бит доступен только для чтения.
[25]	Multicast available (MC)	Установлено, если ядро контроллера поддерживает механизм multicast.
[24:15]	Reserved	Зарезервированы.
[14]	EDCL Disable (ED)	При установке бита происходит отключение EDCL, при сбросе EDCL включается. Начальное значение не определено (может быть разным в зависимости от работы начального загрузчика).
[13]	Reserved	Зарезервировано.
[12]	Reserved	Зарезервировано, следует записывать 0.
[11]	Multicast enable (ME)	Разрешение приема пакетов multicast.
[10]	PHY status change interrupt enable (PI)	Разрешение прерывания от PHY-блоков.
[9:8]	Reserved	Не используется.
[7]	Speed (SP)	Устанавливает текущий режим скорости. 0 – 10 Мбит/с, 1 – 100 Мбит/с. Значение по умолчанию автоматически считывается из PHY-блока после аппаратного сброса. Значение при сбросе “1”.
[6]	Reset (RS)	1, записанная в этот разряд, сбрасывает ядро контроллера. Бит сбрасывается сам.
[5]	Promiscuous mode (PM)	Если бит установлен, контроллер работает в смешанном режиме, который означает, что он будет получать все пакеты независимо от адреса назначения.
[4]	Full duplex (FD)	Если бит установлен, контроллер работает в дуплексном режиме, иначе он работает в полудуплексе. Значение при сбросе “0”.
[3]	Receiver Interrupt (RI)	Разрешает прерывания приемника. Значение при сбросе “0”.
[2]	Transmitter Interrupt (TI)	Разрешает прерывания передатчика. Значение при сбросе “0”.
[1]	Receive enable (RE)	Следует записывать 1 после активации дескриптора приёмника. Пока данный бит установлен, GRETH читает очередной дескриптор. Бит сбрасывается, когда GRETH дойдёт до выключенного дескриптора.
[0]	Transmit enable (TE)	Следует записывать 1 после активации дескриптора передатчика. Пока данный бит установлен, GRETH читает очередной дескриптор. Бит сбрасывается, когда GRETH дойдёт до выключенного дескриптора.

										Лист
										346
						ЮФКВ.431282.020РЭ				
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр состояния

Формат регистра состояния приведен на рисунке 5.14.

31	9	8	7	6	5	4	3	2	1	0	
Reserved			PS	IA	TS	TA	RA	TI	RI	TE	RE

Рисунок 5.14 – Регистр состояния

Описание полей регистра состояния приведен в таблице 5.8.

Таблица 5.8 - Структура регистра состояния

Биты	Название	Функция
[31:9]	Reserved	Не используется.
[8]	PHY status changes (PS)	Устанавливается каждый раз, когда обнаруживается изменение состояния PHY-блока.
[7]	Invalid address (IA)	Был принят пакет с MAC-адресом, не соответствующим запрограммированному. Для сброса следует записать значение 1. Значение при сбросе “0”.
[6]	Too small (TS)	Был принят пакет меньше минимального размера. Для сброса следует записать значение 1. Значение при сбросе “0”.
[5]	Transmitter AHB error (TA)	Обнаружена ошибка на шине АHB при работе DMA-передатчика. Для сброса следует записать значение 1.
[4]	Receiver AHB error (RA)	Обнаружена ошибка на шине АHB при работе DMA-приемника. Для сброса следует записать значение 1.
[3]	Transmitter Interrupt (TI)	Пакет был передан без ошибок. Для сброса следует записать значение 1.
[2]	Receiver interrupt (RI)	Пакет был принят без ошибок. Для сброса следует записать значение 1.
[1]	Transmit error (TE)	Пакет был передан с ошибкой. Для сброса следует записать значение 1.
[0]	Receiver error (RE)	Пакет был принят с ошибкой. Для сброса следует записать значение 1.

Регистр, определяющий старшие биты (MSB) MAC-адреса

Формат регистра, определяющего старшие биты (MSB) MAC-адреса, приведен на рисунке 5.15.

31	16	15	0
RESERVED		MAC Address [74:32]	

Рисунок 5.15 - Регистр, определяющий старшие биты (MSB) MAC-адреса

Описание полей регистра, определяющего старшие биты MAC-адреса, приведено в таблице 5.9.

Таблица 5.9 - Структура регистра, определяющего старшие биты MAC-адреса

Биты	Название	Функция
[31:16]	Reserved	Не используется.
[15:0]	MAC Address [47:32]	Два старших значащих байта MAC-адреса.

Регистр, определяющий младшие биты (LSB) MAC-адреса

Формат регистра, определяющего младшие биты (LSB) MAC-адреса, приведен на рисунке 5.16.

31	0
MAC Address [31:0]	

Рисунок 5.16 - Регистр, определяющий младшие биты (LSB) MAC-адреса

Описание полей регистра, определяющего младшие биты (LSB) MAC-адреса, приведен в таблице 5.10.

					ЮФКВ.431282.020РЭ	Лист
						347
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Таблица 5.10 - Структура регистра, определяющего младшие биты MAC-адреса

Биты	Название	Функция
[31:0]	Bit 31-0	Четыре младших значащих байта MAC-адреса.

Регистр управления/состояния интерфейса MDIO

Формат регистра управления/состояния интерфейса MDIO приведен на рисунке 5.17.

31	16	15	11	10	6	5	4	3	2	1	0
DATA			PHY Address		Register Address		NV	BU	LF	RD	WR

Рисунок 5.17 - Регистр управления/состояния интерфейса MDIO

Описание полей регистра управления/состояния интерфейса MDIO приведено в таблице 5.11.

Таблица 5.11 - Структура регистра управления/состояния интерфейса MDIO

Биты	Название	Функция
[31:16]	Data	При операции чтения в этом поле выдаются считанные данные. При операции записи в это поле следует писать данные, которые будут переданы в PHY. Значение при сбросе - 0x0000.
[15:11]	PHY address	Поле содержит номер PHY-блока, который будет выбран для операции чтения или записи. Значение при сбросе - 0x0000.
[10:6]	Register address	Это поле содержит адрес регистра, который будет выбран для операции чтения или записи. Значение при сбросе - 0x0000.
[5]	-	Не используется.
[4]	Not valid (NV)	Когда операция закончена (BUSY=0), этот бит указывает, были ли приняты данные, что означает, что поле данных содержит прочитанные данные. Значение при сбросе "0".
[3]	Busy (BU)	Когда операция выполняется, этот разряд установлен в 1. Как только операция закончена, этот разряд сбрасывается. Значение при сбросе "0".
[2]	Linkfail (LF)	Когда операция завершается (BUSY=0), этот бит устанавливается, если не обнаружено подключение к PHY. Значение при сбросе "1".
[1]	Read (RD)	Запуск операции чтения. Значение при сбросе "0".
[0]	Write (WR)	Запуск операции записи. Значение при сбросе "0".

Регистр базового адреса таблицы дескрипторов передатчика

Формат регистра базового адреса таблицы дескрипторов передатчика приведен на рисунке 5.18.

31	10	9	3	2	0
Transmitter descriptor table base address			Descriptor pointer	Reserved	

Рисунок 5.18 - Регистр базового адреса таблицы дескрипторов передатчика

Описание полей регистра базового адреса таблицы дескрипторов передатчика приведено в таблице 5.12.

Таблица 5.12 - Структура регистра базового адреса таблицы дескрипторов передатчика

Биты	Название	Функция
[31:10]	Transmitter descriptor table base address	Базовый адрес таблицы дескрипторов передатчика.
[9:3]	Descriptor pointer	Указатель на индивидуальные дескрипторы. Автоматически увеличивается контроллером.
[2:0]	-	Не используется

					ЮФКВ.431282.020РЭ	Лист
						348
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр базового адреса таблицы дескрипторов приемника

Формат регистра базового адреса таблицы дескрипторов приемника приведен на рисунке 5.19.

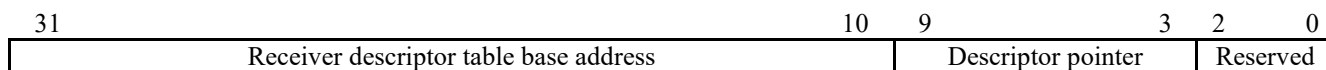


Рисунок 5.19 - Регистр базового адреса таблицы дескрипторов приемника

Описание полей регистра базового адреса таблицы дескрипторов приемника приведено в таблице 5.13.

Таблица 5.13 - Структура регистра базового адреса таблицы дескрипторов приемника

Биты	Название	Функция
[31:10]	Receiver descriptor table base address	Базовый адрес таблицы дескрипторов приемника.
[9:3]	Descriptor pointer	Указатель на индивидуальные дескрипторы. Автоматически увеличивается контроллером.
[2:0]	-	Не используется

Регистр IP-адреса для EDCL

Формат регистра IP-адреса для EDCL приведен на рисунке 5.20.



Рисунок 5.20 - Регистр IP-адреса для EDCL

Описание полей регистра IP-адреса для EDCL приведено в таблице 5.14.

Таблица 5.14 - Структура регистра IP-адреса для EDCL

Биты	Название	Функция
[31:0]	EDCL IP-адрес	IP-адрес при приеме EDCL. Начальное значение – 0xc0a80100

Регистр старших битов hash-таблицы

Формат регистра старших битов hash-таблицы приведен на рисунке 5.21.

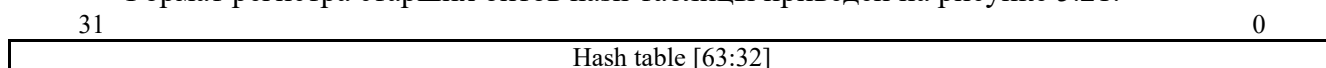


Рисунок 5.21 - Регистр старших битов hash-таблицы

Описание полей регистра старших битов hash-таблицы приведено в таблице 5.15.

Таблица 5.15 - Структура регистра старших битов hash-таблицы

Биты	Название	Функция
[31:0]	Hash table [63:32]	Значение битов с 63 по 32 hash-таблицы.

Регистр младших битов hash-таблицы

Формат регистра младших битов hash-таблицы приведен в таблице 5.22.

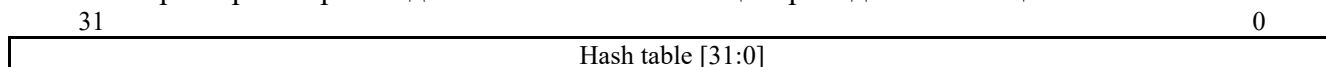


Рисунок 5.22 - Регистр младших битов hash-таблицы

Описание полей регистра младших битов hash-таблицы приведено в таблице 5.16.

									Лист
									349
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 5.16 - Структура регистра младших битов hash-таблицы

Биты	Название	Функция
[31:0]	Hash table [31:0]	Значение битов с 31 по 0 hash-таблицы.

Регистр старших битов MAC-адреса для EDCL

Формат регистра старших битов MAC-адреса для EDCL приведен на рисунке 5.23.

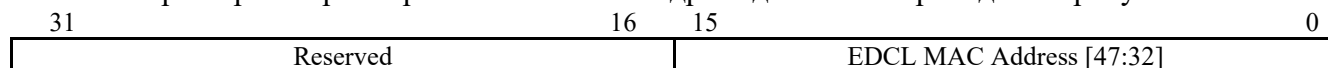


Рисунок 5.23 - Регистр старших битов MAC-адреса для EDCL

Описание полей регистра старших битов MAC-адреса для EDCL приведено в таблице 5.17.

Таблица 5.17 - Структура регистра старших битов MAC-адреса для EDCL

Биты	Название	Функция
[31:16]	Reserved	Зарезервировано
[15:0]	EDCL MAC Address [47:32]	Два старших байта MAC-адреса EDCL. Начальное значение – 0xEC17.

Регистр младших битов MAC-адреса для EDCL

Формат регистра младших битов MAC-адреса для EDCL приведен на рисунке 5.24.

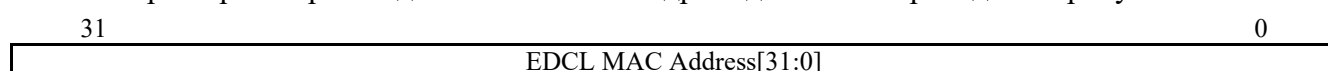


Рисунок 5.24 - Регистр младших битов MAC-адреса для EDCL

Описание полей регистра младших битов MAC-адреса для EDCL приведено в таблице 5.18.

Таблица 5.18 - Структура регистра младших битов MAC-адреса для EDCL

Биты	Название	Функция
[31:0]	EDCL MAC Address [31:0]	Четыре младших байта MAC-адреса EDCL. Начальное значение – 0x66640800.

									Лист
									350
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020		31406-3						

5.12 Высокоскоростной последовательный интерфейс PCIe

Высокоскоростной последовательный интерфейс используется для интеграции микросхемы 1879VM8Я в вычислительную систему. Контроллер интерфейса PCIe обеспечивает отображение внешних устройств шины PCI Express в карте памяти процессора и наоборот, внутренней адресуемой памяти процессорного чипа в адресном пространстве PCI Express.

Интерфейс соответствует стандарту PCI Express 2.0 и содержит четыре линии. Каждая линия имеет передающую и принимающую дифференциальные пары, работающие со скоростью 2,5 Гбод или 5 Гбод. Интерфейс поддерживает только архитектуру с общим опорным тактовым сигналом (Common Refclk Architecture). Тактовый сигнал должен иметь частоту 100 МГц, скважность 40-60 % и внешнюю терминацию 50 Ом (дифференциальная терминация 100 Ом). Один тактовый сигнал может быть использован несколькими EL PHY и PCIe PHY, тогда терминация должна быть одна общая.

5.12.1 Устройство интерфейса PCIe

Основные особенности установленного в микросхеме интерфейса PCIe:

- тип устройства – Dual Mode (может быть как конечным устройством шины PCI Express – End Point, так и хост-контроллером – Root Port),
- поддержка Gen 1 и Gen 2.
- количество линий передачи/приема – 4,
- количество виртуальных каналов – 1,
- одновременно отображаемое адресное пространство – до 1 Гбайта.

Особенности ядра контроллера PCIe:

- поддержка MSI-прерываний,
- поддержка Legacy-прерываний,
- количество функций PCI – 1 физическая, 0 виртуальных,
- максимальный объем данных в транзакции – 1024 байт,
- поддержка состояния D1 PCI-функции,
- генерация и проверка ECRC,
- поддержка 64-битной адресации.

										Лист
										351
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020			31406-3					

Особенности AXI:

- Наличие встроенного моста для трансляции адресов входящих и исходящих транзакций

Особенности встроенного контроллера ПДП:

- двухканальный,
- размер выходного буфера – 4К,
- размер входного буфера – 4К,

Особенности подключения:

- встроенная программно-управляемая терминация опорного тактового сигнала (cdn_sd0104_t28hpm_ptaspec_rxxx_v1.20.pdf).

На структурной схеме, приведенной на рисунке 5.25, можно выделить следующие составные блоки контроллера PCIe:

- блок физического интерфейса (PCI Express PHY);
- интерфейсный блок контроллера (PIPE Bridge);
- контроллер физического уровня (Physical Layer);
- контроллер канального уровня (Data Link Layer);
- контроллер уровня транзакций (Transaction Layer);
- интерфейсный блок шины AXI (AXI Bridge);
- контроллер прямого доступа в память (DMAC);
- блок конфигурационных регистров (Configuration Register Set).

Системный контроллер CSC управляет сбросами, базовой конфигурацией и прерываниями PCIe.

									Лист
									352
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3				

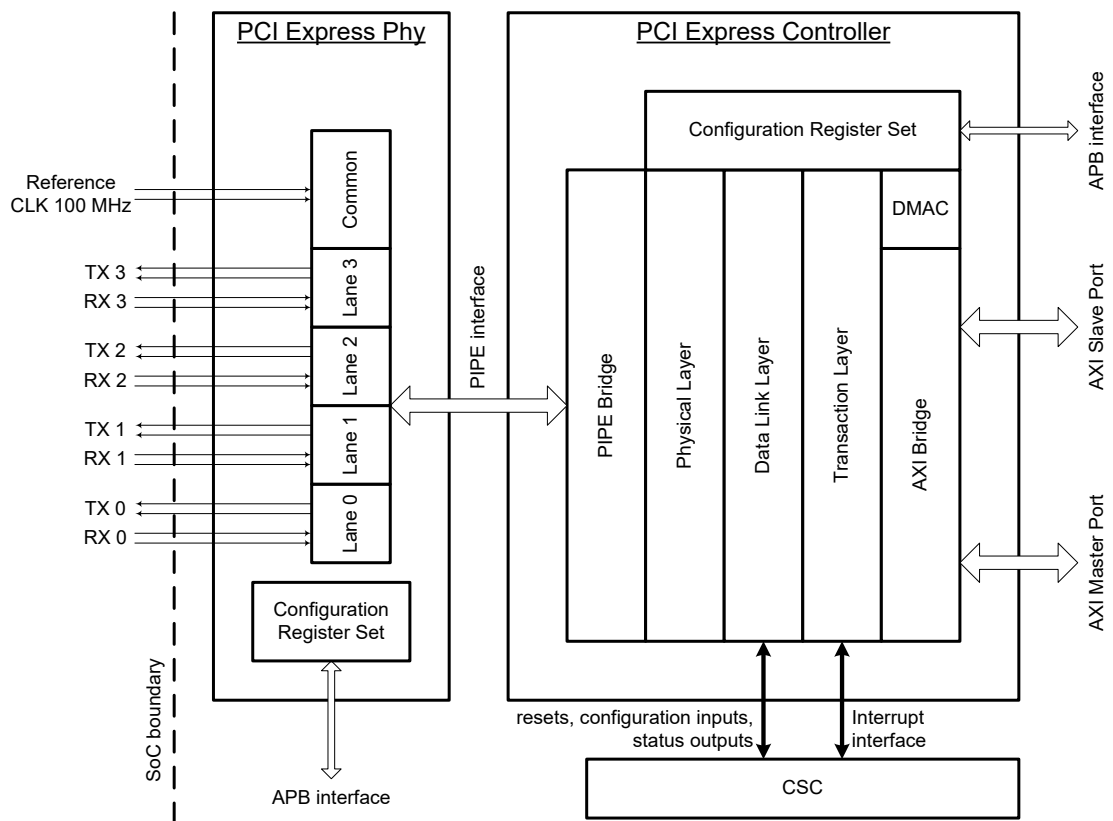


Рисунок 5.25 - Структурная схема контроллера интерфейса PCIe

5.12.2 Программная модель

Контроллер интерфейса PCIe имеет множество регистров, доступных управляющему скалярному процессору ARM. К некоторым регистрам также имеют доступ внешние устройства PCI Express. Программно доступная область имеет базовое смещение 0x000D_8000 hex и общий размер 32 Кбайт. Все регистры можно условно разделить по назначению на четыре типа:

- Стандартные конфигурационные регистры PCI Express (Physical Function Configuration Register Set – см. таблицу 5.19, Root Port Configuration Register Set – см. таблицу 5.20). Выбор режима Root Port или End Point изменяет их набор,
- Регистры локального управления (Local Management Registers – см. таблицу 5.21),
- Регистры обработки AXI-сообщений (AXI Configuration Registers – см. таблицу 5.22),
- Регистры управления ПДП (PCIe DMA Registers – см. таблицу 5.23).

					Лист
					353
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Программный доступ к некоторым стандартным конфигурационным регистрам в RP-режиме может быть расширен с R или R/WOCLR до R/W. Для этого при обращении к ним надо также установить 13-й бит адреса.

Поддерживается байтовая запись в регистры. Неуказанные адреса зарезервированы. Конфигурационный запрос по шине PCIe по зарезервированным адресам вызовет завершение с кодом UR (Unsupported Request). Чтение по шине APB по зарезервированным адресам вернет 0. Запись по шине APB по зарезервированным адресам не возымеет действия.

Выбор режимов работы, управление сбросами, прерывания и состояние интерфейса контролируются через программные регистры системного контроллера CSC и описаны в подразделе 5.13.

Блок физического интерфейса имеет собственные программируемые регистры, содержащие физические параметры. При сбросе они принимают стандартные значения и не требуют программной установки. Ввиду этого, а также большого их количества, эти регистры не описываются в данной документации.

									Лист
									354
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3				

Таблица 5.19 – Стандартные конфигурационные регистры (режим End Point)

Адрес (байтовый доступ)	Название регистра
0x000D 8000 hex	PCIe EP i vendor id device id
0x000D 8004 hex	PCIe EP i command status
0x000D 8008 hex	PCIe EP i revision id class code
0x000D 800C hex	PCIe EP i bist header latency cache line
0x000D 8010 hex	PCIe EP i base addr 0
0x000D 8014 hex	PCIe EP i base addr 1
0x000D 8018 hex	PCIe EP i base addr 2
0x000D 801C hex	PCIe EP i base addr 3
0x000D 8020 hex	PCIe EP i base addr 4
0x000D 8024 hex	PCIe EP i base addr 5
0x000D 802C hex	PCIe EP i subsystem vendor id subsystem i
0x000D 8034 hex	PCIe EP i capabilities pointer
0x000D 803C hex	PCIe EP i intrpt line intrpt pin
0x000D 8080 hex	PCIe EP i pwr mgmt cap
0x000D 8084 hex	PCIe EP i pwr mgmt ctrl stat rep
0x000D 8090 hex	PCIe EP i msi ctrl reg
0x000D 8094 hex	PCIe EP i msi msg low addr
0x000D 8098 hex	PCIe EP i msi msg hi addr
0x000D 809C hex	PCIe EP i msi msg data
0x000D 80A0 hex	PCIe EP i msi mask
0x000D 80A4 hex	PCIe EP i msi pending bits
0x000D 80C0 hex	PCIe EP i pcie cap list
0x000D 80C4 hex	PCIe EP i pcie dev cap
0x000D 80C8 hex	PCIe EP i pcie dev ctrl status
0x000D 80CC hex	PCIe EP i link cap
0x000D 80D0 hex	PCIe EP i link ctrl status
0x000D 80E4 hex	PCIe EP i pcie dev cap 2
0x000D 80E8 hex	PCIe EP i pcie dev ctrl status 2
0x000D 80EC hex	PCIe EP i link cap 2 reg
0x000D 80F0 hex	PCIe EP i link ctrl status 2
0x000D 8100 hex	PCIe EP i AER enhanced cap_hdr
0x000D 8104 hex	PCIe EP i uncorr_err status
0x000D 8108 hex	PCIe EP i uncorr_err mask
0x000D 810C hex	PCIe EP i uncorr_err severity
0x000D 8110 hex	PCIe EP i corr_err status
0x000D 8114 hex	PCIe EP i corr_err mask
0x000D 8118 hex	PCIe EP i advcd_err cap_ctrl
0x000D 811C hex	PCIe EP i_hdr log 0
0x000D 8120 hex	PCIe EP i_hdr log 1
0x000D 8124 hex	PCIe EP i_hdr log 2
0x000D 8128 hex	PCIe EP i_hdr log 3

										Лист
										355
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.20 – Стандартные конфигурационные регистры (режим Root Port)

Адрес (байтовый доступ)	Название регистра
0x000D 8000 hex	PCIe RP i vendor id device id
0x000D 8004 hex	PCIe RP i command status
0x000D 8008 hex	PCIe RP i revision id class code
0x000D 800C hex	PCIe RP i bist header latency cache line
0x000D 8010 hex	PCIe RP i RC BAR 0
0x000D 8014 hex	PCIe RP i RC BAR 1
0x000D 8018 hex	PCIe RP i pcie bus numbers
0x000D 801C hex	PCIe RP i pcie io base limit
0x000D 8020 hex	PCIe RP i pcie mem base limit
0x000D 8024 hex	PCIe RP i pcie prefetch base limit
0x000D 8028 hex	PCIe RP i pcie prefetch base upper
0x000D 802C hex	PCIe RP i pcie prefetch limit upper
0x000D 8030 hex	PCIe RP i pcie io base limit upper
0x000D 8034 hex	PCIe RP i capabilities pointer
0x000D 803C hex	PCIe RP i intrpt line intrpt pin
0x000D 8080 hex	PCIe RP i pwr mgmt cap
0x000D 8084 hex	PCIe RP i pwr mgmt ctrl stat rep
0x000D 8090 hex	PCIe RP i msi ctrl reg
0x000D 8094 hex	PCIe RP i msi msg low addr
0x000D 8098 hex	PCIe RP i msi msg hi addr
0x000D 809C hex	PCIe RP i msi msg data
0x000D 80A0 hex	PCIe RP i msi mask
0x000D 80A4 hex	PCIe RP i msi pending bits
0x000D 80C0 hex	PCIe RP i pcie cap list
0x000D 80C4 hex	PCIe RP i pcie cap
0x000D 80C8 hex	PCIe RP i pcie dev ctrl status
0x000D 80CC hex	PCIe RP i link cap
0x000D 80D0 hex	PCIe RP i link ctrl status
0x000D 80D8 hex	PCIe RP i slot ctrl status
0x000D 80DC hex	PCIe RP i root ctrl cap
0x000D 80E0 hex	PCIe RP i root status
0x000D 80E4 hex	PCIe RP i pcie cap 2
0x000D 80E8 hex	PCIe RP i pcie dev ctrl status 2
0x000D 80EC hex	PCIe RP i link cap 2
0x000D 80F0 hex	PCIe RP i link ctrl status 2
0x000D 8100 hex	PCIe RP i AER enhncd cap
0x000D 8104 hex	PCIe RP i uncorr err status
0x000D 8108 hex	PCIe RP i uncorr err mask
0x000D 810C hex	PCIe RP i uncorr err severity
0x000D 8110 hex	PCIe RP i corr err status
0x000D 8114 hex	PCIe RP i corr err mask
0x000D 8118 hex	PCIe RP i adv err cap ctl
0x000D 811C hex	PCIe RP i hdr log 0
0x000D 8120 hex	PCIe RP i hdr log 1
0x000D 8124 hex	PCIe RP i hdr log 2
0x000D 8128 hex	PCIe RP i hdr log 3
0x000D 812C hex	PCIe RP i root err cmd
0x000D 8130 hex	PCIe RP i root err stat
0x000D 8134 hex	PCIe RP i err src id

										Лист
										356
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.21 – Регистры локального управления

Адрес (байтовый доступ)	Название регистра
0x000B 9000 hex	PCIe LocMgmt i pl config 0 reg
0x000B 9004 hex	PCIe LocMgmt i pl config 1 reg
0x000B 9008 hex	PCIe LocMgmt i dll tmr config reg
0x000B 900C hex	PCIe LocMgmt i rcv cred lim 0 reg
0x000B 9010 hex	PCIe LocMgmt i rcv cred lim 1 reg
0x000B 9014 hex	PCIe LocMgmt i transm cred lim 0 reg
0x000B 9018 hex	PCIe LocMgmt i transm cred lim 1 reg
0x000B 901C hex	PCIe LocMgmt i transm cred update int config 0 reg
0x000B 9020 hex	PCIe LocMgmt i transm cred update int config 1 reg
0x000B 9024 hex	PCIe LocMgmt i LOS timeout limit reg
0x000B 9028 hex	PCIe LocMgmt i transmit tlp count reg
0x000B 902C hex	PCIe LocMgmt i transmit tlp payload dword count reg
0x000B 9030 hex	PCIe LocMgmt i receive tlp count reg
0x000B 9034 hex	PCIe LocMgmt i receive tlp payload dword count reg
0x000B 9038 hex	PCIe LocMgmt i compln tmout lim 0 reg
0x000B 903C hex	PCIe LocMgmt i compln tmout lim 1 reg
0x000B 9040 hex	PCIe LocMgmt i L1 st reentry delay reg
0x000B 9044 hex	PCIe LocMgmt i vendor id reg
0x000B 9048 hex	PCIe LocMgmt i aspm L1 entry tmout delay reg
0x000B 904C hex	PCIe LocMgmt i pme turnoff ack delay reg
0x000B 9050 hex	PCIe LocMgmt i linkwidth control reg
0x000B 9074 hex	PCIe LocMgmt i sris control reg
0x000B 9100 hex	PCIe LocMgmt i shdw hdr log 0 reg
0x000B 9104 hex	PCIe LocMgmt i shdw hdr log 1 reg
0x000B 9108 hex	PCIe LocMgmt i shdw hdr log 2 reg
0x000B 910C hex	PCIe LocMgmt i shdw hdr log 3 reg
0x000B 9110 hex	PCIe LocMgmt i shdw func num reg
0x000B 9114 hex	PCIe LocMgmt i shdw ur err reg
0x000B 9144 hex	PCIe LocMgmt i debug dllp count gen1 reg
0x000B 9148 hex	PCIe LocMgmt i debug dllp count gen2 reg
0x000B 914C hex	PCIe LocMgmt i debug dllp count gen3 reg
0x000B 9200 hex	PCIe LocMgmt i negotiated lane map reg
0x000B 9204 hex	PCIe LocMgmt i receive fts count reg
0x000B 9208 hex	PCIe LocMgmt i debug mux control reg
0x000B 920C hex	PCIe LocMgmt i local error status register
0x000B 9210 hex	PCIe LocMgmt i local intrpt mask reg
0x000B 9214 hex	PCIe LocMgmt i lrcr err count reg
0x000B 9218 hex	PCIe LocMgmt i ecc corr err count reg
0x000B 9224 hex	PCIe LocMgmt i pme service timeout delay reg
0x000B 9228 hex	PCIe LocMgmt i root port requestor id reg
0x000B 922C hex	PCIe LocMgmt i ep bus device number reg
0x000B 9240 hex	PCIe LocMgmt i pf 0 BAR config 0 reg
0x000B 9244 hex	PCIe LocMgmt i pf 0 BAR config 1 reg
0x000B 92C0 hex	PCIe LocMgmt i pf config reg
0x000B 9300 hex	PCIe LocMgmt i rc BAR config reg
0x000B 9C80 hex	PCIe LocMgmt i ecc corr err count reg axi
0x000B 9C88 hex	PCIe LocMgmt low power debug and control0
0x000B 9C8C hex	PCIe LocMgmt low power debug and control1
0x000B 9C94 hex	PCIe LocMgmt tl internal control

										Лист
										357
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.22 – Регистры обработки AXI-сообщений

Базовый адрес (байтовый доступ)	Адрес (байтовый доступ)	Название регистра	Название набора регистров
0x000B_C000 hex	0x000B_C000 hex	PCIe AXI addr0	Outbound Region 0 Register Set (наборы регистров для других регионов аналогичные)
	0x000B_C004 hex	PCIe AXI addr1	
	0x000B_C008 hex	PCIe AXI desc0	
	0x000B_C00C hex	PCIe AXI desc1	
	0x000B_C018 hex	PCIe AXI axi_addr0	
0x000B_C020 hex			Outbound Region 1 Register Set
0x000B_C040 hex			Outbound Region 2 Register Set
0x000B_C060 hex			Outbound Region 3 Register Set
0x000B_C080 hex			Outbound Region 4 Register Set
0x000B_C0A0 hex			Outbound Region 5 Register Set
0x000B_C0C0 hex			Outbound Region 6 Register Set
0x000B_C0E0 hex			Outbound Region 7 Register Set
0x000B_C100 hex			Outbound Region 8 Register Set
0x000B_C120 hex			Outbound Region 9 Register Set
0x000B_C140 hex			Outbound Region 10 Register Set
0x000B_C160 hex			Outbound Region 11 Register Set
0x000B_C180 hex			Outbound Region 12 Register Set
0x000B_C1A0 hex			Outbound Region 13 Register Set
0x000B_C1C0 hex			Outbound Region 14 Register Set
0x000B_C1E0 hex			Outbound Region 15 Register Set
0x000B_C200 hex			Outbound Region 16 Register Set
0x000B_C220 hex			Outbound Region 17 Register Set
0x000B_C240 hex			Outbound Region 18 Register Set
0x000B_C260 hex			Outbound Region 19 Register Set
0x000B_C280 hex			Outbound Region 20 Register Set

										Лист
										358
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 5.22

Базовый адрес (байтовый доступ)	Адрес (байтовый доступ)	Название регистра	Название набора регистров
0x000B_C2A0 hex			Outbound Region 21 Register Set
0x000B_C2C0 hex			Outbound Region 22 Register Set
0x000B_C2E0 hex			Outbound Region 23 Register Set
0x000B_C300 hex			Outbound Region 24 Register Set
0x000B_C320 hex			Outbound Region 25 Register Set
0x000B_C340 hex			Outbound Region 26 Register Set
0x000B_C360 hex			Outbound Region 27 Register Set
0x000B_C380 hex			Outbound Region 28 Register Set
0x000B_C3A0 hex			Outbound Region 29 Register Set
0x000B_C3C0 hex			Outbound Region 30 Register Set
0x000B_C3E0 hex			Outbound Region 31 Register Set
	0x000B C800 hex	PCIe AXI RP Inb BAR 0 Addr	
	0x000B C808 hex	PCIe AXI RP Inb BAR 1 Addr	
	0x000B C810 hex	PCIe AXI RP Inb BAR 2 Addr	
	0x000B C824 hex	PCIe AXI L0	
	0x000B C840 hex	PCIe AXI EP Inb BAR 0 Addr	
	0x000B C848 hex	PCIe AXI EP Inb BAR 1 Addr	
	0x000B C850 hex	PCIe AXI EP Inb BAR 2 Addr	
	0x000B C858 hex	PCIe AXI EP Inb BAR 3 Addr	
	0x000B C860 hex	PCIe AXI EP Inb BAR 4 Addr	
	0x000B C868 hex	PCIe AXI EP Inb BAR 5 Addr	
	0x000B C870 hex	PCIe AXI EP Inb BAR 6 Addr	

										Лист
										359
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.23 – Регистры управления ПДП

Адрес (байтовый доступ)	Название регистра
0x000B D000 hex	PCIe DMA channel 0 ctrl
0x000B D004 hex	PCIe DMA channel 0 sp l
0x000B D008 hex	PCIe DMA channel 0 sp u
0x000B D00C hex	PCIe DMA channel 0 attr l
0x000B D010 hex	PCIe DMA channel 0 attr u
0x000B D014 hex	PCIe DMA channel 1 ctrl
0x000B D018 hex	PCIe DMA channel 1 sp l
0x000B D01C hex	PCIe DMA channel 1 sp u
0x000B D020 hex	PCIe DMA channel 1 attr l
0x000B D024 hex	PCIe DMA channel 1 attr u
0x000B D0A0 hex	PCIe DMA common udma int
0x000B D0A4 hex	PCIe DMA common udma int ena
0x000B D0A8 hex	PCIe DMA common udma int dis
0x000B D0AC hex	PCIe DMA common udma ib ecc uncorrectable errors
0x000B D0B0 hex	PCIe DMA common udma ib ecc correctable errors
0x000B D0B4 hex	PCIe DMA common udma ob ecc uncorrectable errors
0x000B D0B8 hex	PCIe DMA common udma ob ecc correctable errors
0x000B D0F8 hex	PCIe DMA common udma cap ver
0x000B D0FC hex	PCIe DMA common udma config

										Лист
										360
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.12.2.1 Описание программно доступных стандартных конфигурационных регистров (режим End Point)

При описании программно доступных регистров графа «Тип доступа» в таблицах 5.24 - 5.64 относится к конфигурационным обращениям по шине PCIe. Возможности программного доступа по шине APB приведены в графе «Описание».

Регистр идентификации изготовителя и устройства (PCIe_EP_i_vendor_id_device_id)

Описание полей регистра PCIe_EP_i_vendor_id_device_id приведено в таблице 5.24.

Таблица 5.24 - Описание полей регистра PCIe_EP_i_vendor_id_device_id

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x17cd	Vendor ID: ID разработчика микросхемы, присвоенное ему PCI SIG. Значение настраивается программно в регистре PCIe LocMgmt i vendor id reg.
31:16	R	0x0100	Device ID: ID устройства, присвоенное ему разработчиком микросхемы. Доступен по шине APB на запись.

					ЮФКВ.431282.020РЭ			Лист 361
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020			31406-3				

Регистр управления и состояния (PCIe_EP_i_command_status)

Описание полей регистра PCIe_EP_i_command_status приведено в таблице 5.25.

Таблица 5.25 - Описание полей регистра PCIe_EP_i_command_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	IO-Space Enable: разрешение передачи сообщений типа IO через контроллер. Доступен по шине APB на запись.
1	R/W	0x0	Mem-Space Enable: разрешение передачи сообщений типа Memory через контроллер. Доступен по шине APB на запись.
2	R/W	0x0	Bus-Master Enable: разрешение приема сообщений типа IO и Memory от контроллера. Доступен по шине APB на запись.
5:3	R	0x0	Reserved
6	R/W	0x0	Parity Error Response Enable: 1 – установка бита Master Data Parity Error разрешена; 0 – установка Master Data Parity Error запрещена. Доступен по шине APB на запись.
7	R	0x0	Reserved
8	R/W	0x0	SERR Enable: 1 – разрешает отправку сообщений о фатальных и нефатальных ошибках хост-контроллеру; 0 – отправка запрещена. Доступен по шине APB на запись.
9	R	0x0	Reserved
10	R/W	0x0	INTx Message Disabled: 1 – INTx (Legacy) прерывания запрещены; 0 – INTx (Legacy) прерывания разрешены. Доступен по шине APB на запись.
15:11	R	0x0	Reserved
18:16	R	0x0	Reserved
19	R	0x0	Interrupt Status: устанавливается, только если прерывания INTx (Legacy) разрешены. Устанавливается, если сообщение Assert_INTx было отправлено, а сообщение Deassert_INTx не было отправлено.
20	R	0x1	Capabilities List: указывает на наличие расширенного списка регистров (PCI Extended Capabilities registers). Всегда равно 1.
23:21	R	0x0	Reserved
24	R/WOCLR	0x0	Master Data Parity Error: устанавливается при получении завершения с ошибкой (poisoned completion) или при отправлении записи с ошибкой (poisoned write request). Этот бит может быть сброшен записью 1 по шине APB.
26:25	R	0x0	Reserved
27	R/WOCLR	0x0	Signaled Target Abort: устанавливается, если контроллер послал сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB.
28	R/WOCLR	0x0	Received Target Abort: устанавливается, если контроллер принял сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB.
29	R/WOCLR	0x0	Received Master Abort: устанавливается, если контроллер принял сообщение завершения со статусом Unsupported Request. Этот бит может быть сброшен записью 1 по шине APB.
30	R/WOCLR	0x0	Signaled System Error: устанавливается при отправлении контроллером хост-контроллеру сообщения о фатальной или нефатальной ошибке. Этот бит может быть сброшен записью 1 по шине APB.
31	R/WOCLR	0x0	Detected Parity Error: устанавливается при получении контроллером сообщения TLP с ошибкой. Этот бит может быть сброшен записью 1 по шине APB.

					Лист
					362
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр номера версии и текущей функции (PCIe_EP_i_revision_id_class_code)

Описание полей регистра PCIe_EP_i_revision_id_class_code приведено в таблице 5.26.

Таблица 5.26- Описание полей регистра PCIe_EP_i_revision_id_class_code

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0	Revision ID: указывает версию микросхемы, устанавливается разработчиком микросхемы. Доступен по шине APB на запись.
15:8	R	0	Programming Interface Byte: показывает набор регистров устройства. Доступен по шине APB на запись.
23:16	R	0	Sub-Class Code: содержит подкатегорию текущей функции. Доступен по шине APB на запись.
31:24	R	0	Class Code: содержит номер текущей функции. Доступен по шине APB на запись.

Регистр управления встроенным тестированием, формата заголовка, таймера задержек и размера страниц кэш (PCIe_EP_i_bist_header_latency_cache_line)

Описание полей регистра PCIe_EP_i_bist_header_latency_cache_line приведено в таблице 5.27.

Таблица 5.27- Описание полей регистра PCIe_EP_i_bist_header_latency_cache_line

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0	Cache Line Size: см. PCI Specifications 3.0. Регистр доступен по PCIe и шине APB на чтение и запись, но его значение не используется.
15:8	R	0	Latency Timer: не используется. Всегда равно 0.
22:16	R	0	Header Type: формат заголовка. Всегда равно 0.
23	R	0	Device Type: всегда равно 0.
31:24	R	0	BIST Register: регистр управления BIST. Доступен по шине APB на запись.

Регистр базового адреса 0 (PCIe_EP_i_base_addr_0)

Это один из шести BAR, определенных согласно PCI Specifications 3.0. Эти регистры используются для определения диапазонов адресов для Memory и IO запросов к EP устройствам. В ходе начальной инициализации устройства, конфигурирующая программа определяет размер диапазона адресов путем записи всех 1 в BAR, чтения из BAR и определения положения первого MSB, равного 1. Если считаны все нули, этот BAR выключен. BAR 0 может быть настроен как BAR 32-битных транзакций или спарен с BAR 1 для 64-битных транзакций.

Описание полей регистра PCIe_EP_i_base_addr_0 приведено в таблице 5.28.

										Лист
										363
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.28 - Описание полей регистра PCIe_EP_i_base_addr_0

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Memory Space Indicator: тип области, соответствующей BAR 0: 0 – memory; 1 – IO. Значение настраивается программно в регистре PCIe LocMgmt i pf 0 BAR config 0 reg.
1	R	0x0	Reserved
2	R	0x0	Size: ширина адреса (только для memory области): 0 – 32 бита; 1 – 64 бита, в этом случае BAR 1 дополняет BAR 0 (только для BAR с четными номерами). Значение настраивается программно в регистре PCIe LocMgmt i pf 0 BAR config 0 reg.
3	R	0x0	Prefetchability: возможность предвыборки данных (только для memory области). Значение настраивается программно в регистре PCIe LocMgmt i pf 0 BAR config 0 reg.
7:4	R	0x0	Reserved
17:8	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg . Доступен по шине APB на запись.
31:18	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg. Доступен по шине APB на запись.

Регистр базового адреса 1 (PCIe_EP_i_base_addr_1)

Это один из шести BAR, определенных согласно PCI Specifications 3.0. BAR 1 может быть настроен как BAR 32-битных транзакций или спарен с BAR 0 для 64-битных транзакций. Во втором случае хранит 32 старших бита базового адреса.

Описание полей регистра PCIe_EP_i_base_addr_1 приведено в таблице 5.29.

					Лист
					364
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 5.29 - Описание полей регистра PCIe_EP_i_base_addr_1

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Memory Space Indicator: тип области, соответствующей BAR 1 0 – memory 1 – IO Значение настраивается программно в регистре PCIe LocMgmt i pf 0 BAR config 0 reg.
1	R	0x0	Reserved
2	R	0x0	Size: только 32-битный адрес (для всех BAR с нечетными номерами) Значение настраивается программно в регистре PCIe LocMgmt i pf 0 BAR config 0 reg.
3	R	0x0	Prefetchability: возможность предвыборки данных (только для memory области) Значение настраивается программно в регистре PCIe LocMgmt i pf 0 BAR config 0 reg.
7:4	R	0x0	Reserved
19:8	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg. Доступен по шине APB на запись.
31:20	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg. Доступен по шине APB на запись.

Регистр базового адреса 2 (PCIe_EP_i_base_addr_2)

Это один из шести BAR, определенных согласно PCI Specifications 3.0. Эти регистры используются для определения диапазонов адресов для Memory и IO запросов к EP устройствам. В ходе начальной инициализации устройства конфигурирующая программа определяет размер диапазона адресов путем записи всех 1 в BAR, чтения из BAR и определения положения первого MSB, равного 1. Если считаны все нули, этот BAR выключен. BAR 2 может быть настроен как BAR 32-битных транзакций или спарен с BAR 3 для 64-битных транзакций.

Описание полей регистра PCIe_EP_i_base_addr_2 приведено в таблице 5.30.

Таблица 5.30 - Описание полей регистра PCIe_EP_i_base_addr_2

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	После снятия сброса этот регистр зарезервирован, область 2 неактивна. Назначения полей такие же, как у остальных четных BAR.

Регистр базового адреса 3 (PCIe_EP_i_base_addr_3)

Это один из шести BAR, определенных согласно PCI Specifications 3.0. BAR 3 может быть настроен как BAR 32-битных транзакций или спарен с BAR 2 для 64-битных транзакций. Во втором случае хранит 32 старших бита базового адреса.

Описание полей регистра PCIe_EP_i_base_addr_3 приведено в таблице 5.31.

					Лист
					365
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 5.31 - Описание полей регистра PCIe_EP_i_base_addr_3

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	После снятия сброса этот регистр зарезервирован, область 3 неактивна. Назначения полей такие же, как у остальных нечетных BAR.

Регистр базового адреса 4 (PCIe_EP_i_base_addr_4)

Это один из шести BAR, определенных согласно PCI Specifications 3.0. Эти регистры используются для определения диапазонов адресов для Memory и IO запросов к EP устройствам. В ходе начальной инициализации устройства, конфигурирующая программа определяет размер диапазона адресов путем записи всех 1 в BAR, чтения из BAR и определения положения первого MSB, равного 1. Если считаны все нули, этот BAR выключен. BAR 4 может быть настроен как BAR 32-битных транзакций или спарен с BAR 5 для 64-битных транзакций.

Описание полей регистра PCIe_EP_i_base_addr_4 приведено в таблице 5.32.

Таблица 5.32 - Описание полей регистра PCIe_EP_i_base_addr_4

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	После снятия сброса этот регистр зарезервирован, область 4 неактивна. Назначения полей такие же, как у остальных четных BAR.

Регистр базового адреса 5 (PCIe_EP_i_base_addr_5)

Это один из шести BAR, определенных согласно PCI Specifications 3.0. BAR 5 может быть настроен как BAR 32-битных транзакций или спарен с BAR 4 для 64-битных транзакций. Во втором случае хранит 32 старших бита базового адреса.

Описание полей регистра PCIe_EP_i_base_addr_5 приведено в таблице 5.33.

Таблица 5.33 - Описание полей регистра PCIe_EP_i_base_addr_5

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	После снятия сброса этот регистр зарезервирован, область 5 неактивна. Назначения полей такие же, как у остальных нечетных BAR.

										Лист
										366
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр номера подверсии и подсистемы (PCIe_EP_i_subsystem_vendor_id_subsystem_i)

Описание полей регистра PCIe_EP_i_subsystem_vendor_id_subsystem_i приведено в таблице 5.34.

Таблица 5.34 - Описание полей регистра PCIe_EP_i_subsystem_vendor_id_subsystem_i

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x17cd	Subsystem Vendor ID: ID разработчика подсистемы, присвоенное ему PCI SIG. Значение настраивается программно в регистре PCIe_LocMgmt_i_vendor_id_reg.
31:16	R	0	Subsystem ID: ID подсистемы, присвоенное ему разработчиком микросхемы. Доступен по шине APB на запись.

Регистр указателя характеристик (PCIe_EP_i_capabilities_pointer)

Описание полей регистра PCIe_EP_i_capabilities_pointer приведено в таблице 5.35.

Таблица 5.35 - Описание полей регистра PCIe_EP_i_capabilities_pointer

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x80	Capabilities Pointer: содержит указатель на первую структуру характеристик (PCI Capability Structure). По умолчанию это структура управления питанием (Power Management Capability Structure). Доступен по шине APB на запись.
31:8	R	0x0	Reserved

Регистр линий и выводов прерываний (PCIe_EP_i_intrpt_line_intrpt_pin)

Описание полей регистра PCIe_EP_i_intrpt_line_intrpt_pin приведено в таблице 5.36.

Этот регистр используется, только если контроллер поддерживает Legacy прерывания.

Таблица 5.36 - Описание полей регистра PCIe_EP_i_intrpt_line_intrpt_pin

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0xff	Interrupt Line Register: параметр не поддерживается.
10:8	R	0x1	Interrupt Pin Register: указывает вывод, на который выдается Legacy прерывание, полученное по PCIe интерфейсу: 0x1 – INTA; 0x2 – INTB; 0x3 – INTC; 0x4 – INTD.
31:11	R	0x0	Reserved

Регистр характеристик управления питанием (PCIe_EP_i_pwr_mgmt_cap)

Описание полей регистра PCIe_EP_i_pwr_mgmt_cap приведено в таблице 5.37.

										Лист
										367
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Таблица 5.37 - Описание полей регистра PCIe_EP_i_pwr_mgmt_cap

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x01	Capability ID: показывает, что это структура управления питанием. Доступен по шине APB на запись.
15:8	R	0x90	Capabilities Pointer: содержит указатель на следующую структуру характеристик (PCI Capability Structure). Доступен по шине APB на запись.
18:16	R	0x3	Version ID: показывает версию системы управления питанием, поддерживаемую текущей функцией. Доступен по шине APB на запись.
19	R	0x0	PME Clock: всегда равен 0
20	R	0x0	Reserved
21	R	0x0	Device Specific Initialization Bit: всегда равен 0
24:22	R	0x0	Max Current Required from Aux Power Suppl: всегда равен 0
25	R	0x1	D1 Support: показывает возможность поддержки PCI функцией состояния D1. Доступен по шине APB на запись.
26	R	0x0	D2 Support: показывает возможность поддержки PCI функцией состояния D2, всегда равен 0.
27	R	0x01	PME Support for D0 State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages) находясь в состоянии D0. Доступен по шине APB на запись.
28	R	0x1	PME Support for D1 State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages) находясь в состоянии D1. Доступен по шине APB на запись.
29	R	0x0	PME Support for D2 State: всегда равен 0 (D2 состояние не поддерживается)
30	R	0x01	PME Support for D3 (hot) State: показывает, может ли эта PCI функция посылать сообщения о событиях управления питанием (PME messages) находясь в состоянии D3 (hot). Доступен по шине APB на запись.
31	R	0x0	PME Support for D3(cold) State: всегда равен 0

					Лист
					368
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления питанием и его состояния (PCIe_EP_i_pwr_mgmt_ctrl_stat_rep)

Описание полей регистра PCIe_EP_i_pwr_mgmt_ctrl_stat_rep приведено в таблице 5.38.

Таблица 5.38 - Описание полей регистра PCIe_EP_i_pwr_mgmt_ctrl_stat_rep

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Power State: используется для отслеживания текущего состояния активности функции и для переходов в новое состояние: 00 – D0; 01 – D1; 10 – reserved; 11 – D3 (hot). Доступен по шине APB на запись.
2	R	0x0	Reserved
3	R	0x01	No Soft Reset: сохранение настроек PCI функции при переводе ее в D3(hot) состояние. Доступен по шине APB на запись.
7:4	R	0x0	Reserved
8	R/W	0x0	PME Enable: разрешение сообщений о событиях управления питанием (PME messages). Доступен по шине APB на запись.
14:9	R	0x0	Reserved
15	R/WOCLR	0x0	PME Status: При установленном бите PME Enable запись 1 по шине APB вызовет передачу PME-сообщения (только для режима End Point). RC в процессе обработки сообщения должен сбросить этот бит посредством конфигурационной записи 1 (Config Write). Доступен по шине APB на запись.
23:16	R	0x0	Reserved
31:24	R	0x0	Data Register: всегда равен 0

										Лист
										369
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр управления сообщениями (PCIe_EP_i_msi_ctrl_reg)

Описание полей регистра PCIe_EP_i_msi_ctrl_reg приведено в таблице 5.39.

Таблица 5.39 - Описание полей регистра PCIe_EP_i_msi_ctrl_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x05	Capability ID: показывает, что это структура управления MSI прерываниями. Всегда равно 0x05.
15:8	R	0xc0	Capabilities Pointer: содержит указатель на следующую структуру характеристик (PCI Capability Structure). Доступен по шине APB на запись.
16	R/W	0x0	MSI Enable: разрешение MSI прерываний. Доступен по шине APB на запись.
19:17	R	0x0	Multiple Message Capable: количество различных MSI сообщений, которые может генерировать контроллер для этой функции (т. е. количество разных векторов прерываний): 000 = 1; 001 = 2; 010 = 4; 011 = 8; 100 = 16; 101 = 32. Контроллер поддерживает всего до 32 различных прерываний, но установка этого поля должна быть основана на количестве прерываний, непосредственно используемых клиентом. Доступен по шине APB на запись.
22:20	R/W	0x0	Multiple Message Enable: количество различных MSI сообщений, которые генерирует контроллер для этой функции (т. е. количество разных векторов прерываний) 000 = 1; 001 = 2; 010 = 4; 011 = 8; 100 = 16; 101 = 32. Установка этого поля должна быть основана на количестве прерываний, непосредственно используемых функцией. Доступен по шине APB на запись.
23	R	0x1	64-Bit Address Capable: установка в 1 показывает, что устройство поддерживает 64-разрядную адресацию для MSI сообщений. Доступен по шине APB на запись.
24	R	0x1	MSI masking capable: Доступен по шине APB на запись.
31:25	R	0x0	Reserved

Регистр младшей части адреса MSI сообщений (PCIe_EP_i_msi_msg_low_addr)

Описание полей регистра PCIe_EP_i_msi_msg_low_addr приведено в таблице 5.40.

					Лист
					370
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 5.40 - Описание полей регистра PCIe_EP_i_msi_msg_low_addr

Биты	Тип доступа	Начальное значение	Описание
1:0	R	0x0	Reserved
31:2	R/W	0x0	Message Address Low: младшая часть адреса MSI сообщений. Доступен по шине APB на запись.

Регистр старшей части адреса MSI сообщений (PCIe_EP_i_msi_msg_hi_addr)

Описание полей регистра PCIe_EP_i_msi_msg_hi_addr приведено в таблице 5.41.

Таблица 5.41 - Описание полей регистра PCIe_EP_i_msi_msg_hi_addr

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Message Address High: старшая часть адреса MSI сообщений. Если равна нулю, то адрес 32-разрядный. Доступен по шине APB на запись.

Регистр данных MSI сообщений (PCIe_EP_i_msi_msg_data)

Описание полей регистра PCIe_EP_i_msi_msg_data приведено в таблице 5.42.

Таблица 5.42 - Описание полей регистра PCIe_EP_i_msi_msg_data

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0	Message Data: данные MSI сообщения. Доступен по шине APB на запись.
31:16	R	0x0	Reserved

Регистр масок пришедшего вектора MSI прерывания (PCIe_EP_i_msi_mask)

Описание полей регистра PCIe_EP_i_msi_mask приведено в таблице 5.43.

Таблица 5.43 - Описание полей регистра PCIe_EP_i_msi_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	MSI Mask: маска битов пришедшего вектора MSI прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний. Доступен по шине APB на запись.
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний.

										Лист
										371
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр масок отправленного вектора MSI прерывания (PCIe_EP_i_msi_pending_bits)

Описание полей регистра PCIe_EP_i_msi_pending_bits приведено в таблице 5.44.

Таблица 5.44 - Описание полей регистра PCIe_EP_i_msi_pending_bits

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	MSI Pending bits: должен быть программно установлен при попытке отправки замаскированного прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable. Доступен по шине APB на запись.
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний.

Регистр списка структур характеристик (PCIe_EP_i_pcie_cap_list)

Описание полей регистра PCIe_EP_i_pcie_cap_list приведено в таблице 5.45.

Таблица 5.45 - Описание полей регистра PCIe_EP_i_pcie_cap_list

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x010	Capability ID: показывает, что это структура характеристик Express расширения. Всегда равно 0x010.
15:8	R	0x0	Next Capability Pointer: содержит указатель на следующую структуру характеристик. Равенство нулю показывает, что эта структура последняя. Всегда равно 0.
19:16	R	0x2	Capability Version: показывает версию этой структуры характеристик. В данном случае она совместима с PCI Express Base Specification Revision 3.0. Доступен по шине APB на запись.
23:20	R	0x0	Device Type: показывает тип устройства 0x0 – конечное устройство – End Point (EP) 0x4 – хост-контроллер – Root Port (RP) Всегда равно 0 в текущем режиме.
24	R	0x0	Slot Status: установлен в 1, если линк подключен к слоту. Всегда равно 0.
29:25	R	0x0	Interrupt Message Number: показывает вектор MSI или MSI-X прерывания в случае, если оно вызывается в соответствии с битами статуса в Slot Status Register, Root Status Register или текущей структуре характеристик. Значение устанавливается в зависимости от выбранного режима прерываний – MSI или MSI-X. Всегда равно 0.
30	R	0x0	TCS Routing Supported: 0 – устройство не поддерживает маршрутизацию доверенных конфигурационных запросов (Trusted Configuration Requests). 1 – опция поддерживается. Не используется в режиме конечного устройства. Всегда равно 0.
31	R	0x0	Reserved

					Лист
					372
Изм.	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр характеристик устройства (PCIe_EP_i_pcie_dev_cap)

Описание полей регистра PCIe_EP_i_pcie_dev_cap приведено в таблице 5.46.

Таблица 5.46 - Описание полей регистра PCIe_EP_i_pcie_dev_cap

Биты	Тип доступа	Начальное значение	Описание
2:0	R	b011	Max Payload Size: показывает максимальное количество данных в сообщении. Доступен по шине APB на запись.
4:3	R	0x0	Phantom Functions Supported: расширение поля тэга за счет неиспользуемых битов. Не используется в этой микросхеме. Всегда равно 0.
5	R	0x0	Extended Tag Field Supported: расширенное поле tag не поддерживается. Всегда равно 0.
8:6	R	0x4	Acceptable LOS Latency: допустимая контроллером задержка перехода из L0s в L0 состояния. Доступен по шине APB на запись.
11:9	R	0x0	Acceptable L1 Latency: допустимая контроллером задержка перехода из L1 в L0 состояния. Доступен по шине APB на запись.
14:12	R	0x0	Reserved
15	R	0x01	Role-Based Error Reporting: разрешение ролевых (role-based) отчетов об ошибках. Доступен по шине APB на запись.
17:16	R	0x0	Reserved
25:18	R	0x0	Captured Slot Power Limit Value: максимальное значение потребления, поддерживаемое слотом. Доступен по шине APB на запись.
27:26	R	0x0	Captured Power Limit Scale: масштаб значения поля Captured Slot Power Limit Value текущего регистра. Доступен по шине APB на запись.
28	R	0x0	Function Level Reset Capability: Всегда равно 0.
31:29	R	0x0	Reserved

										Лист
										373
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инвар.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр управления и состояния устройства (PCIe_EP_i_pcie_dev_ctrl_status)

Описание полей регистра PCIe_EP_i_pcie_dev_ctrl_status приведено в таблице 5.47.

Таблица 5.47 – Описание полей регистра PCIe_EP_i_pcie_dev_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	Enable Correctable Error Reporting: разрешение посылки ERR_COR сообщений при обнаружении исправимой ошибки. Доступен по шине APB на запись.
1	R/W	0x0	Enable Non- Fatal Error Reporting: разрешение посылки ERR_NONFATAL сообщений при обнаружении нефатальной ошибки. Доступен по шине APB на запись.
2	R/W	0x0	Enable Fatal Error Reporting: разрешение посылки ERR_FATAL сообщений при обнаружении фатальной ошибки. Доступен по шине APB на запись.
3	R/W	0x0	Enable Unsupported Request Reporting: разрешение посылки сообщений об обнаружении неподдерживаемого запроса. Доступен по шине APB на запись.
4	R/W	0x01	Enable Relaxed Ordering: разрешает установку бита Relaxed Ordering в передаваемых транзакциях. Доступен по шине APB на запись.
7:5	R/W	0x0	Max Payload Size: показывает максимальное количество данных в сообщении. Устройство должно быть в состоянии принимать пакеты с таким количеством данных и не должно посылать пакеты большего размера. Устанавливается программно на основании данных из Device Capabilities Register этого и ответного устройств. Доступен по шине APB на запись.
8	R	0x0	Extended Tag Field Enable: расширение поля tag с 5 до 8 бит. Всегда равно 0.
9	R	0x0	Enable Phantom Functions: Всегда равно 0.
10	R	0x0	Enable Aux Power: Всегда равно 0.
11	R/W	0x1	Enable No Snoor: установка в 1 разрешает установку бита No Snoor в передаваемых транзакциях, не требующих когерентности кэш-памяти. Доступен по шине APB на запись.
14:12	R/W	0x02	Max Read Request Size: показывает максимальное количество данных в запросах чтения, сгенерированных этим устройством. Доступен по шине APB на запись.
15	R	0x0	Function-Level Reset: Всегда равно 0.

					Лист
					374
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 5.47

Биты	Тип доступа	Начальное значение	Описание
16	R/WOCLR	0x0	Correctable Error Detected: устанавливается контроллером, когда он обнаруживает исправимую ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB.
17	R/WOCLR	0x0	Non-Fatal Error Detected: устанавливается контроллером, когда он обнаруживает не фатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB.
18	R/WOCLR	0x0	Fatal Error Detected: устанавливается контроллером, когда он обнаруживает фатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB.
19	R/WOCLR	0x0	Unsupported Request Detected: устанавливается контроллером, когда он обнаруживает неподдерживаемый запрос. Не зависит от разрешения соответствующего сообщения. Сброс при записи 1 по шине APB.
20	R	0x0	Aux Power Detected: не используется. Всегда равно 0.
21	R	0x0	Transaction Pending: устанавливается, если есть ожидающие запросы, требующие подтверждения (Non-Posted). Только для чтения по шине APB.
31:22	R	0x0	Reserved

										Лист
										375
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр характеристик линка (PCIe_EP_i_link_cap)

Описание полей регистра PCIe_EP_i_link_cap приведено в таблице 5.48.

Таблица 5.48 – Описание полей регистра PCIe_EP_i_link_cap

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x2	Maximum Link Speed: показывает максимальную скорость линка. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB.
9:4	R	0x4	Maximum Link Width: показывает максимальное количество линий. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB.
11:10	R	0x3	Active State Power Management: показывает уровень поддерживаемого ASPM. Доступен по шине APB на запись.
14:12	R	0x2	L0S Exit Latency: показывает время, требуемое устройству для перехода из состояния L0S в L0. Значение зависит от реализации Phy. Доступен по шине APB на запись.
17:15	R	0x3	L1 Exit Latency: показывает время, требуемое устройству для выхода из состояния L1. Значение зависит от реализации Phy. Доступен по шине APB на запись.
18	R	0x0	Clock Power Management: показывает, что устройство поддерживает отключение опорного тактового сигнала. Доступен по шине APB на запись.
19	R	0x0	Surprise Down Error Reporting Capability: показывает способность устройства сообщать о ошибке внезапного выключения (Surprise Down error). Эта функция не поддерживается. Всегда равно 0.
20	R	0x0	Data Link Layer Active Reporting Capability: показывает способность устройства сообщать о достижении автоматом управления пакетным уровнем состояния DL_Active. Эта функция не поддерживается. Всегда равно 0.
21	R	0x0	Link Bandwidth Notification Capability: поддержка уведомлений о ширине линка и механизме прерываний. Не используется в режиме Endpoint. Всегда равно 0.
22	R	0x1	ASPM Optionality Compliance: показывает поддержку устройством дополнительных ASPM возможностей. Доступен по шине APB на запись.
23	R	0x0	Reserved
31:24	R	0	Port Number: показывает номер порта, присвоенный PCIe линку, подключенному к устройству. Доступен по шине APB на запись.

					Лист
					376
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления и состояния линка (PCIe_EP_i_link_ctrl_status)

Описание полей регистра PCIe_EP_i_link_ctrl_status приведено в таблице 5.49.

Таблица 5.49– Описание полей регистра PCIe_EP_i_link_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Active State Power Management Control: управление ASPM возможностями: 00 – ASPM запрещен; 01 – L0s состояние разрешено, L1 запрещено; 10 – L0s состояние запрещено, L1 разрешено; 11 – L0s и L1 состояния разрешены. Эти биты могут быть установлены только при установленных соответствующих битах Active State Power Management регистра PCIe_EP_i_link_cap. Доступен по шине APB на запись.
2	R	0x0	Reserved
3	R/W	0x0	Read Completion Boundary: показывает границы завершения чтения для хост-контроллера, подключенного к этому конечному устройству: 0 – 64 байта; 1 – 128 байт. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
4	R	0x0	Link Disable: не используется в Endpoint режиме.
5	R	0x0	Retrain Link: не используется в Endpoint режиме.
6	R/W	0x0	Common Clock Configuration: показывает отношения опорного тактового сигнала этого EP и ответного устройства: 0 – асинхронные; 1 – синхронные. Доступен по шине APB на запись.
7	R/W	0x0	Extended Synch: установка этого бита увеличивает частоту передачи управляющих пакетов (Ordered Sets) при переходе из L0s в L0 состояние. Доступен по шине APB на запись.
8	R	0x0	Enable Clock Power Management: Когда этот бит установлен в 1, устройство может использовать вывод CLKREQ# PCIe слота для управления тактовым сигналом. Бит доступен на запись только при установленном Clock Power Management бите в Link Capability Register. Доступен по шине APB на запись.
9	R	0x0	Hardware Autonomous Width Disable: установленный, этот бит показывает программе, что она должна запрашивать изменение ширины линка только в случае некорректной работы текущего набора линий. Доступен по шине APB на запись.
10	R	0x0	Link Bandwidth Management Interrupt Enable: не используется в Endpoint режиме.
11	R	0x0	Link Autonomous Bandwidth Interrupt Enable: не используется в Endpoint режиме.
15:12	R	0x0	Reserved

					Лист
					377
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 5.49

Биты	Тип доступа	Начальное значение	Описание
19:16	R	0x2	Negotiated Link Speed: согласованная скорость передачи данных: 0001 – 2,5 Гбит/с на линию; 0010 – 5 Гбит/с на линию. Доступен по шине APB только на чтение.
25:20	R	0x4	Negotiated Link Width: согласованное количество линий. Устанавливается по окончании обучения линка. Доступен по шине APB только на чтение.
26	R	0x0	Reserved
27	R	0x0	Link Training Status: устанавливается аппаратно, если LTSSM в режиме Configuration или Recovery или в начале переобучения линка. Всегда равно 0 в режиме Endpoint. Доступен по шине APB только на чтение.
28	R	0x0	Slot Clock Configuration: показывает, что используется тактовый сигнал от соединителя. Если устройство использует независимый тактовый сигнал, несмотря на наличие такового на соединителе, этот бит должен быть сброшен в 0. Доступен по шине APB на запись.
29	R	0x0	Data Link Layer Active: показывает статус пакетного уровня. Всегда равно 0.
30	R/WOCLR	0x0	Link Bandwidth Management Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Всегда равно 0 в режиме Endpoint. Сброс при записи 1 по шине APB.
31	R/WOCLR	0x0	Link Autonomous Bandwidth Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, не связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Всегда равно 0 в режиме Endpoint. Сброс при записи 1 по шине APB.

					ЮФКВ.431282.020РЭ		Лист
							378
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

Регистр характеристик устройства 2 (PCIe_EP_i_pcie_dev_cap_2)

Описание полей регистра PCIe_EP_i_pcie_dev_cap_2 приведено в таблице 5.50.

Таблица 5.50 - Описание полей регистра PCIe_EP_i_pcie_dev_cap_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x02	Completion Timeout Ranges: показывает поддерживаемый устройством таймаут подтверждения сообщения. По умолчанию 10-250 мс. Доступен по шине APB на запись.
4	R	0x01	Completion Timeout Disable Supported: показывает возможность функции выключить таймаут подтверждения сообщения. Доступен по шине APB на запись.
5	R	0x0	ARI forwarding support: всегда равно 0.
6	R	0x0	Atomic OP routing supported: маршрутизация атомарных операций (Atomic OP) поддерживается. Не используется в режиме Endpoint.
7	R	0x0	32-Bit Atomic Op Completer Supported: всегда равно 0.
8	R	0x0	64-Bit Atomic Op Completer Supported: всегда равно 0.
9	R	0x0	128-Bit CAS Atomic Op Completer Supported: всегда равно 0.
10	R	0x0	Reserved
11	R	0x0	LTR Mechanism Supported: всегда равно 0.
13:12	R	0x0	TPH Completer Supported: всегда равно 0.
17:14	R	0x0	Reserved
19:18	R	0x0	OBFF Supported: показывает, что функция поддерживает OBFF. Всегда равно 0.
20	R	0x1	Extended Format Field Supported: показывает, что функция поддерживает 3-битный формат поля Fmt заголовка TLP. Всегда равно 1.
21	R	0x0	End-End TLP Prefix Supported: показывает, что функция поддерживает End-End TLP Prefix. Всегда равно 0.
23:22	R	0x0	Max End-End TLP Prefixes: максимальное количество End-End TLP Prefixes 01 – 1 End-End TLP Prefix 10 – 2 End-End TLP Prefix Всегда равно 0.
31:24	R	0x0	Reserved

					Лист
					379
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления и состояния устройства 2 (PCIe_EP_i_pcie_dev_ctrl_status_2)

Описание полей регистра PCIe_EP_i_pcie_dev_ctrl_status_2 приведено в таблице 5.51.

Таблица 5.51 – Описание полей регистра PCIe_EP_i_pcie_dev_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	0x0	Completion Timeout Value: поддерживаемый устройством таймаут подтверждения сообщения: 0101 – диапазон 1; 0110 – диапазон 2. Соответствующие значения устанавливаются в регистрах Completion Timeout Interval Registers 0 и 1. Доступен по шине APB на запись.
4	R/W	0x0	Completion Timeout Disable: установка этого бита выключает таймаут подтверждения сообщений. Доступен по шине APB на запись.
5	R	0x0	ARI forwarding enable: всегда равно 0.
6	R	0x0	Atomic Op Requester Enable: разрешение генерации атомарных операций. Всегда равно 0.
7	R	0x0	Reserved
8	R	0x0	IDO Request Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых запросах. Всегда равно 0.
9	R	0x0	IDO Completion Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых подтверждениях. Всегда равно 0.
10	R	0x0	LTR Mechanism Enable: всегда равно 0.
12:11	R	0x0	Reserved
14:13	R	0x0	OBFF Enable: разрешение OBFF (Optimized Buffer Flush/Fill): 00 – запрещено; 01 – версия А; 10 – версия В. Всегда равно 0.
31:15	R	0x0	Reserved

					Лист
					380
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр характеристик линка 2 (PCIe_EP_i_link_cap_2)

Описание полей регистра PCIe_EP_i_link_cap_2 приведено в таблице 5.52.

Таблица 5.52 – Описание полей регистра PCIe_EP_i_link_cap_2

Биты	Тип доступа	Начальное значение	Описание
0	R	0	Reserved
2:1	R	0x3	Supported Link Speeds Vector: показывает возможные скорости работы линка: 0001 – 2,5 Гбит/с; 0011 – 5 Гбит/с. Соответствует значению, установленному в системном контроллере. Доступен по шине APB только на чтение.
4:3	R	0	Reserved
8:5	R	0x0	Reserved
10:9	R	0x0	Lower SKP OS Generation Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается программное управление частотой генерации SKP OS. Доступен по шине APB только на чтение.
15:11	R	0x0	Reserved
17:16	R	0x0	Lower SKP OS Reception Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается программное управление частотой генерации SKP OS. Доступен по шине APB только на чтение.
19:18	R	0	Reserved
22:20	R	0x0	Reserved
23	R	0x0	Reserved
31:24	R	0x0	Reserved

					ЮФКВ.431282.020РЭ			Лист 381
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020		31406-3					

Регистр управления и состояния линка 2 (PCIe_EP_i_link_ctrl_status_2)

Описание полей регистра PCIe_EP_i_link_ctrl_status_2 приведено в таблице 5.53.

Таблица 5.53 – Описание полей регистра PCIe_EP_i_link_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	2	Target Link Speed: для Endpoint показывает максимальную скорость передачи при переконфигурации. Также показывает скорость передачи при переходе в режим Compliance, вызванный установкой бита Enter Compliance. Значение после сброса зависит от настройки в системном контроллере: 0001 – 2,5 Гбит/с; 0010 – 5 Гбит/с. Доступен по шине APB на запись.
4	R/W	0x0	Enter Compliance: в Endpoint режиме установка в 1 включает Compliance режим. При этом также должен быть инициирован горячий сброс (Hot Reset). Доступен по шине APB на запись.
5	R/W	0x0	Hardware Autonomous Speed Disable: установка этого бита запрещает аппаратное повышение скорости передачи. Доступен по шине APB на запись.
6	R	0x0	Selectable Deemphasis: не используется в режиме Endpoint.
9:7	R/W	0x0	Transmit Margin: используется только при отладке и в Compliance режиме. Управляет уровнем напряжения на выходе передатчика. 000 – нормальный уровень 001 – 800-1200 мВ для полного размаха и 400-700 мВ для половины размаха. 010-111 – описание значений в спецификации PCI Express Base Specification 2.0. Значение сбрасывается в 0 при переходе автомата обучения линка (LTSSM) в состояние Polling.Configuration. Доступен по шине APB на запись.
10	R/W	0x0	Enter Modified Compliance: используется только при отладке и в Compliance режиме. При установке этого бита в режиме Compliance будут передаваться Modified Compliance Pattern. При этом также должен быть установлен бит Enter Compliance и хост должен инициировать горячий сброс (Hot Reset). Доступен по шине APB на запись.
11	R/W	0x0	Compliance SOS: при установке этого бита между Compliance Patterns будут передаваться SKP контрольные последовательности. Доступен по шине APB на запись.
15:12	R/W	0x0	Compliance De-Emphasis: устанавливает значение De-Emphasis в режиме Compliance 0 – -6 дБ 1 – -3,5 дБ остальные значения зарезервированы Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB на запись.
16	R	0x0	Current De-Emphasis Level: показывает текущий уровень De-Emphasis передатчика. 0 – -6 дБ 1 – -3,5 дБ Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB только на чтение.
21:17	R	0x0	Reserved
31:22	R	0x0	Reserved

					Лист
					382
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

*Регистр основных характеристик расширенного обработчика ошибок
(PCIe_EP_i_AER_enhanced_cap_hdr)*

Описание полей регистра PCIe_EP_i_AER_enhanced_cap_hdr приведено в таблице 5.54.

Таблица 5.54 – Описание полей регистра PCIe_EP_i_AER_enhanced_cap_hdr

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x01	PCI Express Extended Capability ID: показывает, что это структура характеристик расширенного обработчика ошибок (AER). Доступен по шине APB только на чтение.
19:16	R	2	Capability Version: показывает версию структуры характеристик. Доступен по шине APB на запись.
31:20	R	0	Next Capability Offset: содержит смещение адреса следующей структуры характеристик относительно текущей. Доступен по шине APB на запись.

									Лист
									383
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр статуса неисправимых ошибок (PCIe_EP_i_uncorr_err_status)

Описание полей регистра PCIe_EP_i_uncorr_err_status приведено в таблице 5.55.

Таблица 5.55 – Описание полей регистра PCIe_EP_i_uncorr_err_status

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/WOCLR	0x0	Data Link Protocol Error Status: устанавливается, если идентификатор подтверждения (DLLP Ack/Nak) не равен идентификатору соответствующего сообщения (TLP). Сброс при записи 1 по шине APB.
11:5	R	0x0	Reserved
12	R/WOCLR	0x0	Poisoned TLP Status: устанавливается при получении TLP с установленным битом ошибки (poisoned bit). Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
13	R/WOCLR	0x0	Flow Control Protocol Error Status: устанавливается при ошибке последовательности управления. Сброс при записи 1 по шине APB.
14	R/WOCLR	0x0	Completion Timeout Status: устанавливается, если ответ на внешний запрос не был получен за необходимый период времени. Ошибка считается нефатальной. Сброс при записи 1 по шине APB.
15	R/WOCLR	0x0	Completer Abort Status: устанавливается, если контроллер вернул сообщение Completer Abort в ответ на запрос, пришедший по линку. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
16	R/WOCLR	0x0	Unexpected Completion Status: устанавливается при получении неожиданного сообщения завершения (unexpected Completion). Сброс при записи 1 по шине APB.
17	R/WOCLR	0x0	Receiver Overflow Status: устанавливается при получении пакета уровня транзакций (TLP) при заполненном приемном буфере. Сброс при записи 1 по шине APB.
18	R/WOCLR	0x0	Malformed TLP Status: устанавливается при получении TLP с неправильной структурой. Ошибка считается фатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
19	R/WOCLR	0x0	ECRC Error Status: устанавливается при обнаружении ошибки ECRC в принятом TLP. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
20	R/WOCLR	0x0	Unsupported Request Error Status: устанавливается при получении неподдерживаемого контроллером сообщения. Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
21	R	0x0	Reserved
22	R/WOCLR	0x0	Uncorrectable Internal Error Status: устанавливается при обнаружении внутренних неисправимых ошибок контроллера (ошибок честности/ЕСС внутренних шин или памяти). Ошибка считается фатальной. Сброс при записи 1 по шине APB.
31:23	R	0x0	Reserved

					Лист
					384
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр масок неисправимых ошибок (PCIe_EP_i_uncorr_err_mask)

Биты масок в этом регистре управляют отчетами о неисправимых ошибках. Для каждого типа ошибки из регистра PCIe_EP_i_uncorr_err_status есть своя маска. При установленной маске в случае обнаружения ошибки:

1. По шине PCIe не будет послано соответствующее сообщение хост-контроллеру (RP).
2. Заголовок TLP, содержащего ошибку, не будет сохранен в Header Log Register.
3. First Error Pointer в структуре характеристик AER и Control Register не будут обновлены.

Описание полей регистра PCIe_EP_i_uncorr_err_mask приведено в таблице 5.56.

Таблица 5.56– Описание полей регистра PCIe_EP_i_uncorr_err_mask

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x0	Data Link Protocol Error Mask: маска ошибок Data Link Protocol. Доступен по шине APB на запись.
11:5	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Mask: маска ошибок Poisoned TLP. Доступен по шине APB на запись.
13	R/W	0x0	Flow Control Protocol Error Mask: маска ошибок последовательности управления. Доступен по шине APB на запись.
14	R/W	0x0	Completion Timeout Mask: маска ошибок времени ожидания завершения транзакции. Доступен по шине APB на запись.
15	R/W	0x0	Completer Abort Mask: маска ошибок прерывания завершения полученной транзакции. Доступен по шине APB на запись.
16	R/W	0x0	Unexpected Completion Mask: маска ошибок получения неожиданных завершений. Доступен по шине APB на запись.
17	R/W	0x0	Receiver Overflow Mask: маска ошибок переполнения приемника. Доступен по шине APB на запись.
18	R/W	0x0	Malformed TLP Mask: маска ошибок структурно неправильных TLP. Доступен по шине APB на запись.
19	R/W	0x0	ECRC Error Mask: маска ошибок ECRC. Доступен по шине APB на запись.
20	R/W	0x0	Unsupported Request Error Mask: маска ошибок неподдерживаемых запросов. Доступен по шине APB на запись.
21	R	0x0	Reserved
22	R/W	0x1	Uncorrectable Internal Error Mask: маска внутренних ошибок контроллера. Доступен по шине APB на запись.
31:23	R	0x0	Reserved

									Лист
									385
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
31406-4		09.11.2020			31406-3				

Регистр степени тяжести неисправимых ошибок (PCIe_EP_i_uncorr_err_severity)

Описание полей регистра PCIe_EP_i_uncorr_err_severity приведено в таблице 5.57.

Таблица 5.57 – Описание полей регистра PCIe_EP_i_uncorr_err_severity

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x01	Data Link Protocol Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
5	R	0x1	Surprise Down Error Severity: всегда равно 1
11:6	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
13	R/W	0x01	Flow Control Protocol Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
14	R/W	0x0	Completion Timeout Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
15	R/W	0x0	Completer Abort Severity: ошибка обрабатывается как: 0 – не фатальная; 1 – фатальная. Доступен по шине APB на запись.
16	R/W	0x0	Unexpected Completion Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
17	R/W	0x01	Receiver Overflow Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
18	R/W	0x01	Malformed TLP Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
19	R/W	0x0	ECRC Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
20	R/W	0x0	Unsupported Requeset Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
21	R	0x0	Reserved
22	R/W	0x01	Uncorrectable Internal Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
31:23	R	0x0	Reserved

					Лист
					386
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр статуса исправимых ошибок (PCIe_EP_i_corr_err_status)

Описание полей регистра PCIe_EP_i_corr_err_status приведено в таблице 5.58.

Таблица 5.58 – Описание полей регистра PCIe_EP_i_corr_err_status

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Status: устанавливается при обнаружении на физическом уровне одной из следующих ошибок: - 8B10B кодировки; - четности; - переполнении эластичного буфера. Сброс при записи 1 по шине APB.
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Status: устанавливается при обнаружении пакетным уровнем в TLP одной из следующих ошибок: - LCRC; - окончание пакета символом EDB и инверсия расчетного LCRC не равна полученному LCRC. Сброс при записи 1 по шине APB.
7	R/WOCLR	0x0	Bad DLLP Status: устанавливается при обнаружении пакетным уровнем в DLLP ошибки LCRC при отсутствии ошибок физического уровня. Сброс при записи 1 по шине APB.
8	R/WOCLR	0x0	Replay Number Rollover Status: устанавливается после трех повторных посылок одного пакета. Сброс при записи 1 по шине APB.
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Status: устанавливается при переполнении таймера пакетного уровня, что вызывает повторную посылку пакета TLP. Сброс при записи 1 по шине APB.
13	R/WOCLR	0x0	Advisory Non-Fatal Error Status: устанавливается при появлении неисправимой ошибки (Uncorrectable error). Подробное описание в п. 6.2.3.2.4 спецификации PCI Express 2.0. Сброс при записи 1 по шине APB.
14	R/WOCLR	0x0	Corrected Internal Error Status: устанавливается при обнаружении исправимой внутренней ошибки (исправимой ECC ошибки при чтении из памяти). Сброс при записи 1 по шине APB.
15	R/WOCLR	0x0	Header Log Overflow Status: устанавливается при переполнении Header Log Register. Сброс при записи 1 по шине APB.
31:16	R	0x0	Reserved

										Лист
										387
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр масок исправимых ошибок (PCIe_EP_i_corr_err_mask)

Биты масок в этом регистре управляют отчетами об исправимых ошибках. Для каждого типа ошибки из регистра PCIe_EP_i_corr_err_status есть своя маска. При установленной маске в случае обнаружения ошибки по шине PCIe не будет послано соответствующее сообщение хост-контроллеру (RP).

Описание полей регистра PCIe_EP_i_corr_err_mask приведено в таблице 5.59.

Таблица 5.59 – Описание полей регистра PCIe_EP_i_corr_err_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Mask: маска ошибок физического уровня. Сброс при записи 1 по шине APB.
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Mask: маска ошибок Bad TP. Сброс при записи 1 по шине APB.
7	R/WOCLR	0x0	Bad DLLP Mask: маска ошибок Bad DLLP. Сброс при записи 1 по шине APB.
8	R/WOCLR	0x0	Replay Number Rollover Mask: маска ошибок количества повторных отправок TLP. Сброс при записи 1 по шине APB.
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Mask: маска ошибок переполнения таймера повторной отправки сообщений. Сброс при записи 1 по шине APB.
13	R/WOCLR	0x0	Advisory Non-Fatal Error Mask: маска ошибок Advisory Non-Fatal. Сброс при записи 1 по шине APB.
14	R/WOCLR	0x0	Corrected Internal Error Mask: маска внутренних исправимых ошибок. Сброс при записи 1 по шине APB.
15	R/WOCLR	0x0	Header Log Overflow Mask: маска ошибки переполнения Header Log Register. Сброс при записи 1 по шине APB.
31:16	R	0x0	Reserved

								Лист
								388
Изм.	Лист	№ докум.	Подп.	Дата				
Инвар.№подл.	Подп. и дата			Взам.инвар.№	Инвар.№дубл.	Подп. и дата		
31406-4	09.11.2020			31406-3				

*Регистр управления и характеристик расширенного обработчика ошибок
(PCIe_EP_i_advcd_err_cap_ctrl)*

Описание полей регистра PCIe_EP_i_advcd_err_cap_ctrl приведено в таблице 5.60.

Таблица 5.60 – Описание полей регистра PCIe_EP_i_advcd_err_cap_ctrl

Биты	Тип доступа	Начальное значение	Описание
4:0	R	0x0	First Error Pointer: указывает на ошибку из Uncorrectable Error Status Register, которая была обнаружена первой. Значение удерживается до тех пор, пока не будет сброшено соответствующее поле регистра Uncorrectable Error Status Register. После сброса бита статуса текущей ошибки, следующий из установленных битов ошибок обновит указатель до соответствующего значения. Доступен по шине APB только на чтение.
5	R	0x1	ECRC Generation Capability: показывает, что контроллер может генерировать ECRC для посылаемых пакетов. Доступен по шине APB на запись.
6	R/W	0x0	Enable ECRC Generation: разрешает контроллеру генерацию ECRC для посылаемых пакетов. Доступен по шине APB на запись.
7	R	0x1	ECRC Check Capability: показывает, что контроллер может проверять ECRC в принимаемых пакетах. Доступен по шине APB на запись.
8	R/W	0x0	Enable ECRC Check: разрешает контроллеру проверку ECRC в принимаемых пакетах. Доступен по шине APB на запись.
9	R	0x0	Multiple Header Recording Capable: устанавливается, если функция может сохранить более одного заголовка в регистрах Header Log Registers. Всегда равно 0.
10	R	0x0	Multiple Header Recording Enable: установка разрешает сохранять множество заголовков в регистрах Header Log Registers. Всегда равно 0.
11	R	0x0	Reserved
31:12	R	0x0	Reserved

									Лист
									389
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр заголовка пакета 0 (*PCIe_EP_i_hdr_log_0*)

Это первый из четырех регистров, использующихся для захвата заголовка полученного контроллером TLP пакета в случае возникновения неисправимой ошибки. Если в регистре Uncorrectable Error Status Register установлено несколько бит, то здесь отражается заголовок только первой полученной транзакции. Какая ошибка ей соответствует, можно определить на основании поля First Error Pointer. Регистр не может быть перезаписан, пока статусный бит соответствующей ошибки не будет сброшен.

Первое двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт. Байт, содержащий поля Type/Format заголовка, сохраняется в [31:24] битах регистра Header Log Register 0.

Описание полей регистра *PCIe_EP_i_hdr_log_0* приведено в таблице 5.61.

Таблица 5.61 – Описание полей регистра *PCIe_EP_i_hdr_log_0*

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 0: содержит первое слово заголовка принятого TLP. Доступен по шине APB только на чтение.

Регистр заголовка пакета 1 (*PCIe_EP_i_hdr_log_1*)

Второе двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт. Описание полей регистра *PCIe_EP_i_hdr_log_1* приведено в таблице 5.62.

Таблица 5.62 – Описание полей регистра *PCIe_EP_i_hdr_log_1*

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 1: содержит второе слово заголовка принятого TLP. Доступен по шине APB только на чтение.

Регистр заголовка пакета 2 (*PCIe_EP_i_hdr_log_2*)

Третье двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт.

Описание полей регистра *PCIe_EP_i_hdr_log_2* приведено в таблице 5.63.

Таблица 5.63 – Описание полей регистра *PCIe_EP_i_hdr_log_2*

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 2: содержит третье слово заголовка принятого TLP. Доступен по шине APB только на чтение.

										Лист
										390
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр заголовка пакета 3 (PCIe_EP_i_hdr_log_3)

Если принятый TLP имеет заголовок длиной 4 DWORDs, то этот регистр содержит четвертое двойное слово с обратным порядком байт.

Описание полей регистра PCIe_EP_i_hdr_log_3 приведено в таблице 5.64.

Таблица 5.64 – Описание полей регистра PCIe_EP_i_hdr_log_3

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 3: содержит четвертое слово заголовка принятого TLP. Доступен по шине APB только на чтение.

										Лист
										391
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

5.12.2.2 Описание программно доступных стандартных конфигурационных регистров (режим Root Port)

При описании программно доступных регистров графа «Тип доступа» в таблицах 5.65 -- 5.113 относится к конфигурационным обращениям по шине PCIe. Возможности программного доступа по шине APB приведены в графе «Описание».

Регистр идентификации изготовителя и устройства (PCIe_RP_i_vendor_id_device_id)

Описание полей регистра PCIe_RP_i_vendor_id_device_id приведено в таблице 5.65.

Таблица 5.65 - Описание полей регистра PCIe_RP_i_vendor_id_device_id

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x17cd	Vendor ID: ID разработчика устройства, присвоенное ему PCI SIG. Значение настраивается программно в регистре PCIe LocMgmt i_vendor_id reg.
31:16	R	0x0100	Device ID: ID устройства, присвоенное ему разработчиком микросхемы. Доступен по шине APB на запись.

										Лист
										392
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр управления и состояния (PCIe_EP_i_command_status)

Описание полей регистра PCIe_EP_i_command_status приведено в таблице 5.66.

Таблица 5.66 - Описание полей регистра PCIe_EP_i_command_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	IO-Space Enable: разрешение передачи сообщений типа IO через контроллер. Доступен по шине APB на запись.
1	R/W	0x0	Mem-Space Enable: разрешение передачи сообщений типа Memory через контроллер. Доступен по шине APB на запись.
2	R/W	0x0	Bus-Master Enable: разрешение приема сообщений типа IO и Memory от контроллера. Доступен по шине APB на запись.
5:3	R	0x0	Reserved
6	R/W	0x0	Parity Error Response Enable: 1 – установка бита Master Data Parity Error разрешена; 0 – установка Master Data Parity Error запрещена. Доступен по шине APB на запись.
7	R	0x0	Reserved
8	R/W	0x0	SERR Enable: 1 – разрешает отправку сообщений о фатальных и нефатальных ошибках хост-контроллеру; 0 – отправка запрещена. Доступен по шине APB на запись.
9	R	0x0	Reserved
10	R/W	0x0	INTx Message Disabled: 1 – INTx (Legacy) прерывания запрещены; 0 – INTx (Legacy) прерывания разрешены. Доступен по шине APB на запись.
15:11	R	0x0	Reserved
18:16	R	0x0	Reserved
19	R	0x0	Interrupt Status: устанавливается, только если прерывания INTx (Legacy) разрешены. Устанавливается, если сообщение Assert_INTx было опрарвлено, а сообщение Deassert_INTx не было отправлено.
20	R	0x1	Capabilities List: указывает на наличие расширенного списка регистров (PCI Extended Capabilities registers). Всегда равно 1.
23:21	R	0x0	Reserved
24	R/WOCLR	0x0	Master Data Parity Error: устанавливается при получении завершения с ошибкой (poisoned completion) или отправлении записи с ошибкой (poisoned write request). Этот бит может быть сброшен записью 1 по шине APB.
26:25	R	0x0	Reserved
27	R/WOCLR	0x0	Signaled Target Abort: устанавливается, если контроллер послал сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB.
28	R/WOCLR	0x0	Received Target Abort: устанавливается, если контроллер принял сообщение завершения со статусом Completer Abort. Этот бит может быть сброшен записью 1 по шине APB.
29	R/WOCLR	0x0	Received Master Abort: устанавливается, если контроллер принял сообщение завершения со статусом Unsupported Request. Этот бит может быть сброшен записью 1 по шине APB.
30	R/WOCLR	0x0	Signaled System Error: устанавливается при отправлении контроллером хост-контроллеру сообщения о фатальной или нефатальной ошибке. Этот бит может быть сброшен записью 1 по шине APB.
31	R/WOCLR	0x0	Detected Parity Error: устанавливается при получении контроллером сообщения TLP с ошибкой. Этот бит может быть сброшен записью 1 по шине APB.

					ЮФКВ.431282.020РЭ	Лист
						393
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр номера версии и текущей функции (PCIe_RP_i_revision_id_class_code)

Описание полей регистра PCIe_RP_i_revision_id_class_code приведено в таблице 5.67.

Таблица 5.67 - Описание полей регистра PCIe_RP_i_revision_id_class_code

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0	Revision ID: указывает версию микросхемы, устанавливается разработчиком микросхемы. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
15:8	R	0	Programming Interface Byte: показывает набор регистров устройства. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
23:16	R	0	Sub-Class Code: содержит подкатегорию текущей функции. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
31:24	R	0	Class Code: содержит номер текущей функции. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.

Регистр управления встроенным тестированием, формата заголовка, таймера задержек и размера страниц кэш (PCIe_RP_i_bist_header_latency_cache_line)

Описание полей регистра PCIe_RP_i_bist_header_latency_cache_line приведено в таблице 5.68.

Таблица 5.68 - Описание полей регистра PCIe_RP_i_bist_header_latency_cache_line

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0	Cache Line Size: см. PCI Specifications 3.0. Регистр доступен по PCIe и шине APB на чтение и запись, но его значение не используется.
15:8	R	0	Latency Timer: не используется, всегда равно 0.
22:16	R	1	Header Type: формат заголовка, всегда равно 1.
23	R	0	Device Type: всегда равно 0.
31:24	R	0	BIST Register: регистр управления BIST. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.

										Лист
										394
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Регистр базового адреса 0 в конфигурационном пространстве типа 1 (PCIe_RP_i_RC_BAR_0)

Данный регистр может быть настроен как базовый адрес для 32-битных транзакций или спарен с PCIe_RP_i_RC_BAR_1 для 64-битных транзакций.

Описание полей регистра PCIe_RP_i_RC_BAR_0 приведено в таблице 5.69.

Таблица 5.69 - Описание полей регистра PCIe_RP_i_RC_BAR_0

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	BAR Type: тип доступа к региону BAR 0 0 – memory 1 – IO Значение настраивается программно в регистре PCIe_LocMgmt_i_rc_BAR_config_reg.
1	R	0x0	Reserved
2	R	0x0	Size: для региона типа memory: 0 – 32-битная адресация, 1 – 64-битная адресация. Для региона типа IO это Base Address [2]. Значение настраивается программно в регистре PCIe_LocMgmt_i_rc_BAR_config_reg.
3	R	0x0	Prefetchability: для региона типа memory указывает на включение предвыборки данных. Для региона типа IO это Base Address [3]. Значение настраивается программно в регистре PCIe_LocMgmt_i_rc_BAR_config_reg.
21:4	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_rc_BAR_config_reg. Доступен по шине APB на запись.
31:22	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_rc_BAR_config_reg. Доступен по шине APB на запись.

Регистр базового адреса 1 (PCIe_RP_i_RC_BAR_1)

Данный регистр может быть настроен как базовый адрес для 32-битных транзакций или спарен с PCIe_RP_i_RC_BAR_0 для 64-битных транзакций. Во втором случае он будет хранить 32 старших бита базового адреса. Выключен по умолчанию, но может быть включен настройкой регистра PCIe_LocMgmt_i_rc_BAR_config_reg.

Описание полей регистра PCIe_RP_i_RC_BAR_1 приведено в таблице 5.70.

					Лист
					395
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 5.70 - Описание полей регистра PCIe_RP_i_RC_BAR_1

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	BAR Type: тип доступа к региону BAR 0: 0 – memory; 1 – IO. Значение может быть изменено в регистре PCIe LocMgmt i rc BAR config reg.
1	R	0x0	Reserved
2	R	0x0	Size: для региона типа memory: 0 – 32-битная адресация; 1 – 64-битная адресация. Для региона типа IO это Base Address [2].
3	R	0x0	Prefetchability: для региона типа memory указывает на включение предвыборки данных. Для региона типа IO это Base Address [3].
21:4	R	0x0	Base Address - RO part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_rc_BAR_config_reg. Доступен по шине APB на запись.
31:22	R/W	0x0	Base Address - RW part: определяет базовый адрес региона. Записываемое значение маскируется значением размера региона из регистра PCIe_LocMgmt_i_rc_BAR_config_reg. Доступен по шине APB на запись.

Регистр номеров шин (PCIe_RP_i_pcie_bus_numbers)

Описание полей регистра PCIe_RP_i_pcie_bus_numbers приведено в таблице 5.71.

Таблица 5.71 - Описание полей регистра PCIe_RP_i_pcie_bus_numbers

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x0	Primary Bus Number: это значение может быть программно записано и считано по шине APB, но контроллером оно не используется
15:8	R/W	0x0	Secondary Bus Number: это значение может быть программно записано и считано по шине APB, но контроллером оно не используется
23:16	R/W	0x0	Subordinate Bus Number: это значение может быть программно записано и считано по шине APB, но контроллером оно не используется
31:24	R	0x0	Secondary Latency Timer: Reserved

										Лист
										396
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр базового адреса ввода/вывода, ограничения для базового адреса ввода/вывода и дополнительного состояния (PCIe_RP_i_pcie_io_base_limit)

Описание полей регистра PCIe_RP_i_pcie_io_base_limit приведено в таблице 5.72.

Таблица 5.72 - Описание полей регистра PCIe_RP_i_pcie_io_base_limit

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Type1 cfg IO bar size: ширина конфигурационных регистров. Значение может быть программно установлено в регистре PCIe_LocMgmt_i_rc_BAR_config_reg в 20 бите. Всегда равно 0 при снятом 19 бите регистра PCIe_LocMgmt_i_rc_BAR_config_reg.
3:1	R	0x0	Reserved
7:4	R	0x0	IO Base Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если IO BAR запрещены.
8	R	0x0	Type1 cfg IO bar size: всегда равно значению бита [0].
11:9	R	0x0	Reserved
15:12	R	0x0	IO Limit Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если IO BAR запрещены.
23:16	R	0x0	Reserved
24	R/WOCLR	0x0	Master Data Parity Error: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса. Всегда равно 0, если бит Parity Error Response Enable регистра PCIe_RP_i_intrpt_line_intrpt_pin равен 0.
26:25	R	0x0	Reserved
27	R/WOCLR	0x0	Signaled Target Abort: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
28	R/WOCLR	0x0	Received Target Abort: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
29	R/WOCLR	0x0	Received Master Abort: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
30	R/WOCLR	0x0	Received System Error: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
31	R/WOCLR	0x0	Detected Parity Error: контроллер не устанавливает этот бит. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.

											Лист
											397
Изм.	Лист	№ докум.	Подп.	Дата							
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

Регистр базового и конечного адреса памяти (PCIe_RP_i_pcie_mem_base_limit)

Описание полей регистра PCIe_RP_i_pcie_mem_base_limit приведено в таблице 5.73.

Таблица 5.73 - Описание полей регистра PCIe_RP_i_pcie_mem_base_limit

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
15:4	R/W	0	Memory Base Register: не используется контроллером. Доступен по шине APB на запись.
19:16	R	0x0	Reserved
31:20	R/W	0	Memory Limit Register: не используется контроллером. Доступен по шине APB на запись.

Регистр предвыборки базового и конечного адреса памяти

(PCIe_RP_i_pcie_prefetch_base_limit)

Описание полей регистра PCIe_RP_i_pcie_mem_base_limit приведено в таблице 5.74.

Таблица 5.74 - Описание полей регистра PCIe_RP_i_pcie_prefetch_base_limit

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0	Prefetchable Memory Base Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если не установлен бит Type1 cfg prefetchable mem bar enable в регистре PCIe LocMgmt i rc BAR config reg.
31:16	R	0	Prefetchable Memory Limit Register: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если не установлен бит Type1 cfg prefetchable mem bar enable в регистре PCIe LocMgmt i rc BAR config reg.

Регистр крайнего значения для предвыборки базового адреса памяти

(PCIe_RP_i_pcie_prefetch_base_upper)

Описание полей регистра PCIe_RP_i_pcie_prefetch_base_upper приведено в таблице 5.75.

Таблица 5.75 - Описание полей регистра PCIe_RP_i_pcie_prefetch_base_upper

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0	Prefetchable Base Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 64bit prefetchable memory транзакции не разрешены в регистре PCIe LocMgmt i rc BAR config reg.

Регистр крайнего значения для предвыборки конечного адреса памяти

(PCIe_RP_i_pcie_prefetch_limit_upper)

Описание полей регистра PCIe_RP_i_pcie_prefetch_limit_upper приведено в таблице 5.76.

Таблица 5.76 - Описание полей регистра PCIe_RP_i_pcie_prefetch_limit_upper

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0	Prefetchable Base Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 64bit prefetchable memory транзакции не разрешены в регистре PCIe LocMgmt i rc BAR config reg.

										Лист
										398
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр крайнего значения для базового адреса ввода/вывода, крайнего значения для ограничения адреса ввода/вывода (*PCIe_RP_i_pcie_io_base_limit_upper*)

Описание полей регистра *PCIe_RP_i_pcie_io_base_limit_upper* приведено в таблице 5.77.

Таблица 5.77 - Описание полей регистра *PCIe_RP_i_pcie_io_base_limit_upper*

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x0	IO Base Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 32bit IO транзакции не разрешены в регистре <i>PCIe_LocMgmt_i_rc_BAR_config_reg</i> .
31:16	R	0x0	IO Limit Register Upper: не используется контроллером. Доступен по шине APB на запись. Всегда равно 0, если 32bit IO транзакции не разрешены в регистре <i>PCIe_LocMgmt_i_rc_BAR_config_reg</i> .

Регистр указателя характеристик (*PCIe_RP_i_capabilities_pointer*)

Описание полей регистра *PCIe_RP_i_capabilities_pointer* приведено в таблице 5.78.

Таблица 5.78 - Описание полей регистра *PCIe_RP_i_capabilities_pointer*

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x80	Capabilities Pointer: содержит указатель на первую структуру характеристик (PCI Capability Structure). По умолчанию это структура управления питанием (Power Management Capability Structure). Доступен по шине APB на запись.
31:8	R	0x0	Reserved

					ЮФКВ.431282.020РЭ	Лист 399
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр линий и выводов прерываний (PCIe_RP_i_intrpt_line_intrpt_pin)

Описание полей регистра PCIe_RP_i_intrpt_line_intrpt_pin приведено в таблице 5.79.

Таблица 5.79 - Описание полей регистра PCIe_RP_i_intrpt_line_intrpt_pin

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0xff	Interrupt Line Register: не используется контроллером в режиме RP. Доступен по шине APB на запись.
10:8	R	0x01	Interrupt Pin Register: показывает, каким будет передаваться Legacy прерывание, полученное данной функцией: 0x1 – INTA; 0x2 – INTB; 0x3 – INTC; 0x4 – INTD. Доступен по шине APB на запись.
15:11	R	0x0	Reserved
16	R/W	0x0	Parity Error Response Enable: разрешение установки бита Master Data Parity Error. Доступен по шине APB на запись.
17	R/W	0x0	Bridge Control SERR Enable: не используется в этом контроллере. Доступен по шине APB на запись.
18	R/W	0x0	ISA Enable: не используется в этом контроллере. Доступен по шине APB на запись.
19	R/W	0x0	VGA Enable: не используется в этом контроллере. Доступен по шине APB на запись.
20	R/W	0x0	VGA 16 DEcode: не используется в этом контроллере. Доступен по шине APB на запись.
21	R	0x0	Reserved
22	R/W	0x0	Bridge Control Register Secondary Bus Reset: запускает горячий сброс линка. Доступен по шине APB на запись.
31:23	R	0x0	Reserved

					Лист
					400
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр старшей части адреса MSI сообщений (PCIe_RP_i_msi_msg_hi_addr)

Описание полей регистра PCIe_RP_i_msi_msg_hi_addr приведено в таблице 5.84.

Таблица 5.84 - Описание полей регистра PCIe_RP_i_msi_msg_hi_addr

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Message Address High: старшая часть адреса MSI сообщений. Если равна нулю, то адрес 32-разрядный. Доступен по шине APB на запись.

Регистр данных MSI сообщений (PCIe_RP_i_msi_msg_data)

Этот регистр содержит данные, используемые в MSI сообщениях, генерируемых для соответствующей функции. Если количество различных векторов прерываний равно 1, то в качестве данных будет использоваться непосредственно указанное здесь значение. Если количество различных векторов больше 1, то LSB указанного значения заменяется на кодированный номер вектора. Описание полей регистра PCIe_RP_i_msi_msg_data приведено в таблице 5.85.

Таблица 5.85 - Описание полей регистра PCIe_RP_i_msi_msg_data

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0	Message Data: данные MSI сообщения. Доступен по шине APB на запись.
31:16	R	0x0	Reserved

Регистр масок пришедшего вектора MSI прерывания (PCIe_RP_i_msi_mask)

Описание полей регистра PCIe_RP_i_msi_mask приведено в таблице 5.86.

Таблица 5.86 - Описание полей регистра PCIe_RP_i_msi_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	MSI Mask: маска битов пришедшего вектора MSI прерывания. Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний. Доступен по шине APB на запись.
31:1	R	0x0	Reserved Ширина этого параметра меняется в зависимости от Multiple Message Enable и, соответственно, количества векторов прерываний.

										Лист
										404
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

Регистр управления и состояния устройства (PCIe_RP_i_pcie_dev_ctrl_status)

Описание полей регистра PCIe_RP_i_pcie_dev_ctrl_status приведено в таблице 5.90.

Таблица 5.90 – Описание полей регистра PCIe_RP_i_pcie_dev_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	Enable Correctable Error Reporting: не используется в режиме Root Port.
1	R/W	0x0	Enable Non- Fatal Error Reporting: не используется в режиме Root Port.
2	R/W	0x0	Enable Fatal Error Reporting: не используется в режиме Root Port.
3	R/W	0x0	Enable Unsupported Request Reporting: разрешение посылки сообщений об обнаружении неподдерживаемого запроса. Доступен по шине APB на запись.
4	R/W	0x01	Enable Relaxed Ordering: разрешает установку бита Relaxed Ordering в передаваемых транзакциях. Доступен по шине APB на запись.
7:5	R/W	0x0	Max Payload Size: показывает максимальное количество данных в сообщении. Устройство должно быть в состоянии принимать пакеты с таким количеством данных и не должно посылать пакеты большего размера. Устанавливается программно на основании данных из Device Capabilities Register этого и ответного устройств. Доступен по шине APB на запись.
8	R	0x0	Extended Tag Field Enable: не используется в режиме Root Port. Всегда равно 0.
9	R	0x0	Enable Phantom Functions: всегда равно 0.
10	R	0x0	Enable Aux Power: всегда равно 0.
11	R/W	0x1	Enable No Snoor: установка в 1 разрешает установку бита No Snoor в передаваемых транзакциях, не требующих когерентности кэша. Доступен по шине APB на запись.
14:12	R/W	0x02	Max Read Request Size: показывает максимальное количество данных в запросах чтения, сгенерированных этим устройством. Доступен по шине APB на запись.
15	R	0x0	Reserved
16	R/WOCLR	0x0	Correctable Error Detected: устанавливается контроллером, когда он обнаруживает исправимую ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB.
17	R/WOCLR	0x0	Non-Fatal Error Detected: устанавливается контроллером, когда он обнаруживает нефатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB.
18	R/WOCLR	0x0	Fatal Error Detected: устанавливается контроллером, когда он обнаруживает фатальную ошибку. Не зависит от разрешения соответствующего сообщения и маскирования. Сброс при записи 1 по шине APB.
19	R/WOCLR	0x0	Unsupported Request Detected: устанавливается контроллером, когда он обнаруживает неподдерживаемый запрос. Не зависит от разрешения соответствующего сообщения. Сброс при записи 1 по шине APB.
20	R	0x0	Aux Power Detected: не используется. Всегда равно 0.
21	R	0x0	Transaction Pending: устанавливается, если есть ожидающие запросы, требующие подтверждения (Non-Posted). Только для чтения по шине APB.
31:22	R	0x0	Reserved

					Лист
					407
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр характеристик линка (PCIe_RP_i_link_cap)

Описание полей регистра PCIe_RP_i_link_cap приведено в таблице 5.91.

Таблица 5.91 – Описание полей регистра PCIe_RP_i_link_cap

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x2	Maximum Link Speed: показывает максимальную скорость линка. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB.
9:4	R	0x4	Maximum Link Width: показывает максимальное количество линий. Соответствует значению, установленному в системном контроллере. Только для чтения по шине APB.
11:10	R	0x3	Active State Power Management: показывает уровень поддерживаемого ASPM. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
14:12	R	0x2	L0S Exit Latency: показывает время, требуемое устройству для перехода из состояния L0S в L0. Значение зависит от реализации Phy. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
17:15	R	0x3	L1 Exit Latency: показывает время, требуемое устройству для выхода из состояния L1. Значение зависит от реализации Phy. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
18	R	0x0	Clock Power Management: показывает, что устройство поддерживает отключение опорного тактового сигнала. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
19	R	0x0	Surprise Down Error Reporting Capability: показывает способность устройства сообщать об ошибке внезапного выключения (Surprise Down error). Эта функция не поддерживается. Всегда равно 0.
20	R	0x0	Data Link Layer Active Reporting Capability: показывает способность устройства сообщать о достижении автоматом управления пакетным уровнем состояния DL_Active. Эта функция не поддерживается. Всегда равно 0.
21	R	0x1	Link Bandwidth Notification Capability: поддержка уведомлений о ширине линка и механизме прерываний. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
22	R	0x1	ASPM Optionality Compliance: показывает поддержку устройством дополнительных ASPM возможностей. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
23	R	0x0	Reserved
31:24	R	0	Port Number: показывает номер порта, присвоенный PCIe линку, подключенному к устройству. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.

					ЮФКВ.431282.020РЭ	Лист
						408
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Регистр управления и состояния линка (PCIe_RP_i_link_ctrl_status)

Описание полей регистра PCIe_RP_i_link_ctrl_status приведено в таблице 5.92.

Таблица 5.92 – Описание полей регистра PCIe_RP_i_link_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
1:0	R/W	0x0	Active State Power Management Control: управление ASPM возможностями: 00 – ASPM запрещен; 01 – L0s состояние разрешено, L1 запрещено; 10 – L0s состояние запрещено, L1 разрешено; 11 – L0s и L1 состояния разрешены. Эти биты могут быть установлены только при установленных соответствующих битах Active State Power Management регистра PCIe_RP_i_link_cap. Доступен по шине APB на запись.
2	R	0x0	Reserved
3	R	0x0	Read Completion Boundary: показывает границы чтения хост-контроллера: 0 – 64 байта; 1 – 128 байт. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
4	R/W	0x0	Link Disable: установка этого бита переводит автомат обучения (LTSSM) в отключенный режим (Disable). LTSSM остается в таком состоянии, пока бит не будет снят. Доступен по шине APB на запись.
5	W	0x0	Retrain Link: установка этого бита вызывает переобучение линка. При чтении всегда возвращает 0. Доступен по шине APB на запись.
6	R/W	0x0	Common Clock Configuration: показывает отношения опорного тактового сигнала этого EP и ответного устройства: 0 – асинхронные; 1 – синхронные. Доступен по шине APB на запись.
7	R/W	0x0	Extended Synch: установка этого бита увеличивает частоту передачи управляющих пакетов (Ordered Sets) при переходе из L0s в L0 состояние. Доступен по шине APB на запись.
8	R	0x0	Enable Clock Power Management: не используется в режиме RP. Всегда равно 0.
9	R	0x0	Hardware Autonomous Width Disable: установленный, этот бит показывает программе, что она должна запрашивать изменение ширины линка только в случае некорректной работы текущего набора линий. Доступен по шине APB на запись.
10	R/W	0x0	Link Bandwidth Management Interrupt Enable: разрешает выдачу прерывания при установке бита Link Bandwidth Management Status. Всегда равно нулю, если Link Bandwidth Notification Capability равен нулю. Доступен по шине APB на запись.
11	R/W	0x0	Link Autonomous Bandwidth Interrupt Enable: разрешает выдачу прерывания при установке бита Link Autonomous Bandwidth Status. Всегда равно нулю, если Link Bandwidth Notification Capability равен нулю. Доступен по шине APB на запись.

					Лист
					409
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 5.92

Биты	Тип доступа	Начальное значение	Описание
15:12	R	0x0	Reserved
19:16	R	0x1	Negotiated Link Speed: согласованная скорость передачи данных: 0001 – 2,5 Гбит/с на линию; 0010 – 5 Гбит/с на линию. Доступен по шине APB только на чтение.
25:20	R	0x4	Negotiated Link Width: согласованное количество линий. Устанавливается по окончании обучения линка. Доступен по шине APB только на чтение.
26	R	0x0	Reserved
27	R	0x0	Link Training Status: устанавливается аппаратно, если LTSSM в режиме Configuration или Recovery или при начале переобучения линка. Доступен по шине APB только на чтение.
28	R	0x0	Slot Clock Configuration: показывает, что используется тактовый сигнал от соединителя.. Если устройство использует независимый тактовый сигнал, несмотря на наличие такового на соединителе, этот бит должен быть сброшен в 0. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
29	R	0x0	Data Link Layer Active: показывает статус пакетного уровня. Всегда равно 0.
30	R/WOCLR	0x0	Link Bandwidth Management Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Сброс при записи 1 по шине APB.
31	R/WOCLR	0x0	Link Autonomous Bandwidth Status: устанавливается при аппаратном изменении ширины линка или скорости передачи, не связанном с некорректной работой. Всегда равно 0, если Link Bandwidth Notification Capability равен 0. Сброс при записи 1 по шине APB.

Регистр управления и состояния слота (PCIe_RP_i_slot_ctrl_status)

Описание полей регистра PCIe_RP_i_slot_ctrl_status приведено в таблице 5.93.

Таблица 5.93 – Описание полей регистра PCIe_RP_i_slot_ctrl_status

Биты	Тип доступа	Начальное значение	Описание
21:0	R	0x0	Reserved
22	R	1	Presence Detect State: 0 – слот пуст 1 – PCIe карта присутствует Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
31:23	R	0x0	Reserved

					Лист
					410
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления и характеристик режима ROOT (PCIe_RP_i_root_ctrl_cap)

Описание полей регистра PCIe_RP_i_root_ctrl_cap приведено в таблице 5.94.

Таблица 5.94 – Описание полей регистра PCIe_RP_i_root_ctrl_cap

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	System Error on Correctable Error Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера.
1	R/W	0x0	System Error on Non-Fatal Error Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера.
2	R/W	0x0	PME Interrupt Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера.
3	R/W	0x0	CRS Software Visibility Enable: значение может быть записано и считано по шине APB, но оно не используется при работе контроллера.
31:4	R	0x0	Reserved

Регистр состояния режима ROOT (PCIe_RP_i_root_status)

Описание полей регистра PCIe_RP_i_root_status приведено в таблице 5.95.

Таблица 5.95 – Описание полей регистра PCIe_RP_i_root_status

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x0	PME Requester ID: показывает PCI Requester ID последнего полученного PME сообщения. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
16	R/WOCLR	0x0	PME Status: показывает, что PME был подтвержден устройством с Requester ID, указанным в PME Requester ID. Сброс при записи 1 по шине APB. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
17	R	0x0	PME Pending: устанавливается, если другой PME ожидает обработки при установленном PME Status. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
31:18	R	0x0	Reserved

										Лист
										411
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Регистр характеристик устройства 2 (PCIe_RP_i_pcie_cap_2)

Описание полей регистра PCIe_RP_i_pcie_cap_2 приведено в таблице 5.96.

Таблица 5.96 - Описание полей регистра PCIe_RP_i_pcie_cap_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x02	Completion Timeout Ranges: показывает поддерживаемый устройством таймаут подтверждения сообщения. Непосредственно используемые значения таймаута расположены в регистрах локального управления. По умолчанию 10-250 мс. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
4	R	0x01	Completion Timeout Disable Supported: показывает возможность функции выключить таймаут подтверждения сообщения. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
5	R	0x0	ARI forwarding support: всегда равно 0.
6	R	0x1	Atomic OP routing supported: маршрутизация атомарных операций (Atomic OP) поддерживается. Доступен по шине APB на запись при дополнительно установленном [13] бите адреса.
7	R	0x0	32-Bit Atomic Op Completer Supported: всегда равно 0.
8	R	0x0	64-Bit Atomic Op Completer Supported: всегда равно 0.
9	R	0x0	128-Bit CAS Atomic Op Completer Supported: всегда равно 0.
10	R	0x0	Reserved
11	R	0x0	LTR Mechanism Supported: всегда равно 0.
13:12	R	0x0	TPH Completer Supported: всегда равно 0.
17:14	R	0x0	Reserved
19:18	R	0x0	OBFF Supported: показывает, что функция поддерживает OBFF. Всегда равно 0.
20	R	0x1	Extended Format Field Supported: показывает, что функция поддерживает 3-битный формат поля Fmt заголовка TLP. Всегда равно 1.
21	R	0x0	End-End TLP Prefix Supported: показывает, что функция поддерживает End-End TLP Prefix. Всегда равно 0.
23:22	R	0x0	Max End-End TLP Prefixes: максимальное количество End-End TLP Prefixes: 01 – 1 End-End TLP Prefix; 10 – 2 End-End TLP Prefix. Всегда равно 0.
31:24	R	0x0	Reserved

					Лист
					412
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления и состояния устройства 2 (PCIe_RP_i_pcie_dev_ctrl_status_2)

Описание полей регистра PCIe_RP_i_pcie_dev_ctrl_status_2 приведено в таблице 5.97.

Таблица 5.97 – Описание полей регистра PCIe_RP_i_pcie_dev_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	0x0	Completion Timeout Value: поддерживаемый устройством таймаут подтверждения сообщения: 0101 – диапазон 1; 0110 – диапазон 2. Соответствующие значения устанавливаются в регистрах Completion Timeout Interval Registers 0 и 1. Доступен по шине APB на запись.
4	R/W	0x0	Completion Timeout Disable: установка этого бита выключает таймаут подтверждения сообщений. Доступен по шине APB на запись.
5	R	0x0	ARI forwarding enable: показывает, что [7:0] биты ID используются как номер функции при преобразовании конфигурационных пакетов типа 1 в тип 0. Всегда равно 0.
6	R	0x0	Atomic Op Requester Enable: разрешение генерации атомарных операций. Всегда равно 0.
7	R	0x0	Reserved
8	R	0x0	IDO Request Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых запросах. Всегда равно 0.
9	R	0x0	IDO Completion Enable: когда этот бит установлен, функции разрешено устанавливать бит ID-based Ordering (IDO) Attribute в посылаемых подтверждениях. Всегда равно 0.
10	R	0x0	LTR Mechanism Enable: всегда равно 0.
12:11	R	0x0	Reserved
14:13	R	0x0	OBFF Enable: разрешение OBFF (Optimized Buffer Flush/Fill): 00 – запрещено; 01 – версия А; 10 – версия В; Всегда равно 0.
31:15	R	0x0	Reserved

					Лист
					413
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр характеристик линка 2 (PCIe_RP_i_link_cap_2)

Описание полей регистра PCIe_RP_i_link_cap_2 приведено в таблице 5.98.

Таблица 5.98 – Описание полей регистра PCIe_RP_i_link_cap_2

Биты	Тип доступа	Начальное значение	Описание
0	R	0	Reserved
2:1	R	0x3	Supported Link Speeds Vector: показывает возможные скорости работы линка: 0001 – 2,5 Гбит/с; 0011 – 5 Гбит/с. Соответствует значению, установленному в системном контроллере. Доступен по шине APB только на чтение.
4:3	R	0	Reserved
8:5	R	0x0	Reserved
10:9	R	0x0	Lower SKP OS Generation Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается программное управление частотой генерации SKP OS. Доступен по шине APB только на чтение.
15:11	R	0x0	Reserved
17:16	R	0x0	Lower SKP OS Reception Supported Speeds Vector: если не равно 0, показывает, что на указанных частотах поддерживается SRIS и также поддерживается программное управление частотой генерации SKP OS. Доступен по шине APB только на чтение.
19:18	R	0	Reserved
22:20	R	0x0	Reserved
23	R	0x0	Reserved
31:24	R	0x0	Reserved

					Лист
					414
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр управления и состояния линка 2 (PCIe_RP_i_link_ctrl_status_2)

Описание полей регистра PCIe_RP_i_link_ctrl_status_2 приведено в таблице 5.99.

Таблица 5.99 – Описание полей регистра PCIe_RP_i_link_ctrl_status_2

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	2	Target Link Speed: для Endpoint показывает максимальную скорость передачи при переконфигурации. Также показывает скорость передачи при переходе режим Compliance, вызванный установкой бита Enter Compliance. Значение после сброса зависит от настройки в системном контроллере: 0001 – 2,5 Гбит/с; 0010 – 5 Гбит/с. Доступен по шине APB на запись.
4	R/W	0x0	Enter Compliance: в Endpoint режиме установка в 1 включает Compliance режим. При этом также должен быть инициирован горячий сброс (Hot Reset). Доступен по шине APB на запись.
5	R/W	0x0	Hardware Autonomous Speed Disable: установка этого бита запрещает аппаратное повышение скорости передачи. Доступен по шине APB на запись.
6	R/W	0x0	Selectable Deemphasis: не используется в режиме Endpoint.
9:7	R/W	0x0	Transmit Margin: используется только при отладке и в Compliance режиме. Управляет уровнем напряжения на выходе передатчика: 000 – нормальный уровень; 001 – 800-1200 мВ для полного размаха и 400-700 мВ для половины размаха; 010-111 – описание значений в спецификации PCI Express Base Specification 2.0. Значение сбрасывается в 0 при переходе автомата обучения линка (LTSSM) в состояние Polling.Configuration. Доступен по шине APB на запись.
10	R/W	0x0	Enter Modified Compliance: используется только при отладке и в Compliance режиме. При установке этого бита в режиме Compliance будут передаваться Modified Compliance Pattern. При этом также должен быть установлен бит Enter Compliance и хост должен инициировать горячий сброс (Hot Reset). Доступен по шине APB на запись.
11	R/W	0x0	Compliance SOS: при установке этого бита между Compliance Patterns будут передаваться SKP контрольные последовательности. Доступен по шине APB на запись.
15:12	R/W	0x0	Compliance De-Emphasis: устанавливает значение De-Emphasis в режиме Compliance: 0 – -6 дБ; 1 – -3,5 дБ. остальные значения зарезервированы Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB на запись.
16	R	0x1	Current De-Emphasis Level: показывает текущий уровень De-Emphasis передатчика: 0 – -6 дБ; 1 – -3,5 дБ. Используется только при работе на скорости 5 Гбит/с (Gen 2). Доступен по шине APB только на чтение.
21:17	R	0x0	Reserved
31:22	R	0x0	Reserved

					Лист
					415
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

*Регистр основных характеристик расширенного обработчика ошибок
(PCIe_RP_i_AER_enhncd_cap)*

Описание полей регистра PCIe_RP_i_AER_enhncd_cap приведено в таблице 5.100.

Таблица 5.100 – Описание полей регистра PCIe_RP_i_AER_enhncd_cap

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0x01	PCI Express Extended Capability ID: показывает, что это структура характеристик расширенного обработчика ошибок (AER). Доступен по шине APB только на чтение.
19:16	R	2	Capability Version: показывает версию структуры характеристик. Доступен по шине APB на запись.
31:20	R	0	Next Capability Offset: содержит смещение адреса следующей структуры характеристик относительно текущей. Доступен по шине APB на запись.

										Лист
										416
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр статуса неисправимых ошибок (PCIe_RP_i_uncorr_err_status)

Описание полей регистра PCIe_RP_i_uncorr_err_status приведено в таблице 5.101.

Таблица 5.101 – Описание полей регистра PCIe_RP_i_uncorr_err_status

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/WOCLR	0x0	Data Link Protocol Error Status: устанавливается, если идентификатор подтверждения (DLLP Ack/Nak) не равен идентификатору соответствующего сообщения (TLP). Сброс при записи 1 по шине APB.
11:5	R	0x0	Reserved
12	R/WOCLR	0x0	Poisoned TLP Status: устанавливается при получении TLP с установленным битом ошибки (poisoned bit). Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
13	R/WOCLR	0x0	Flow Control Protocol Error Status: устанавливается при ошибке последовательности управления. Сброс при записи 1 по шине APB.
14	R/WOCLR	0x0	Completion Timeout Status: устанавливается, если ответ на внешний запрос не был получен за необходимый период времени. Ошибка считается нефатальной. Сброс при записи 1 по шине APB.
15	R/WOCLR	0x0	Completer Abort Status: устанавливается, если контроллер вернул сообщение Completer Abort в ответ на запрос, пришедший по линку. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
16	R/WOCLR	0x0	Unexpected Completion Status: устанавливается при получении неожиданного сообщения завершения (unexpected Completion). Сброс при записи 1 по шине APB.
17	R/WOCLR	0x0	Receiver Overflow Status: устанавливается при получении пакета уровня транзакций (TLP) при заполненном приемном буфере. Сброс при записи 1 по шине APB.
18	R/WOCLR	0x0	Malformed TLP Status: устанавливается при получении TLP с неправильной структурой. Ошибка считается фатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
19	R/WOCLR	0x0	ECRC Error Status: устанавливается при обнаружении ошибки ECRC в принятом TLP. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
20	R/WOCLR	0x0	Unsupported Request Error Status: устанавливается при получении неподдерживаемого контроллером сообщения. Ошибка считается нефатальной. Заголовок полученного сообщения сохраняется в Header Log Register. Сброс при записи 1 по шине APB.
21	R	0x0	Reserved
22	R/WOCLR	0x0	Uncorrectable Internal Error Status: устанавливается при обнаружении внутренних неисправимых ошибок контроллера (ошибок честности/ЕСС внутренних шин или памяти). Ошибка считается фатальной. Сброс при записи 1 по шине APB.
31:23	R	0x0	Reserved

					Лист
					417
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр масок неисправимых ошибок (PCIe_RP_i_uncorr_err_mask)

Биты масок в этом регистре управляют отчетами о неисправимых ошибках. Для каждого типа ошибки из регистра PCIe_RP_i_uncorr_err_status есть своя маска. При установленной маске в случае обнаружения ошибки:

- Выдача ошибок системе TODO.
- Заголовок TLP, содержащего ошибку, не будет сохранен в Header Log Register.
- First Error Pointer в структуре характеристик AER и Control Register не будут обновлены.

Описание полей регистра PCIe_RP_i_uncorr_err_mask приведено в таблице 5.102.

Таблица 5.102 – Описание полей регистра PCIe_RP_i_uncorr_err_mask

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x0	Data Link Protocol Error Mask: маска ошибок Data Link Protocol. Доступен по шине APB на запись.
11:5	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Mask: маска ошибок Poisoned TLP. Доступен по шине APB на запись.
13	R/W	0x0	Flow Control Protocol Error Mask: маска ошибок последовательности управления. Доступен по шине APB на запись.
14	R/W	0x0	Completion Timeout Mask: маска ошибок времени ожидания завершения транзакции. Доступен по шине APB на запись.
15	R/W	0x0	Completer Abort Mask: маска ошибок прерывания завершения полученной транзакции. Доступен по шине APB на запись.
16	R/W	0x0	Unexpected Completion Mask: маска ошибок получения не ожидаемых завершений. Доступен по шине APB на запись.
17	R/W	0x0	Receiver Overflow Mask: маска ошибок переполнения приемника. Доступен по шине APB на запись.
18	R/W	0x0	Malformed TLP Mask: маска ошибок структурно-неправильных TLP. Доступен по шине APB на запись.
19	R/W	0x0	ECRC Error Mask: маска ошибок ECRC. Доступен по шине APB на запись.
20	R/W	0x0	Unsupported Request Error Mask: маска ошибок неподдерживаемых запросов. Доступен по шине APB на запись.
21	R	0x0	Reserved
22	R/W	0x1	Uncorrectable Internal Error Mask: маска внутренних ошибок контроллера. Доступен по шине APB на запись.
31:23	R	0x0	Reserved

										Лист
										418
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.		Подп. и дата			
31406-4		09.11.2020		31406-3						

Регистр степени тяжести неисправимых ошибок (PCIe_RP_i_uncorr_err_severity)

Описание полей регистра PCIe_RP_i_uncorr_err_severity приведено в таблице 5.103.

Таблица 5.103 – Описание полей регистра PCIe_RP_i_uncorr_err_severity

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Reserved
4	R/W	0x01	Data Link Protocol Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
5	R	0x1	Surprise Down Error Severity: всегда равно 1
11:6	R	0x0	Reserved
12	R/W	0x0	Poisoned TLP Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
13	R/W	0x01	Flow Control Protocol Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
14	R/W	0x0	Completion Timeout Severity: ошибка обрабатывается как: 0 – не фатальная; 1 – фатальная. Доступен по шине APB на запись.
15	R/W	0x0	Completer Abort Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
16	R/W	0x0	Unexpected Completion Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
17	R/W	0x01	Receiver Overflow Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
18	R/W	0x01	Malformed TLP Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
19	R/W	0x0	ECRC Error Severity: ошибка обрабатывается как: 0 – не фатальная; 1 – фатальная. Доступен по шине APB на запись.
20	R/W	0x0	Unsupported Request Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
21	R	0x0	Reserved
22	R/W	0x01	Uncorrectable Internal Error Severity: ошибка обрабатывается как: 0 – нефатальная; 1 – фатальная. Доступен по шине APB на запись.
31:23	R	0x0	Reserved

					ЮФКВ.431282.020РЭ		Лист
							419
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

Регистр статуса исправимых ошибок (PCIe_RP_i_corr_err_status)

Описание полей регистра PCIe_RP_i_corr_err_status приведено в таблице 5.104.

Таблица 5.104 – Описание полей регистра PCIe_RP_i_corr_err_status

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Status: устанавливается при обнаружении на физическом уровне одной из следующих ошибок: - 8B10B кодировки; - четности; - переполнении эластичного буфера. Сброс при записи 1 по шине APB.
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Status: устанавливается при обнаружении пакетным уровнем в TLP одной из следующих ошибок: - LCRC; - окончание пакета символом EDB и инверсия расчетного LCRC не равна полученному LCRC. Сброс при записи 1 по шине APB.
7	R/WOCLR	0x0	Bad DLLP Status: устанавливается при обнаружении пакетным уровнем в DLLP ошибки LCRC при отсутствии ошибок физического уровня. Сброс при записи 1 по шине APB.
8	R/WOCLR	0x0	Replay Number Rollover Status: устанавливается после трех повторных посылок одного пакета. Сброс при записи 1 по шине APB.
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Status: устанавливается при переполнении таймера пакетного уровня, что вызывает повторную посылку пакета TLP. Сброс при записи 1 по шине APB.
13	R/WOCLR	0x0	Advisory Non-Fatal Error Status: устанавливается при появлении неисправимой ошибки (Uncorrectable error). Подробное описание в п. 6.2.3.2.4 спецификации PCI Express 2.0. Сброс при записи 1 по шине APB.
14	R/WOCLR	0x0	Corrected Internal Error Status: устанавливается при обнаружении исправимой внутренней ошибки (исправимой ECC ошибки при чтении из памяти). Сброс при записи 1 по шине APB.
15	R/WOCLR	0x0	Header Log Overflow Status: устанавливается при переполнении Header Log Register. Сброс при записи 1 по шине APB.
31:16	R	0x0	Reserved

										Лист
										420
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр масок исправимых ошибок (PCIe_RP_i_corr_err_mask)

Биты масок в этом регистре управляют отчетами об исправимых ошибках. Для каждого типа ошибки из регистра PCIe_RP_i_corr_err_status есть своя маска.

Описание полей регистра PCIe_RP_i_corr_err_mask приведено в таблице 5.105.

Таблица 5.105 – Описание полей регистра PCIe_RP_i_corr_err_mask

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	Receiver Error Mask: маска ошибок физического уровня. Сброс при записи 1 по шине APB.
5:1	R	0x0	Reserved
6	R/WOCLR	0x0	Bad TP Mask: маска ошибок Bad TP. Сброс при записи 1 по шине APB.
7	R/WOCLR	0x0	Bad DLLP Mask: маска ошибок Bad DLLP. Сброс при записи 1 по шине APB.
8	R/WOCLR	0x0	Replay Number Rollover Mask: маска ошибок количества повторных отправок TLP. Сброс при записи 1 по шине APB.
11:9	R	0x0	Reserved
12	R/WOCLR	0x0	Replay Timer Timeout Mask: маска ошибок переполнения таймера повторной отправки сообщений. Сброс при записи 1 по шине APB.
13	R/WOCLR	0x0	Advisory Non-Fatal Error Mask: маска ошибок Advisory Non-Fatal. Сброс при записи 1 по шине APB.
14	R/WOCLR	0x0	Corrected Internal Error Mask: маска внутренних исправимых ошибок. Сброс при записи 1 по шине APB.
15	R/WOCLR	0x0	Header Log Overflow Mask: маска ошибки переполнения Header Log Register. Сброс при записи 1 по шине APB.
31:16	R	0x0	Reserved

										Лист
										421
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

*Регистр управления и характеристик расширенного обработчика ошибок
(PCIe_RP_i_adv_err_cap_ctl)*

Описание полей регистра PCIe_RP_i_adv_err_cap_ctl приведено в таблице 5.106.

Таблица 5.106 – Описание полей регистра PCIe_RP_i_adv_err_cap_ctl

Биты	Тип доступа	Начальное значение	Описание
4:0	R	0x0	First Error Pointer: указывает на ошибку из PCIe_RP_i_uncorr_err_status, которая была обнаружена первой. Значение удерживается до тех пор, пока не будет сброшено соответствующее поле регистра PCIe_RP_i_uncorr_err_status. После сброса бита статуса текущей ошибки, следующий из установленных битов ошибок обновит указатель до соответствующего значения. Доступен по шине APB только на чтение.
5	R	0x1	ECRC Generation Capability: показывает, что контроллер может генерировать ECRC для посылаемых пакетов. Доступен по шине APB на запись.
6	R/W	0x0	Enable ECRC Generation: разрешает контроллеру генерацию ECRC для посылаемых пакетов. Доступен по шине APB на запись.
7	R	0x1	ECRC Check Capability: показывает, что контроллер может проверять ECRC в принимаемых пакетах. Доступен по шине APB на запись.
8	R/W	0x0	Enable ECRC Check: разрешает контроллеру проверку ECRC в принимаемых пакетах. Доступен по шине APB на запись.
9	R	0x0	Multiple Header Recording Capable: устанавливается, если функция может сохранить более одного заголовка в регистрах Header Log Registers. Всегда равно 0.
10	R	0x0	Multiple Header Recording Enable: установка разрешает сохранять множество заголовков в регистрах Header Log Registers. Всегда равно 0.
11	R	0x0	Reserved
31:12	R	0x0	Reserved

					ЮФКВ.431282.020РЭ		Лист
							422
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

Регистр заголовка пакета 0 (PCIe_RP_i_hdr_log_0)

Это первый из четырех регистров, использующихся для захвата заголовка полученного контроллером TLP пакета в случае возникновения неисправимой ошибки. Если в регистре PCIe_RP_i_uncorr_err_status установлено несколько бит, то здесь отражается заголовок только первой полученной транзакции. Какая ошибка ей соответствует, можно определить на основании поля First Error Pointer. Регистр не может быть перезаписан, пока статусный бит соответствующей ошибки не будет сброшен.

Первое двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт. Байт, содержащий поля Type/Format заголовка, сохраняется в [31:24] битах регистра Header Log Register 0. Описание полей регистра PCIe_RP_i_hdr_log_0 приведено в таблице 5.107.

Таблица 5.107 – Описание полей регистра PCIe_RP_i_hdr_log_0

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 0: содержит первое слово заголовка принятого TLP. Доступен по шине APB только на чтение.

Регистр заголовка пакета 1 (PCIe_RP_i_hdr_log_1)

Второе двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт. Описание полей регистра PCIe_RP_i_hdr_log_1 приведено в таблице 5.108.

Таблица 5.108 – Описание полей регистра PCIe_RP_i_hdr_log_1

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 1: содержит второе слово заголовка принятого TLP. Доступен по шине APB только на чтение.

Регистр заголовка пакета 2 (PCIe_RP_i_hdr_log_2)

Третье двойное слово заголовка TLP сохраняется в этом регистре с обратным порядком байт.

Описание полей регистра PCIe_RP_i_hdr_log_2 приведено в таблице 5.109.

Таблица 5.109 – Описание полей регистра PCIe_RP_i_hdr_log_2

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 2: содержит третье слово заголовка принятого TLP. Доступен по шине APB только на чтение.

										Лист
										423
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

Регистр заголовка пакета 3 (PCIe_RP_i_hdr_log_3)

Если принятый TLP имеет заголовок длиной 4 DWORDs, то этот регистр содержит четвертое двойное слово с обратным порядком байт.

Описание полей регистра PCIe_RP_i_hdr_log_3 приведено в таблице 5.110.

Таблица 5.110 – Описание полей регистра PCIe_RP_i_hdr_log_3

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	Header DWORD 3: содержит четвертое слово заголовка принятого TLP. Доступен по шине APB только на чтение.

Регистр управления ошибками в режиме ROOT (PCIe_RP_i_root_err_cmd)

Этот регистр содержит биты, управляющие обработкой хост-контроллером отчетов об ошибках, полученных от ответных устройств. Регистр не доступен по шине PCIe.

Описание полей регистра PCIe_RP_i_root_err_cmd приведено в таблице 5.111.

Таблица 5.111 – Описание полей регистра PCIe_RP_i_root_err_cmd

Биты	Тип доступа	Начальное значение	Описание
0	NA	0x0	Correctable Error Reporting Enable: разрешение генерации прерывания при получении исправимой ошибки. Доступен по шине APB на запись.
1	NA	0x0	Non-Fatal Error Reporting Enable: разрешение генерации прерывания при получении нефатальной ошибки. Доступен по шине APB на запись.
2	NA	0x0	Fatal Error Reporting Enable: разрешение генерации прерывания при получении фатальной ошибки. Доступен по шине APB на запись.
31:3	NA	0x0	Reserved

										Лист
										424
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

5.12.2.3 Регистры локального управления

При описании программно доступных регистров графа «Тип доступа» в таблицах 5.114 - 5.163 относится к шине APB. Все регистры локального управления недоступны для конфигурационных запросов по шине PCIe. Тем не менее, поскольку они являются частью AXI пространства, к ним можно обращаться с помощью Memory или IO запросов (как к внутренним адресам микросхемы).

Регистр конфигурации физического уровня 0 (PCIe_LocMgmt_i_pl_config_0_reg)

Описание полей регистра PCIe_LocMgmt_i_pl_config_0_reg приведено в таблице 5.114.

Таблица 5.114 - Описание полей регистра PCIe_LocMgmt_i_pl_config_0_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Link Status: текущий статус линка 0 – обучение не завершено; 1 – обучение завершено и линк готов к работе.
2:1	R	0x2	Negotiated Lane Count: согласованное с ответным устройством количество линий (00 = x1, 01 = x2, 10 = x4, 11 = x8)
4:3	R	0x0	Negotiated Speed: текущая скорость работы (00 = 2.5G, 01 = 5G)
5	R	0x1	Link Training Direction: показывает, что линк завершил обучение как: 0 – хост-контроллер; 1 – физическая функция.
6	R	0x0	Phy Error Reporting: режим отслеживания ошибок Phy 0 – совпадение ошибки от Phy с приемом DLLP или TLP; 1 – все ошибки от Phy.
7	R	0x0	Tx Swing Setting: управляет размахом выходного сигнала: 0 – стандартное значение; 1 – пониженное значение для экономии питания в мобильных приложениях.
15:8	R/W	0x0	Received FTS Count for 2.5 GT/s speed: количество быстрых обучающих последовательностей (FTS), которые контроллер должен послать при выходе из L0s состояния.
23:16	R/W	0x0	Received Link ID: ID, полученный от ответного устройства в процессе обучения линка.
29:24	R/W	0x0	LTSSM State: текущее состояние автомата обучения линка.
30	R	0x0	Remote Linkwidth Upconfigure Capability Status: показывает, что в ходе обучения противоположное устройство установило бит Link Upconfigure.
31	R	0x0	Master Loopback Enable: в режиме хост-контроллера включает проверку loopback. Не используется в режиме функции.

										Лист
										426
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр конфигурации физического уровня 1 (PCIe_LocMgmt_i_pl_config_1_reg)

Описание полей регистра PCIe_LocMgmt_i_pl_config_1_reg приведено в таблице 5.115.

Таблица 5.115 - Описание полей регистра PCIe_LocMgmt_i_pl_config_1_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x0	Transmitted Link ID: ID, посылаемое устройством при обучении в режиме хост-контроллера.
15:8	R/W	0x80	Transmitted FTS Count at 2.5 GT/s Speed: количество FTS, посылаемое в ходе обучения и требуемое этому контроллеру для синхронизации после выхода из L0s состояния.
23:16	R/W	0x80	Transmitted FTS Count at 5 GT/s Speed: количество FTS, посылаемое в ходе обучения и требуемое этому контроллеру для синхронизации после выхода из L0s состояния.
31:24	R/W	0x40	Transmitted FTS Count at 8 GT/s Speed: количество FTS, посылаемое в ходе обучения и требуемое этому контроллеру для синхронизации после выхода из L0s состояния. Не должен использоваться в этой микросхеме.

Регистр конфигурации таймера уровня передачи данных по линку

(PCIe_LocMgmt_i_dll_tmr_config_reg)

Описание полей регистра PCIe_LocMgmt_i_dll_tmr_config_reg приведено в таблице 5.116.

Таблица 5.116 - Описание полей регистра PCIe_LocMgmt_i_dll_tmr_config_reg

Биты	Тип доступа	Начальное значение	Описание
8:0	R/W	0x0	Transmit-Side Replay Timeout Adjustment: дополнительная задержка к таймеру повторной отправки сообщения. [8] – знаковый бит [7:0] * 16 нс – длительность интервала
15:9	R	0x0	Reserved
24:16	R/W	0x0	Receive-Side ACK-NAK Replay Timeout Adjustment: дополнительная задержка к таймеру повторной отправки подтверждений (ACK/NAK) [8] – знаковый бит [7:0] * 16 нс – длительность интервала
31:25	R	0x0	Reserved

											Лист
											427
Изм.	Лист	№ докум.	Подп.	Дата							
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

Регистр количества принимаемых данных 0 (PCIe_LocMgmt_i_rcv_cred_lim_0_reg)

Этот регистр содержит глубины буферов приемника PCIe шины, объявляемые контроллером в ходе инициализации пакетного уровня. При изменении значений регистра необходимо провести переобучение линка, иначе изменения не вступят в силу. После сброса регистр содержит максимально возможные значения, покрывающие буфера полностью. Записывать можно только значения меньше или равные исходным. В противном случае возможна ситуация переполнения приемника, если AXI не будет успевать пропускать транзакции. Значение 0 соответствует бесконечной глубине буферов приемника.

Описание полей регистра PCIe_LocMgmt_i_rcv_cred_lim_0_reg приведено в таблице 5.117.

Таблица 5.117 - Описание полей регистра PCIe_LocMgmt_i_rcv_cred_lim_0_reg

Биты	Тип доступа	Начальное значение	Описание
11:0	R/W	0x3e0	Posted Payload Credit VC0: количество 64 битных слов данных, которые может принять контроллер (сообщений, не требующих подтверждения)
19:12	R/W	0x20	Posted Header Credit VC0: количество заголовков, которые может принять контроллер (сообщений, не требующих подтверждения)
31:20	R/W	0x20	Non-Posted Payload Credit VC0: количество 64 битных слов данных, которые может принять контроллер (сообщений, требующих подтверждения)

Регистр количества принимаемых данных 1 (PCIe_LocMgmt_i_rcv_cred_lim_1_reg)

Этот регистр содержит глубины буферов приемника PCIe шины, объявляемые контроллером в ходе инициализации пакетного уровня. При изменении значений регистра необходимо провести переобучение линка, иначе изменения не вступят в силу. После сброса регистр содержит максимально возможные значения, покрывающие буфера полностью. Записывать можно только значения меньше или равные исходным. В противном случае возможна ситуация переполнения приемника, если AXI не будет успевать пропускать транзакции. Значение 0 соответствует бесконечной глубине буферов приемника.

Описание полей регистра PCIe_LocMgmt_i_rcv_cred_lim_1_reg приведено в таблице 5.118.

										Лист
										428
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.			Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4			09.11.2020		31406-3					

Таблица 5.118 - Описание полей регистра PCIe LocMgmt i rcv cred lim 1 reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x20	Non-Posted Header Credit Limit VC0: количество заголовков, которые может принять контроллер (сообщений, требующих подтверждения)
19:8	R/W	0x0	Completion Payload Credit VC0: количество 64-битных слов данных, которые может принять контроллер (сообщений подтверждений)
23:20	R	0x0	Reserved
31:24	R/W	0x0	Completion Header Credit VC0: количество заголовков, которые может принять контроллер (сообщений подтверждений)

Регистр количества передаваемых данных 0 (PCIe_LocMgmt_i_transm_cred_lim_0_reg)

Этот регистр содержит глубины буферов приемника ответного устройства, полученные контроллером в ходе инициализации пакетного уровня.

Описание полей регистра PCIe_LocMgmt_i_transm_cred_lim_0_reg приведено в таблице 5.119.

Таблица 5.119 - Описание полей регистра PCIe LocMgmt i transm_cred_lim_0 reg

Биты	Тип доступа	Начальное значение	Описание
11:0	R	0x0	Posted Payload Credit VC0: количество 64-битных слов данных, которые может принять ответный контроллер (сообщений, не требующих подтверждения)
19:12	R	0x0	Posted Header Credit VC0: количество заголовков, которые может принять ответный контроллер (сообщений, не требующих подтверждения)
31:20	R	0x0	Non-Posted Payload Credit VC0: количество 64-битных слов данных, которые может принять ответный контроллер (сообщений, требующих подтверждения)

Регистр количества передаваемых данных 1 (PCIe_LocMgmt_i_transm_cred_lim_1_reg)

Этот регистр содержит глубины буферов приемника ответного устройства, полученные контроллером в ходе инициализации пакетного уровня.

Описание полей регистра PCIe_LocMgmt_i_transm_cred_lim_1_reg приведено в таблице 5.120.

Таблица 5.120 - Описание полей регистра PCIe LocMgmt i transm_cred_lim_1 reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	Non-Posted Header Credit Limit VC0: количество заголовков, которые может принять ответный контроллер (сообщений, требующих подтверждения)
19:8	R	0x0	Completion Payload Credit VC0: количество 64-битных слов данных, которые может принять ответный контроллер (сообщений подтверждений)
23:20	R	0x0	Reserved
31:24	R	0x0	Completion Header Credit VC0: количество заголовков, которые может принять ответный контроллер (сообщений подтверждений)

										Лист
										429
Изм.	Лист	№ докум.	Подп.	Дата						
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр конфигурации при передаче 0

(PCIe_LocMgmt_i_transm_cred_update_int_config_0_reg)

Описание полей регистра PCIe_LocMgmt_i_transm_cred_update_int_config_0_reg приведено в таблице 5.121.

Таблица 5.121 - Описание полей регистра

PCIe_LocMgmt_i_transm_cred_update_int_config_0_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	4	Minimum Posted Update Interval: минимальный период обновления информации об освобождении места в принимающем FIFO. Касается только сообщений, не требующих подтверждений. Значение периода равно [15:0]*16ns. При изменении пропускной способности будет перезаписано значение по умолчанию.
31:16	R/W	4	Minimum Non-Posted Update Interval: минимальный период обновления информации об освобождении места в принимающем FIFO. Касается только сообщений, требующих подтверждений. Значение периода равно [31:16]*16ns. При изменении пропускной способности будет перезаписано значение по умолчанию.

Регистр конфигурации при передаче 1

(PCIe_LocMgmt_i_transm_cred_update_int_config_1_reg)

Описание полей регистра PCIe_LocMgmt_i_transm_cred_update_int_config_1_reg приведено в таблице 5.122.

Таблица 5.122 - Описание полей регистра

PCIe_LocMgmt_i_transm_cred_update_int_config_1_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	4	Minimum Completion Update Interval: минимальный период обновления информации об освобождении места в принимающем FIFO. Касается только сообщений, не требующих подтверждений. Значение периода равно [15:0]*16ns.
31:16	R/W	938	Maximum Update Interval: максимальный период обновления информации об освобождении места в принимающем FIFO. Касается всех сообщений. Если место не появляется, то каждые [31:16]*16ns контроллер посылает повторное сообщение, описывающее доступный объем буфера приемника.

										Лист
										430
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020		31406-3						

*Регистр интервала времени перевода в режим пониженного потребления
(PCIe_LocMgmt_i_L0S_timeout_limit_reg)*

Описание полей регистра PCIe_LocMgmt_i_L0S_timeout_limit_reg приведено в таблице 5.123.

Таблица 5.123 - Описание полей регистра PCIe_LocMgmt_i_L0S_timeout_limit_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0177	L0S Timeout: интервал времени, необходимый контроллеру для автоматического перехода в режим пониженного потребления L0s.
31:16	R	0x0	Reserved

Регистр количества переданных транзакций (PCIe_LocMgmt_i_transmit_tlp_count_reg)

Описание полей регистра PCIe_LocMgmt_i_transmit_tlp_count_reg приведено в таблице 5.124.

Таблица 5.124 - Описание полей регистра PCIe_LocMgmt_i_transmit_tlp_count_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Transmit TLP Count: количество переданных пакетов уровня транзакций (TLP).

Регистр количества переданных двойных слов

(PCIe_LocMgmt_i_transmit_tlp_payload_dword_count_reg)

Описание полей регистра PCIe_LocMgmt_i_transmit_tlp_payload_dword_count_reg приведено в таблице 5.125.

**Таблица 5.125 - Описание полей регистра
PCIe_LocMgmt_i_transmit_tlp_payload_dword_count_reg**

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Transmit TLP Payload Byte Count: количество переданных двойных слов (64 бит) в пакетах уровня транзакций (TLP).

Регистр количества принятых транзакций (PCIe_LocMgmt_i_receive_tlp_count_reg)

Описание полей регистра PCIe_LocMgmt_i_receive_tlp_count_reg приведено в таблице 5.126.

Таблица 5.126 - Описание полей регистра PCIe_LocMgmt_i_receive_tlp_count_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Receive TLP Count: количество принятых пакетов уровня транзакций (TLP).

											Лист
											431
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

*Регистр количества принятых двойных слов
(PCIe_LocMgmt_i_receive_tlp_payload_dword_count_reg)*

Описание полей регистра PCIe_LocMgmt_i_receive_tlp_payload_dword_count_reg приведено в таблице 5.127.

**Таблица 5.127 - Описание полей регистра
PCIe_LocMgmt_i_receive_tlp_payload_dword_count_reg**

Биты	Тип доступа	Начальное значение	Описание
31:0	R/WOCLR	0x0	Receive TLP Payload Byte Count: количество принятых двойных слов (64 бит) в пакетах уровня транзакций (TLP).

*Регистр лимита времени на передачу транзакции 0
(PCIe_LocMgmt_i_compln_tmout_lim_0_reg)*

Описание полей регистра PCIe_LocMgmt_i_compln_tmout_lim_0_reg приведено в таблице 5.128.

Таблица 5.128 - Описание полей регистра PCIe_LocMgmt_i_compln_tmout_lim_0_reg

Биты	Тип доступа	Начальное значение	Описание
23:0	R/W	12_500_000	Completion Timeout Limit: если за время [23:0]*4ns не будет получено подтверждение (completion), контроллер пошлет сообщение повторно. По умолчанию это 50 мс.
31:24	R	0x0	Reserved

*Регистр лимита времени на передачу транзакции 1
(PCIe_LocMgmt_i_compln_tmout_lim_1_reg)*

Описание полей регистра PCIe_LocMgmt_i_compln_tmout_lim_1_reg приведено в таблице 5.129.

Таблица 5.129 - Описание полей регистра PCIe_LocMgmt_i_compln_tmout_lim_1_reg

Биты	Тип доступа	Начальное значение	Описание
27:0	R/W	50_000_000	Completion Timeout Limit: если в за время [23:0]*4ns не будет получено подтверждение (completion), контроллер пошлет сообщение повторно. По умолчанию это 200 мс.
31:28	R	0x0	Reserved

*Регистр задержки времени до повторного входа в L1 состояние
(PCIe_LocMgmt_i_L1_st_reentry_delay_reg)*

Описание полей регистра PCIe_LocMgmt_i_L1_st_reentry_delay_reg приведено в таблице 5.130.

Таблица 5.130 - Описание полей регистра PCIe_LocMgmt_i_L1_st_reentry_delay_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	L1 Re-Entry Delay: Задержка до повторного входа в L1 состояние равна [31:0]*16ns

										Лист
										432
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр идентификации изготовителя и устройства (PCIe_LocMgmt_i_vendor_id_reg)

Описание полей регистра PCIe_LocMgmt_i_vendor_id_reg приведено в таблице 5.131.

Таблица 5.131 - Описание полей регистра PCIe_LocMgmt_i_vendor_id_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x17cd	Vendor ID: ID разработчика микросхемы.
31:16	R/W	0x17cd	Subsystem Vendor ID: ID разработчика подсистемы.

Регистр задержки времени до входа в L1 состояние

(PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg)

Описание полей регистра PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg приведено в таблице 5.132.

Таблица 5.132 - Описание полей регистра PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg

Биты	Тип доступа	Начальное значение	Описание
19:0	R/W	750	L1 Timeout: задержка до входа в L1 состояние равна [19:0]*16ns. Установка параметра в 0 запрещает переход в L1 состояние.
30:20	R	0x0	Reserved
31	R/W	0x0	Disable Check for Link RX IDLE: 0 – отсчет времени для перехода в L1 ведется при отсутствии активности на приемной и передающей линиях; 1 – отсчет времени для перехода в L1 ведется при отсутствии активности только на приемной линии.

Регистр задержки времени от приема контроллером сообщения входа в режим пониженного потребления до отправки подтверждения (PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg)

Описание полей регистра PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg приведено в таблице 5.133.

Таблица 5.133 - Описание полей регистра PCIe_LocMgmt_i_pme_turnoff_ack_delay_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x64	PME Turnoff Ack Delay: задержка в микросекундах от приема контроллером сообщения входа в режим пониженного потребления (PME_Turn_Off message) до отправки подтверждения (PME_TO_Ack). Установка параметра в 0 запрещает подтверждения таких сообщений.
31:16	R	0x0	Reserved

										Лист
										433
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

Регистр управления шириной линка (PCIe_LocMgmt_i_linkwidth_control_reg)

Описание полей регистра PCIe_LocMgmt_i_linkwidth_control_reg приведено в таблице 5.134.

Таблица 5.134 - Описание полей регистра PCIe_LocMgmt_i_linkwidth_control_reg

Биты	Тип доступа	Начальное значение	Описание
3:0	R/W	b1111	Target Lane Map: карта линий (lane), которые будут включены в интерфейс (link) в ходе переобучения: b0001 – переобучение к линку шириной 1; b0011 – переобучение к линку шириной 2; b1111 – переобучение к линку шириной 4.
15:4	R	0x0	Reserved
16	R/W	0x0	Link Upconfigure Retrain Link: установка 1 запускает переобучение интерфейса в режиме изменения ширины. Аппаратно сбрасывается по окончании процесса.
23:17	R	0x0	Reserved
25:24	R/W	0x0	EP Target Link Speed: содержит значение частоты передачи, на которую должно перейти EP устройство. Этот параметр не должен быть больше параметра Target Link Speed регистра Link Control And Status Register 2. Также он не должен быть больше параметра TODO: b00 – GEN1 – 2.5 ГГц; b01 – GEN2 – 5.0 ГГц.
30:26	R	0x0	Reserved
31	R/W	0x0	EP Link Speed Change Retrain Link: установка 1 запускает переобучение интерфейса в режиме изменения частоты. Аппаратно сбрасывается по окончании процесса.

Регистр разрешения режима SRIS (PCIe_LocMgmt_i_sris_control_reg)

Описание полей регистра PCIe_LocMgmt_i_sris_control_reg приведено в таблице 5.135.

Таблица 5.135 - Описание полей регистра PCIe_LocMgmt_i_sris_control_reg

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	SRIS Enable: разрешение режима SRIS для Phy. Не поддерживается в этой микросхеме.
31:1	R	0x0	Reserved

Теневой регистр заголовка пакета 0 (PCIe_LocMgmt_i_shdw_hdr_log_0_reg)

Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_0_reg приведено в таблице 5.136.

Таблица 5.136 – Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_0_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 0: содержит [31:0] биты заголовка TLP сообщения, полученного с ошибкой. Не требует установки, если уже есть в AER регистрах.

										Лист
										434
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Теневого регистра заголовка пакета 1 (PCIe_LocMgmt_i_shdw_hdr_log_1_reg)

Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_1_reg приведено в таблице 5.137.

Таблица 5.137 – Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_1_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 0: содержит [31:0] биты заголовка TLP сообщения, полученного с ошибкой. Не требует установки, если уже есть в AER регистрах.

Теневого регистра заголовка пакета 2 (PCIe_LocMgmt_i_shdw_hdr_log_2_reg)

Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_2_reg приведено в таблице 5.138.

Таблица 5.138 – Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_2_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 2: содержит [31:0] биты заголовка TLP сообщения, полученного с ошибкой. Не требует установки, если уже есть в AER регистрах.

Теневого регистра заголовка пакета 3 (PCIe_LocMgmt_i_shdw_hdr_log_3_reg)

Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_3_reg приведено в таблице 5.139.

Таблица 5.139 – Описание полей регистра PCIe_LocMgmt_i_shdw_hdr_log_3_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Shadow header log 3: содержит [31:0] биты заголовка TLP сообщения, полученного с ошибкой. Не требует установки, если уже есть в AER регистрах.

Теневого регистра номера функции TODO (PCIe_LocMgmt_i_shdw_func_num_reg)

Описание полей регистра PCIe_LocMgmt_i_shdw_func_num_reg приведено в таблице 5.140.

Таблица 5.140 – Описание полей регистра PCIe_LocMgmt_i_shdw_func_num_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/W	0x0	Shadow register target function number: содержит номер функции.
31:8	R	0x0	Reserved

										Лист
										435
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Теневого регистра ошибки функции TODO (PCIe_LocMgmt_i_shdw_ur_err_reg)

Описание полей регистра PCIe_LocMgmt_i_shdw_ur_err_reg приведено в таблице 5.141.

Таблица 5.141 – Описание полей регистра PCIe_LocMgmt_i_shdw_ur_err_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	Shadow Register UR Error: содержит номер ошибки функции.
31:8	R	0x0	Reserved

Регистр количества принятых сообщений 1 (PCIe_LocMgmt_i_debug_dllp_count_gen1_reg)

Описание полей регистра PCIe_LocMgmt_i_debug_dllp_count_gen1_reg приведено в таблице 5.142.

Таблица 5.142 - Описание полей регистра PCIe_LocMgmt_i_debug_dllp_count_gen1_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	GEN1 DLLP Count: содержит количество сообщений пакетного уровня (DLLP), полученных при работе на частоте 2,5 ГГц.

Регистр количества принятых сообщений 2 (PCIe_LocMgmt_i_debug_dllp_count_gen2_reg)

Описание полей регистра PCIe_LocMgmt_i_debug_dllp_count_gen2_reg приведено в таблице 5.143.

Таблица 5.143 - Описание полей регистра PCIe_LocMgmt_i_debug_dllp_count_gen2_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	GEN2 DLLP Count: содержит количество сообщений пакетного уровня (DLLP), полученных при работе на частоте 5 ГГц.

Регистр количества принятых сообщений 3 (PCIe_LocMgmt_i_debug_dllp_count_gen3_reg)

Описание полей регистра PCIe_LocMgmt_i_debug_dllp_count_gen3_reg приведено в таблице 5.144.

Таблица 5.144 - Описание полей регистра PCIe_LocMgmt_i_debug_dllp_count_gen3_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R	0x0	GEN3 DLLP Count: содержит количество сообщений пакетного уровня (DLLP), полученных при работе на частоте 8 ГГц. Не должен использоваться в этой микросхеме.

										Лист
										436
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр индикации работающих линий (PCIe_LocMgmt_i_negotiated_lane_map_reg)

Описание полей регистра PCIe_LocMgmt_i_negotiated_lane_map_reg приведено в таблице 5.145.

Таблица 5.145 - Описание полей регистра PCIe_LocMgmt_i_negotiated_lane_map_reg

Биты	Тип доступа	Начальное значение	Описание
3:0	R	0x0	Negotiated Lane Map: по окончании обучения установленные биты соответствуют работающим линиям. Справедливо только в режимах L0 и L0s.
15:4	R	0x0	Reserved
16	R	0x0	Lane Reversal Status: аппаратно устанавливается, если при обучении была инвертирована последовательность линий.
31:17	R	0x0	Reserved

Регистр количества последовательностей ускоренного обучения

(PCIe_LocMgmt_i_receive_fts_count_reg)

Описание полей регистра PCIe_LocMgmt_i_receive_fts_count_reg приведено в таблице 5.146.

Таблица 5.146 - Описание полей регистра PCIe_LocMgmt_i_receive_fts_count_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	Received FTS Count for 5GT/s Speed: количество последовательностей ускоренного обучения (FTS), которые должны быть посланы этим контроллером при выходе из L0s состояния при работе на частоте 5 ГГц.
31:8	R	0x0	Reserved

Регистр управления отладкой работы интерфейса

(PCIe_LocMgmt_i_debug_mux_control_reg)

Описание полей регистра PCIe_LocMgmt_i_debug_mux_control_reg приведено в таблице 5.147.

Таблица 5.147 - Описание полей регистра PCIe_LocMgmt_i_debug_mux_control_reg

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0x0	Этот регистр используется для отладки работы интерфейса.

										Лист
										437
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Регистр ошибок и состояния (PCIe_LocMgmt_i_local_error_status_register)

Описание полей регистра PCIe_LocMgmt_i_local_error_status_register приведено в таблице 5.148.

Таблица 5.148 - Описание полей регистра PCIe_LocMgmt_i_local_error_status_register

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0x0	PNP RX FIFO Parity Error: ошибка четности при чтении из PNP FIFO RAM
1	R/WOCLR	0x0	Completion RX FIFO Parity: ошибка четности при чтении из Completion FIFO RAM
2	R/WOCLR	0x0	Replay RAM Parity Error: ошибка четности при чтении из Replay Buffer RAM
3	R/WOCLR	0x0	PNP RX FIFO Overflow: переполнение PNP FIFO RAM
4	R/WOCLR	0x0	Completion RX FIFO Overflow: переполнение Completion FIFO RAM
5	R/WOCLR	0x0	Replay Timeout: достижение таймером повтора максимального значения.
6	R/WOCLR	0x0	Replay Timer Rollover: четыре подряд Replay Timeout с одним и тем же пакетом.
7	R/WOCLR	0x0	Phy Error: ошибка в приемнике на физическом уровне.
8	R/WOCLR	0x0	Malformed TLP Received: прием поврежденного пакета уровня транзакций.
9	R/WOCLR	0x0	Unexpected Completion Received: получение неожиданного подтверждения.
10	R/WOCLR	0x0	Flow Control Error: ошибка управления потоком.
11	R/WOCLR	0x0	Completion Timeout: отсутствие подтверждения (completion) в течение требуемого времени.
12	R	0x0	Reserved
16:13	R	0x0	Reserved
17	R	0x0	Reserved
18	R/WOCLR	0x0	Unmapped TC: неправильные класс трафика.
19	R/WOCLR	0x0	MSI Mask Value Change: устанавливается при изменении маски MSI прерываний.
20	R	0x0	Reserved
21	R/WOCLR	0x0	Hardware Autonomous Width Change Disable Toggle: устанавливается при изменении Hardware Autonomous Width Change бита
27:22	R	0x0	Reserved
28	R/WOCLR	0x0	axi master deinterleave buffer ram ecc uncorrectable error: ошибка четности при чтении из AXI Interleaving RAM.
30:29	R	0x0	Reserved
31	R/WOCLR	0x0	AXI slave reorder RAM ECC uncorrectable error: ошибка четности при чтении из AXI Slave Read Reorder RAM.

					ЮФКВ.431282.020РЭ	Лист 438
Изм.	Лист	№ докум.	Подп.	Дата		
31406-4				09.11.2020	Взам.инв.№ 31406-3	Инв.№дубл. Подп. и дата

Регистр масок прерываний (PCIe_LocMgmt_i_local_intrpt_mask_reg)

Описание полей регистра PCIe_LocMgmt_i_local_intrpt_mask_reg приведено в таблице 5.149.

Таблица 5.149 - Описание полей регистра PCIe_LocMgmt_i_local_intrpt_mask_reg

Биты	Тип доступа	Начальное значение	Описание
0	R/W	1	PNP RX FIFO Parity Error: маска соответствующего прерывания.
1	R/W	1	Completion RX FIFO Parity Error: маска соответствующего прерывания.
2	R/W	1	Replay RAM Parity Error: маска соответствующего прерывания.
3	R/W	1	PNP RX FIFO Overflow: маска соответствующего прерывания.
4	R/W	1	Completion RX FIFO Overflow: маска соответствующего прерывания.
5	R/W	1	Replay Timeout: маска соответствующего прерывания.
6	R/W	1	Replay Timer Rollover: маска соответствующего прерывания.
7	R/W	1	Phy Error: маска соответствующего прерывания.
8	R/W	1	Malformed TLP Received: маска соответствующего прерывания.
9	R/W	1	Unexpected Completion Received: маска соответствующего прерывания.
10	R/W	1	Flow Control Error: маска соответствующего прерывания.
11	R/W	1	Completion Timeout: маска соответствующего прерывания.
12	R	0	Reserved
16:13	R	0x0	Reserved
17	R	0x0	Reserved
18	R/W	0x1	Unmapped TC: маска соответствующего прерывания.
19	R/W	0x1	MSI Mask Value Change: маска соответствующего прерывания.
20	R	0	Reserved
21	R/W	1	Hardware Autonomous Width Change Disable Toggle: маска соответствующего прерывания.
25:22	R	0x0	Reserved
26	R/W	0x0	DMA outbound buffer uncorrectable error mask: маска ошибки четности при чтении из выходного буфера ПДП контроллера.
27	R/W	0x0	DMA inbound buffer uncorrectable error mask: маска ошибки четности при чтении из входного буфера ПДП контроллера.
28	R/W	0x0	axi master deinterleave buffer ram ecc uncorrectable error mask: маска соответствующего прерывания.
30:29	R	0x0	Reserved
31	R/W	0x0	axi slave reorder ram ecc uncorrectable error mask: маска соответствующего прерывания.

Регистр количества транзакций с LCRC ошибкой (PCIe_LocMgmt_i_lcrc_err_count_reg)

Описание полей регистра PCIe_LocMgmt_i_lcrc_err_count_reg приведено в таблице 5.150.

Таблица 5.150 - Описание полей регистра PCIe_LocMgmt_i_lcrc_err_count_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/WOCLR	0x0	LCRC Error Count: количество пакетов уровня транзакций (TLP), полученных с LCRC ошибкой
31:16	R	0x0	Reserved

										Лист
										439
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр количества исправляемых ошибок (PCIe_LocMgmt_i_ecc_corr_err_count_reg)

Описание полей регистра PCIe_LocMgmt_i_ecc_corr_err_count_reg приведено в таблице 5.151.

Таблица 5.151 - Описание полей регистра PCIe_LocMgmt_i_ecc_corr_err_count_reg

Биты	Тип доступа	Начальное значение	Описание
7:0	R/WOCLR	0x0	PNP FIFO RAM Correctable Error Count: количество исправимых ошибок, обнаруженных при чтении из PNP FIFO RAM. Является счетчиком с насыщением, сбрасывается записью 1 во все биты.
15:8	R/WOCLR	0x0	SC FIFO RAM Correctable Error Count: количество исправимых ошибок, обнаруженных при чтении из SC FIFO RAM Correctable Error Count. Является счетчиком с насыщением, сбрасывается записью 1 во все биты.
23:16	R/WOCLR	0x0	Replay RAM Correctable Error Count: количество исправимых ошибок, обнаруженных при чтении из Replay RAM. Является счетчиком с насыщением, сбрасывается записью 1 во все биты.
31:24	R/WOCLR	0x0	TPH ST RAM Correctable Error Count: параметр не поддерживается в этой микросхеме.

Регистр задержки повторного послания сообщений изменения режима питания (PCIe_LocMgmt_i_pme_service_timeout_delay_reg)

Описание полей регистра PCIe_LocMgmt_i_pme_service_timeout_delay_reg приведено в таблице 5.152.

Таблица 5.152 - Описание полей регистра PCIe_LocMgmt_i_pme_service_timeout_delay_reg

Биты	Тип доступа	Начальное значение	Описание
19:0	R/W	0x186A0	PME Service Timeout Delay: задержка повторного послания сообщений PM_PME. Значение задержки равно $([19:0] + 1) * 1\text{мкс}$. Эти сообщения относятся к управлению питанием
20	R/W	0x0	Disable PME message on PM Status: установка этого бита запрещает автоматическое послание сообщений изменения режима питания (PME)
31:21	R	0x0	Reserved

Регистр идентификации транзакций (PCIe_LocMgmt_i_root_port_requestor_id_reg)

Описание полей регистра PCIe_LocMgmt_i_root_port_requestor_id_reg приведено в таблице 5.153.

Таблица 5.153 - Описание полей регистра PCIe_LocMgmt_i_root_port_requestor_id_reg

Биты	Тип доступа	Начальное значение	Описание
15:0	R/W	0x0	Root Port Requestor ID: номер шины, устройства и функции (RID) присваиваемые хост-контроллером всем пакетам уровня транзакций (TLP)
31:16	R	0x0	Reserved

										Лист
										440
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр идентификации устройства и шины (PCIe_LocMgmt_i_ep_bus_device_number_reg)

Описание полей регистра PCIe_LocMgmt_i_ep_bus_device_number_reg приведено в таблице 5.154.

Таблица 5.154 - Описание полей регистра PCIe_LocMgmt_i_ep_bus_device_number_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R	0x0	Device Number: номер устройства, полученный в режиме EP
7:5	R	0x0	Reserved
15:8	R	0x0	Bus Number: номер шины, полученный в режиме EP
31:16	R	0x0	Reserved

Регистр управления отладкой работы интерфейса 2

(PCIe_LocMgmt_i_debug_mux_control_2_reg)

Описание полей регистра PCIe_LocMgmt_i_debug_mux_control_2_reg приведено в таблице 5.155.

Таблица 5.155 - Описание полей регистра PCIe_LocMgmt_i_debug_mux_control_2_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	0x0	Reserved
1	R	0x0	Reserved
2	R	0x0	Reserved
3	R/W	0x0	Enable Link Lane Number Check for Loopback and Link Disable: обычно (согласно спецификации PCIe), если устройство во время обучения получает две последовательных TS1 последовательности с установленными битами loopback или disable, то оно переходит в соответствующий режим (независимо от источника TS1). Установка этого параметра включает проверку источника TS1 сообщения, что предотвратит такую ситуацию. Рекомендуемое значение параметра – 0.
4	R	0x0	Reserved
7:5	R	0x0	Reserved
8	R	0x0	Reserved
9	R	0x0	Reserved
31:10	R	0x0	Reserved

									Лист
									441
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр физического базового адреса 0 (PCIe_LocMgmt_i_pf_0_BAR_config_0_reg)

Описание полей регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg приведено в таблице 5.156.

Таблица 5.156 - Описание полей регистра PCIe_LocMgmt_i_pf_0_BAR_config_0_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R/W	b01011	BAR 0 Aperture: определяет размер региона №0 в режиме EP Для 32-битной адресации: 00000 = 128 В; 00001 = 256 В; 00010 = 512 В; 00011 = 1 КВ; 00100 = 2 КВ; 00101 = 4 КВ; 00110 = 8 КВ; 00111 = 16 КВ; 01000 = 32 КВ; 01001 = 64 КВ; 01010 = 128 КВ; 01011 = 256 КВ; 01100 = 512 КВ; 01101 = 1 МВ; 01110 = 2 МВ; 01111 = 4 МВ; 10000 = 8 МВ; 10001 = 16 МВ; 10010 = 32 МВ; 10011 = 64 МВ; 10100 = 128 МВ; 10101 = 256 МВ; 10110 = 512 МВ; 10111 = 1 GB; 11000 = 2 GB. Для 64-битной адресации также разрешены значения: 11001 = 4 GB; 11010 = 8 GB; 11011 = 16 GB; 11100 = 32 GB; 11101 = 64 GB; 11110 = 128 GB; 11111 = 256 GB; остальные значения зарезервированы.
7:5	R/W	4	BAR 0 Control: тип доступа к региону № 0: 000 – отсутствие доступа к региону; 001 – доступ типа IO; 100 – доступ типа Memory 32 non prefetchable; 101 – доступ типа Memory 32 prefetchable; 110 – доступ типа Memory 64 non prefetchable; 111 – доступ типа Memory 64 prefetchable; остальные значения зарезервированы.
12:8	R/W	0xd	BAR 1 Aperture: аналогичный параметр для региона №1
15:13	R/W	4	BAR 1 Control: аналогичный параметр для региона №1
20:16	R/W	5	BAR 2 Aperture: аналогичный параметр для региона №2
23:21	R/W	0	BAR 2 Control: аналогичный параметр для региона №2
28:24	R/W	5	BAR 3 Aperture: аналогичный параметр для региона №3
31:29	R/W	0	BAR 3 Control: аналогичный параметр для региона №3

					Лист
					442
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр физического базового адреса 1 (PCIe_LocMgmt_i_pf_0_BAR_config_1_reg)

Описание полей регистра PCIe_LocMgmt_i_pf_0_BAR_config_1_reg приведено в таблице 5.157.

Таблица 5.157 - Описание полей регистра PCIe_LocMgmt_i_pf_0_BAR_config_1_reg

Биты	Тип доступа	Начальное значение	Описание
4:0	R/W	5	BAR 4 Aperture: аналогичный параметр для региона №4.
7:5	R/W	0	BAR 4 Control: аналогичный параметр для региона №4.
12:8	R/W	5	BAR 5 Aperture: аналогичный параметр для региона №5.
15:13	R/W	0	BAR 5 Control: аналогичный параметр для региона №5.
31:16	R	0x0	Reserved

Регистр конфигурации функции (PCIe_LocMgmt_i_pf_config_reg)

Описание полей регистра PCIe_LocMgmt_i_pf_config_reg приведено в таблице 5.158.

Таблица 5.158 - Описание полей регистра PCIe_LocMgmt_i_pf_config_reg

Биты	Тип доступа	Начальное значение	Описание
0	R	0x01	Function 0 Enable: включение функции №0. Всегда равно 1.
31:1	R	0x0	Reserved

									Лист
									443
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр конфигурации базовых адресов (PCIe_LocMgmt_i_rc_BAR_config_reg)

Описание полей регистра PCIe_LocMgmt_i_rc_BAR_config_reg приведено в таблице 5.159.

Таблица 5.159 - Описание полей регистра PCIe_LocMgmt_i_rc_BAR_config_reg

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0x14	RC BAR 0 Aperture: определяет размер региона №0 в режиме хост-контроллера (RP): 0000 = 4B, 00001 = 8B, ..., 01_1111 = 8G, ..., 10_0100 = 256G остальные значения зарезервированы.
8:6	R/W	0x4	RC BAR 0 control: тип доступа к региону №0 в режиме хост-контроллера: 000 – отсутствие доступа к региону; 001 – доступ типа IO; 100 – доступ типа Memory non prefetchable; 101 – доступ типа Memory prefetchable; остальные значения зарезервированы.
13:9	R/W	0x14	RC BAR 1 Aperture: аналогичный параметр для региона №1
16:14	R/W	0x0	RC BAR 1 control: аналогичный параметр для региона №1
17	R/W	0x0	Type1 cfg prefetchable mem bar enable: разрешение доступа типа Memory prefetchable в стандартном конфигурационном пространстве типа 1 (type1 config space).
18	R/W	0x0	Type1 cfg prefetchable mem bar size: ширина адреса для доступа типа Memory prefetchable в стандартном конфигурационном пространстве типа 1: 0 – 32 бита; 1 – зарезервировано.
19	R/W	0x0	Type1 cfg IO bar enable: разрешение доступа типа IO в стандартном конфигурационном пространстве типа 1.
20	R/W	0x0	Type1 cfg IO bar size: ширина адреса для доступа типа IO в стандартном конфигурационном пространстве типа 1: 0 – 32 бита; 1 – зарезервировано.
30:21	R	0x0	Reserved
31	R/W	0x0	RC BAR Check Enable: 1 – включение проверки адресов принимаемых сообщений на соответствие границам регионов; 0 – настройки BAR игнорируются, все сообщения пропускаются.

Регистр количества исправляемых ошибок для вспомогательных памятей на AXI шине (PCIe_LocMgmt_i_ecc_corr_err_count_reg_axi)

Описание полей регистра PCIe_LocMgmt_i_ecc_corr_err_count_reg_axi приведено в таблице 5.160.

Таблица 5.160 - Описание полей регистра PCIe_LocMgmt_i_ecc_corr_err_count_reg_axi

Биты	Тип доступа	Начальное значение	Описание
7:0	R/WOCLR	0x0	AXI slave reorder RAM ECC correctable error count: количество исправимых ошибок при чтении из AXI Slave Read Reorder RAM. Запись 0xFF сбросит счетчик к начальному значению.
23:8	R	0x0	Reserved
31:24	R/WOCLR	0x0	AXI master deinterleave buffer RAM ECC Correctable Error Count: количество исправимых ошибок при чтении из AXI Interleaving SRAM. Запись 0xFF сбросит счетчик к начальному значению.

					Лист
					444
Изм.	Лист	№ докум.	Подп.	Дата	
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

*Регистр 0 управления отладкой перехода в режим L1
(PCIe_LocMgmt_low_power_debug_and_control0)*

Описание полей регистра PCIe_LocMgmt_low_power_debug_and_control0 приведено в таблице 5.161.

Таблица 5.161 - Описание полей регистра PCIe_LocMgmt_low_power_debug_and_control0

Биты	Тип доступа	Начальное значение	Описание
23:0	R	0	Reserved
24	R/W	0x0	Do Not block Request interface: 0 – нормальная работа; 1 – контроллер не блокирует TLP в процессе входа в L1 состояние. Этот параметр используется только для отладки.
26:25	R	0x0	L1 entry mode: показывает каким образом контроллер в последний раз вошел в L1 состояние: [0] – автоматически (ASPM); [1] – программно (PM). Этот параметр используется только для отладки.
27	R/W	0x0	Disable L1 exit upon Pending Tlps: запрещает автоматический выход из L1 состояния при получении TLP. Этот параметр используется только для отладки.
31:28	R	0	Reserved

*Регистр 1 управления отладкой перехода из режима L1
(PCIe_LocMgmt_low_power_debug_and_control1)*

Описание полей регистра PCIe_LocMgmt_low_power_debug_and_control1 приведено в таблице 5.162.

Таблица 5.162 - Описание полей регистра PCIe_LocMgmt_low_power_debug_and_control1

Биты	Тип доступа	Начальное значение	Описание
7:0	R	0x0	L1 or L1.x Exit Trigger conditions: показывает событие, вызвавшее выход из L1 (и его подтипов) состояния: [0] – установка сигнала CLIENT_REQ_EXIT_L1 (доступен из системного контроллера CSC в этой микросхеме); [1] – обнаружен дифференциальный сигнал на входной линии; [2] – получено новое сообщение уровня транзакций (TLP); [3] – внутренний запрос на послание сообщения уровня транзакций; [4] – транзакции от встроенного ПДП контроллера или ранее заблокированные транзакции; [5] – установка сигнала #CLKREQ; [6] – установка сигнала CLIENT_REQ_EXIT_L1_SUBSTATE; [7] – обращение к регистрам. События 5, 6, 7 только для подтипов состояния L1 Этот параметр используется только для отладки.
31:8	R	0	Reserved

										Лист
										445
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

*Регистр внутреннего управления уровнем транзакций
(PCIe_LocMgmt_tl_internal_control)*

Описание полей регистра PCIe_LocMgmt_tl_internal_control приведено в таблице 5.163.

Таблица 5.163 - Описание полей регистра PCIe_LocMgmt_tl_internal_control

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0x0	Enable CRS under FLR: разрешает принятие внешних конфигурационных сообщений при высокоуровневом сбросе (FLR – function level reset).
31:1	R	0	Reserved

										Лист
										446
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.12.2.4 Регистры управления AXI-портом

Регистр трансляции адреса 0 региона 0 (PCIe_AXI_outregion_0_addr_translation_0)

Этот регистр содержит параметры трансляции адресов AXI slave шины. Подробное описание трансляции адресов описано в п. 5.12.8.

Описание полей регистра PCIe_AXI_outregion_0_addr_translation_0 приведено в таблице 5.164.

Таблица 5.164 - Описание полей регистра PCIe_AXI_outregion_0_addr_translation_0

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции
7:6	R	0	Reserved
31:8	R/W	0	Address bits [31:8]: эти биты заменяют соответствующие биты адреса AXI шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits

Регистр трансляции адреса 1 региона 0 (PCIe_AXI_outregion_0_addr_translation_1)

Этот регистр содержит параметры трансляции адресов AXI slave шины.

Описание полей регистра PCIe_AXI_outregion_0_addr_translation_1 приведено в таблице 5.165.

Таблица 5.165 - Описание полей регистра PCIe_AXI_outregion_0_addr_translation_1

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [63:32]: эти биты заменяют [63:32] биты адреса AXI шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits. (Несмотря на то, что адрес AXI шины 32-битный, адрес PCI шины может быть 64-битным).

										Лист
										447
Изм.	Лист	№ докум.	Подп.	Дата						
Инд.№подл.		Подп. и дата		Взам.инв.№	Инд.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Регистр заголовка-дескриптора 0 региона 0 (PCIe_AXI_outregion_0_header_descriptor_0)

Описание полей регистра PCIe_AXI_outregion_0_header_descriptor_0 приведено в таблице 5.166.

Таблица 5.166 - Описание полей регистра PCIe_AXI_outregion_0_header_descriptor_0

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Descriptor bits [31:0]: младшая часть дескриптора региона №0: [3:0] – тип транзакции (0010 = memory IO, 0110 = IO, остальные значения зарезервированы). [4] – отмена режима подсматривания (No Snoop). [5] – произвольный порядок сообщений (Relaxed Ordering). [6] – порядок сообщений в зависимости от ID (ID-Based Ordering). [16:7] – Reserved [19:17] – класс трафика (PCIe Traffic Class). [20] – при транзакции типа write memory IO, делает его ошибочным (устанавливает бит poisoned). [21] – добавление ECRC к сообщениям независимо от остальных настроек. [22] – Reserved [23] – разрешение использования битов [31:27] текущего регистра в качестве номера устройства и битов [7:0] следующего регистра в качестве номера шины. В противном случае используются значения, полученные в ходе обучения PCIe. Должен быть установлен в режиме RP. [26:24] – номер функции. [31:27] – номер устройства при установленном бите [23], иначе не используется.

Регистр заголовка-дескриптора 1 региона 0 (PCIe_AXI_outregion_0_header_descriptor_1)

Описание полей регистра PCIe_AXI_outregion_0_header_descriptor_1 приведено в таблице 5.167.

Таблица 5.167 - Описание полей регистра PCIe_AXI_outregion_0_header_descriptor_1

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Descriptor bits [31:0]: старшая часть дескриптора региона №0 [7:0] – номер шины при установленном бите [23] предыдущего регистра, иначе не используется. [31:8] – Reserved

										Лист
										448
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр базового адреса 0 региона 0 (PCIe_AXI_outregion_0_region_base_addr)

Описание полей регистра PCIe_AXI_outregion_0_region_base_addr приведено в таблице 5.168.

Таблица 5.168 - Описание полей регистра PCIe_AXI_outregion_0_region_base_addr

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0	Lower Mask bits for SOC address: ([5:0] + 1) битов адреса, начиная с нулевого, не будут участвовать в выборе региона
7:6	R/W	0	Reserved
31:8	R/W	0	Address bits [31:8]: биты этого параметра сравниваются с адресом, полученным по AXI шине. При равенстве выбирается регион №0.

Регистры набора региона x (AXI Outbound Region x Register Sets)

Контроллер PCIe поддерживает 32 внешних региона. Для каждого из них есть пять регистров, аналогичных описанным выше для 0-го региона (x = 0, 1, ..., 31):

PCIe_AXI_outregion_x_addr_translation_0,
PCIe_AXI_outregion_x_addr_translation_1,
PCIe_AXI_outregion_x_header_descriptor_0,
PCIe_AXI_outregion_x_header_descriptor_1,
PCIe_AXI_outregion_x_region_base_addr.

Регистр трансляции базового адреса 0 (PCIe_AXI_inregion_rc_bar_0_addr_translation)

Описание полей регистра PCIe_AXI_inregion_rc_bar_0_addr_translation приведено в таблице 5.169.

Таблица 5.169 - Описание полей регистра PCIe_AXI_inregion_rc_bar_0_addr_translation

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции.
7:6	R	0	Reserved
31:8	R/W	0	Address bits [31:8]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits.

										Лист
										449
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

Регистр трансляции базового адреса 1 (PCIe_AXI_inregion_rc_bar_1_addr_translation)

Описание полей регистра PCIe_AXI_inregion_rc_bar_1_addr_translation приведено в таблице 5.170.

Таблица 5.170 - Описание полей регистра PCIe_AXI_inregion_rc_bar_1_addr_translation

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции.
7:6	R	0	Reserved
31:8	R/W	0	Address bits [31:8]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits.

Регистр трансляции базового адреса 2 (PCIe_AXI_inregion_rc_bar_2_addr_translation)

Описание полей регистра PCIe_AXI_inregion_rc_bar_2_addr_translation приведено в таблице 5.171.

Таблица 5.171 - Описание полей регистра PCIe_AXI_inregion_rc_bar_2_addr_translation

Биты	Тип доступа	Начальное значение	Описание
5:0	R/W	0	Number_bits: ([5:0] + 1) бит адреса, начиная с нулевого, не будут изменены в ходе трансляции.
7:6	R	0	Reserved
31:8	R/W	0	Address bits [31:8]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, не попадающие в интервал, определяемый параметром Number_bits.

Регистр индикации программного сброса интерфейса (PCIe_AXI_10)

Описание полей регистра PCIe_AXI_10 приведено в таблице 5.172.

Таблица 5.172 - Описание полей регистра PCIe_AXI_10

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0	Link down indication bit: этот бит устанавливается автоматически при программном сбросе интерфейса (link down reset). Потом необходимо записать 0 для работы.
31:1	R	0	Reserved

Регистр 0 трансляции базового адреса 0 (PCIe_AXI_inregion_ep_bar_0_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_0_addr_translation приведено в таблице 5.173.

Таблица 5.173 - Описание полей регистра PCIe_AXI_inregion_ep_bar_0_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

										Лист
										450
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
31406-4		09.11.2020		31406-3						

Регистр 0 трансляции базового адреса 1 (PCIe_AXI_inregion_ep_bar_1_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_1_addr_translation приведено в таблице 5.174.

Таблица 5.174 - Описание полей регистра PCIe_AXI_inregion_ep_bar_1_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

Регистр 0 трансляции базового адреса 2 (PCIe_AXI_inregion_ep_bar_2_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_2_addr_translation приведено в таблице 5.175.

Таблица 5.175 - Описание полей регистра PCIe_AXI_inregion_ep_bar_2_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

Регистр 0 трансляции базового адреса 3 (PCIe_AXI_inregion_ep_bar_3_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_3_addr_translation приведено в таблице 5.176.

Таблица 5.176 - Описание полей регистра PCIe_AXI_inregion_ep_bar_3_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

Регистр 0 трансляции базового адреса 4 (PCIe_AXI_inregion_ep_bar_4_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_4_addr_translation приведено в таблице 5.177.

Таблица 5.177 - Описание полей регистра PCIe_AXI_inregion_ep_bar_4_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

					ЮФКВ.431282.020РЭ	Лист 451
Изм.	Лист	№ докум.	Подп.	Дата		
31406-4				09.11.2020	Взам.инв.№ 31406-3	Инв.№дубл. Подп. и дата

Регистр 0 трансляции базового адреса 5 (PCIe_AXI_inregion_ep_bar_5_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_5_addr_translation приведено в таблице 5.178.

Таблица 5.178 - Описание полей регистра PCIe_AXI_inregion_ep_bar_5_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

Регистр 0 трансляции базового адреса 6 (PCIe_AXI_inregion_ep_bar_6_addr_translation)

Описание полей регистра PCIe_AXI_inregion_ep_bar_6_addr_translation приведено в таблице 5.179.

Таблица 5.179 - Описание полей регистра PCIe_AXI_inregion_ep_bar_6_addr_translation

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Address bits [31:0]: эти биты заменяют соответствующие биты адреса PCIe шины. Замена подлежат все биты, указанные в регистре 0.

										Лист
										452
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.12.2.5 Регистры управления контроллером ПДП

В этом разделе при описании программно доступных регистров поле «Тип доступа» в таблицах относится к шине APB. Все регистры локального управления недоступны для конфигурационных запросов по шине PCIe. Тем не менее, поскольку они являются частью AXI пространства, к ним можно обращаться с помощью Memory или IO запросов (как к внутренним адресам микросхемы).

Регистр управления каналом ПДП 0 (PCIe_DMA_channel_0_ctrl)

Описание полей регистра PCIe_DMA_channel_0_ctrl приведено в таблице 5.180.

Таблица 5.180 - Описание полей регистра PCIe_DMA_channel_0_ctrl

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0	Go command bit: запуск работы канала №0 контроллера ПДП
1	R/W	0	Inbound or outbound select: направление передачи данных: 0 – от PCIe шины в микросхему; 1 – от микросхемы в PCIe шину.
31:2	R	0	Reserved

Регистр младшей части дескриптора передачи каналом ПДП 0 (PCIe_DMA_channel_0_sp_l)

Описание полей регистра PCIe_DMA_channel_0_sp_l приведено в таблице 5.181.

Таблица 5.181 - Описание полей регистра PCIe_DMA_channel_0_sp_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Start pointer Lower DWORD: младшие 32 бита адреса первого дескриптора передачи.

Регистр старшей части дескриптора передачи каналом ПДП 0 (PCIe_DMA_channel_0_sp_u)

Описание полей регистра PCIe_DMA_channel_0_sp_u приведено в таблице 5.182.

Таблица 5.182 - Описание полей регистра PCIe_DMA_channel_0_sp_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Start Pointer Upper DWORD: старшие 32 бита адреса первого дескриптора передачи. Не используются в этой микросхеме.

									Лист
									453
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4		09.11.2020		31406-3					

*Регистр младшей части дескриптора атрибутов канала ПДП 0
(PCIe_DMA_channel_0_attr_l)*

Описание полей регистра PCIe_DMA_channel_0_attr_l приведено в таблице 5.183.

Таблица 5.183 - Описание полей регистра PCIe_DMA_channel_0_attr_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Descriptor Attributes Lower DWORD: младшие 32 бита параметров шины AXI, используемые для получения дескриптора передачи. {1'b0, ar_attr[22]} – arbar [21:20] – ardomain [18:16] – arsnop [15:12] – arregion [11:8] – arqos [7] – arlock [6:3] – arcache [2:0] – arprot

*Регистр старшей части дескриптора атрибутов канала ПДП 0
(PCIe_DMA_channel_0_attr_u)*

Описание полей регистра PCIe_DMA_channel_0_attr_u приведено в таблице 5.184.

Таблица 5.184 - Описание полей регистра PCIe_DMA_channel_0_attr_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Descriptor Attributes Upper DWORD: старшие 32 бита параметров шины AXI, используемые для получения дескриптора передачи. Не используются в этой микросхеме.

Регистр управления каналом ПДП 1 (PCIe_DMA_channel_1_ctrl)

Описание полей регистра PCIe_DMA_channel_1_ctrl приведено в таблице 5.185.

Таблица 5.185 - Описание полей регистра PCIe_DMA_channel_1_ctrl

Биты	Тип доступа	Начальное значение	Описание
0	R/W	0	Go command bit: запуск работы канала №1 контроллера ПДП
1	R/W	0	Inbound or outbound select: направление передачи данных: 0 – от PCIe шины в микросхему; 1 – от микросхемы в PCIe шину.
31:2	R	0	Reserved

Регистр младшей части дескриптора передачи каналом ПДП 1 (PCIe_DMA_channel_1_sp_l)

Описание полей регистра PCIe_DMA_channel_1_sp_l приведено в таблице 5.186.

Таблица 5.186 - Описание полей регистра PCIe_DMA_channel_1_sp_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Start pointer Lower DWORD: младшие 32 бита адреса первого дескриптора передачи.

										Лист
										454
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр старшей части дескриптора передачи каналом ПДП 1 (PCIe_DMA_channel_1_sp_u)

Описание полей регистра PCIe_DMA_channel_1_sp_u приведено в таблице 5.187.

Таблица 5.187 - Описание полей регистра PCIe_DMA_channel_1_sp_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Start Pointer Upper DWORD: старшие 32 бита адреса первого дескриптора передачи. Не используются в этой микросхеме.

Регистр младшей части дескриптора атрибутов канала ПДП 1 (PCIe_DMA_channel_1_attr_l)

Описание полей регистра PCIe_DMA_channel_1_attr_l приведено в таблице 5.188.

Таблица 5.188 - Описание полей регистра PCIe_DMA_channel_1_attr_l

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Descriptor Attributes Lower DWORD: младшие 32 бита параметров шины AXI, используемые для получения дескриптора передачи. {1'b0, ar_attr[22]} – arbar [21:20] – ardomain [18:16] – arsnnoop [15:12] – arregion [11:8] – arqos [7] – arlock [6:3] – arcache [2:0] – arprot

Регистр старшей части дескриптора атрибутов канала ПДП 1 (PCIe_DMA_channel_1_attr_u)

Описание полей регистра PCIe_DMA_channel_1_attr_u приведено в таблице 5.189.

Таблица 5.189 - Описание полей регистра PCIe_DMA_channel_1_attr_u

Биты	Тип доступа	Начальное значение	Описание
31:0	R/W	0	Descriptor Attributes Upper DWORD: старшие 32 бита параметров шины AXI, используемые для получения дескриптора передачи. Не используются в этой микросхеме.

										Лист
										455
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр запросов на прерывания от ПДП (PCIe_DMA_common_udma_int)

Описание полей регистра PCIe_DMA_common_udma_int приведено в таблице 5.190.

Таблица 5.190 - Описание полей регистра PCIe_DMA_common_udma_int

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	0	Channel 0 Done Interrupt: окончание каналом №0 передачи, соответствующей текущему дескриптору.
1	R/WOCLR	0	Channel 1 Done Interrupt: окончание каналом №1 передачи, соответствующей текущему дескриптору.
2	R/WOCLR	0	Channel 2 Done Interrupt: не используется в этой микросхеме.
3	R/WOCLR	0	Channel 3 Done Interrupt: не используется в этой микросхеме.
4	R/WOCLR	0	Channel 4 Done Interrupt: не используется в этой микросхеме.
5	R/WOCLR	0	Channel 5 Done Interrupt: не используется в этой микросхеме.
6	R/WOCLR	0	Channel 6 Done Interrupt: не используется в этой микросхеме.
7	R/WOCLR	0	Channel 7 Done Interrupt: не используется в этой микросхеме.
8	R/WOCLR	0	Channel 0 Error Interrupt: ошибка в работе канала №0.
9	R/WOCLR	0	Channel 1 Error Interrupt: ошибка в работе канала №1.
10	R/WOCLR	0	Channel 2 Error Interrupt: не используется в этой микросхеме.
11	R/WOCLR	0	Channel 3 Error Interrupt: не используется в этой микросхеме.
12	R/WOCLR	0	Channel 4 Error Interrupt: не используется в этой микросхеме.
13	R/WOCLR	0	Channel 5 Error Interrupt: не используется в этой микросхеме.
14	R/WOCLR	0	Channel 6 Error Interrupt: не используется в этой микросхеме.
15	R/WOCLR	0	Channel 7 Error Interrupt: не используется в этой микросхеме.
31:16	R	0	Reserved

										Лист
										456
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр разрешения прерываний от ПДП (PCIe_DMA_common_udma_int_ena)

Описание полей регистра PCIe_DMA_common_udma_int_ena приведено в таблице 5.191.

Таблица 5.191 - Описание полей регистра PCIe_DMA_common_udma_int_ena

Биты	Тип доступа	Начальное значение	Описание
0	R/WOCLR	1	Channel 0 Done Enable Interrupt: запись этого бита разрешает прерывание по окончании передачи канала №0.
1	R/WOCLR	1	Channel 1 Done Enable Interrupt: запись этого бита разрешает прерывание по окончании передачи канала №1.
2	R/WOCLR	1	Channel 2 Done Enable Interrupt: не используется в этой микросхеме.
3	R/WOCLR	1	Channel 3 Done Enable Interrupt: не используется в этой микросхеме.
4	R/WOCLR	1	Channel 4 Done Enable Interrupt: не используется в этой микросхеме.
5	R/WOCLR	1	Channel 5 Done Enable Interrupt: не используется в этой микросхеме.
6	R/WOCLR	1	Channel 6 Done Enable Interrupt: не используется в этой микросхеме.
7	R/WOCLR	1	Channel 7 Done Enable Interrupt: не используется в этой микросхеме.
8	R/WOCLR	1	Channel 0 Error Enable Interrupt: запись этого бита разрешает прерывание при ошибке работы канала №0.
9	R/WOCLR	1	Channel 1 Error Enable Interrupt: запись этого бита разрешает прерывание при ошибке работы канала №1.
10	R/WOCLR	1	Channel 2 Error Enable Interrupt: не используется в этой микросхеме.
11	R/WOCLR	1	Channel 3 Error Enable Interrupt: не используется в этой микросхеме.
12	R/WOCLR	1	Channel 4 Error Enable Interrupt: не используется в этой микросхеме.
13	R/WOCLR	1	Channel 5 Error Enable Interrupt: не используется в этой микросхеме.
14	R/WOCLR	1	Channel 6 Error Enable Interrupt: не используется в этой микросхеме.
15	R/WOCLR	1	Channel 7 Error Enable Interrupt: не используется в этой микросхеме.
31:16	R	0	Reserved

									Лист
									457
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Регистр запрещения прерываний от ПДП (PCIe_DMA_common_udma_int_dis)

Описание полей регистра PCIe_DMA_common_udma_int_dis приведено в таблице 5.192.

Таблица 5.192 - Описание полей регистра PCIe_DMA_common_udma_int_dis

Биты	Тип доступа	Начальное значение	Описание
0	R/WOSET	1	Channel 0 Done Disable Interrupt: запись этого бита запрещает прерывание по окончании передачи канала №0.
1	R/WOSET	1	Channel 1 Done Disable Interrupt: запись этого бита запрещает прерывание по окончании передачи канала №1.
2	R/WOSET	1	Channel 2 Done Disable Interrupt: не используется в этой микросхеме.
3	R/WOSET	1	Channel 3 Done Disable Interrupt: не используется в этой микросхеме.
4	R/WOSET	1	Channel 4 Done Disable Interrupt: не используется в этой микросхеме.
5	R/WOSET	1	Channel 5 Done Disable Interrupt: не используется в этой микросхеме.
6	R/WOSET	1	Channel 6 Done Disable Interrupt: не используется в этой микросхеме.
7	R/WOSET	1	Channel 7 Done Disable Interrupt: не используется в этой микросхеме.
8	R/WOSET	1	Channel 0 Error Disable Interrupt: запись этого бита запрещает прерывание при ошибке работы канала №0.
9	R/WOSET	1	Channel 1 Error Disable Interrupt: запись этого бита запрещает прерывание при ошибке работы канала №1.
10	R/WOSET	1	Channel 2 Error Disable Interrupt: не используется в этой микросхеме.
11	R/WOSET	1	Channel 3 Error Disable Interrupt: не используется в этой микросхеме.
12	R/WOSET	1	Channel 4 Error Disable Interrupt: не используется в этой микросхеме.
13	R/WOSET	1	Channel 5 Error Disable Interrupt: не используется в этой микросхеме.
14	R/WOSET	1	Channel 6 Error Disable Interrupt: не используется в этой микросхеме.
15	R/WOSET	1	Channel 7 Error Disable Interrupt: не используется в этой микросхеме.
31:16	R	0	Reserved

Регистр количества неисправимых ошибок ECC при приёме (PCIe_DMA_common_udma_ib_ecc_uncorrectable_errors)

Описание полей регистра PCIe_DMA_common_udma_ib_ecc_uncorrectable_errors приведено в таблице 5.193.

Таблица 5.193 - Описание полей регистра PCIe_DMA_common_udma_ib_ecc_uncorrectable_errors

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0	ECC Error Reg: количество неисправимых ошибок, возникших при чтении из Inbound DMA RAM
31:16	R	0	Reserved

					Лист
					458
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

*Регистр количества исправимых ошибок ECC при приёме
(PCIe_DMA_common_udma_ib_ecc_correctable_errors)*

Описание полей регистра PCIe_DMA_common_udma_ib_ecc_correctable_errors приведено в таблице 5.194.

**Таблица 5.194 - Описание полей регистра
PCIe_DMA_common_udma_ib_ecc_correctable_errors**

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0	ECC Error Reg: количество исправимых ошибок, возникших при чтении из Inbound DMA RAM.
31:16	R	0	Reserved

*Регистр количества неисправимых ошибок ECC при передаче
(PCIe_DMA_common_udma_ob_ecc_uncorrectable_errors)*

Описание полей регистра PCIe_DMA_common_udma_ob_ecc_uncorrectable_errors приведено в таблице 5.195.

**Таблица 5.195 - Описание полей регистра
PCIe_DMA_common_udma_ob_ecc_uncorrectable_errors**

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0	ECC Error Reg: количество неисправимых ошибок, возникших при чтении из Outbound DMA RAM.
31:16	R	0	Reserved

*Регистр количества исправимых ошибок ECC при передаче
(PCIe_DMA_common_udma_ob_ecc_correctable_errors)*

Описание полей регистра PCIe_DMA_common_udma_ob_ecc_correctable_errors приведено в таблице 5.196.

**Таблица 5.196 - Описание полей регистра
PCIe_DMA_common_udma_ob_ecc_correctable_errors**

Биты	Тип доступа	Начальное значение	Описание
15:0	R	0	ECC Error Reg: количество исправимых ошибок, возникших при чтении из Outbound DMA RAM.
31:16	R	0	Reserved

Регистр версии ПДП (PCIe_DMA_common_udma_cap_ver)

Описание полей регистра PCIe_DMA_common_udma_cap_ver приведено в таблице 5.197.

Таблица 5.197 - Описание полей регистра PCIe_DMA_common_udma_cap_ver

Биты	Тип доступа	Начальное значение	Описание
7:0	R	1	min ver: минимальная версия.
15:8	R	0	maj ver: максимальная версия.
31:16	R	0	Reserved

										Лист
										459
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4		09.11.2020		31406-3						

Регистр конфигурации ПДП (PCIe_DMA_common_udma_config)

Описание полей регистра PCIe_DMA_common_udma_config приведено в таблице 5.198.

Таблица 5.198 - Описание полей регистра PCIe_DMA_common_udma_config

Биты	Тип доступа	Начальное значение	Описание
3:0	R	2	num_channels: количество каналов ПДП.
7:4	R	2	num_partitions: количество разделов.
11:8	R	6	partition_size: размер раздела.
12	R	0	sys_aw_gt_32: ширина внутреннего адреса больше 32 бит.
13	R	0	sys_tw_gt_32: ширина атрибута для получения внутреннего дескриптора больше 32 бит.
14	R	1	ext_aw_gt_32: ширина внешнего адреса больше 32 бит.
15	R	0	ext_tw_gt_32: ширина атрибута для получения внешнего дескриптора больше 32 бит.
31:16	R	0	Reserved

										Лист
										460
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.12.3 Базовое преобразование адресов

Контроллер интерфейса PCIe может изменять (транслировать) адреса, получаемые им изнутри по шине AXI или снаружи по шине PCIe.

5.12.3.1 Изменение адресов шины AXI

Трансляция адреса одинакова для режимов RP и EP и происходит по следующему алгоритму:

- сначала полученному по шине AXI адресу ставится в соответствие один из 32 регионов (или никакой из них). Несколько младших бит адреса (количество определяется полем Lower Mask bits for SOC address регистра PCIe_AXI_outregion_0_region_base_addr или аналогичного регистра для другого региона) не участвуют в выборе. Оставшиеся старшие биты адреса сравниваются с полем Address bits того же регистра. Это сравнение производится для всех 32 регионов. При совпадении считается, что транзакция AXI относится к этому региону. При нескольких совпадениях больший приоритет у региона с меньшим номером;

- далее происходит трансляция адреса в соответствии с правилом, установленным для выбранного региона. Несколько младших бит адреса не изменяются (количество определяется полем Number_bits регистра PCIe_AXI_outregion_0_addr_translation_0 или аналогичного регистра для другого региона). Вместо оставшихся старших бит подставляется значение поля Address bits того же регистра. При 64-разрядной адресации на шине PCIe адрес дополняется значениями из регистра PCIe_AXI_outregion_0_addr_translation_1 или аналогичного регистра для другого региона. Таким образом, исходное пространство в 1 Гбайт можно отображать на 32 отдельных пространства.

Каждому региону присуще не только свое правило изменения адреса, но и тип транзакции (заголовок TLP). Он описывается в регистрах PCIe_AXI_outregion_0_header_descriptor_0 и PCIe_AXI_outregion_0_header_descriptor_1.

5.12.3.2 Изменение адресов шины PCIe

Трансляция адреса различается для режимов RP и EP.

Для режима EP она происходит по следующему алгоритму:

- сначала полученному по шине PCIe адресу ставится в соответствие один из 6 регионов, или никакой из них. Каждый регион имеет базовый адрес и размер (поля Base Address и BAR 0 Aperture в регистрах PCIe_EP_i_base_addr_0 и PCIe_LocMgmt_i_pf_0_BAR_config_0_reg или аналогичных регистров для другого региона). При попадании адреса шины PCIe в описанный диапазон считается, что транзакция PCIe

											Лист
											461
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата					
31406-4	09.11.2020			31406-3							

относится к этому региону. При нескольких совпадениях больший приоритет у региона с меньшим номером;

- далее происходит трансляция адреса в соответствии с правилом, установленным для выбранного региона. Несколько младших бит адреса не изменяются (количество определяется размером региона). Вместо оставшихся старших бит подставляется значение поля Address bits регистра PCIe_AXI_inregion_ep_bar_0_addr_translation или аналогичного регистра для другого региона.

В режиме RP количество регионов равно 2. При трансляции адреса количество младших неизменяемых бит определяется не размером региона, а полем Number_bits регистра PCIe_AXI_inregion_rc_bar_0_addr_translation или аналогичного регистра для другого региона.

5.12.3.3 Встроенный контроллер прямого доступа

Контроллер интерфейса PCIe имеет встроенный контроллер прямого доступа (uDMA). Параметры передач ПДП располагаются в связанном списке дескрипторов (descriptor linked list), который, в свою очередь, должен быть расположен в памяти микросхемы.

Встроенный контроллер ПДП поддерживает три типа передач: блочную, распределенную запись и распределенное чтение.

При блочной передаче (Bulk mode) данные передаются одним целым массивом, как показано на рисунке 5.26. При этом используется один дескриптор. Размер передаваемых данных ограничен 16 Мбайт. В блочном режиме можно динамически добавлять новые дескрипторы к связанному списку.

										Лист
										462
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

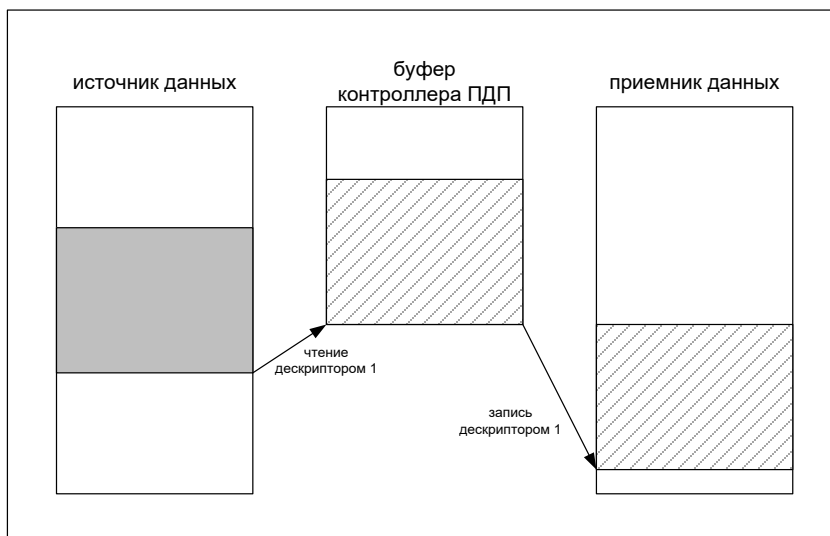


Рисунок 5.26 – Блочная передача данных контроллером ПДП

При распределенной записи (Scattering mode) данные читаются из одной области и пишутся в несколько разных областей, как показано на рисунке 5.27. При этом используется несколько дескрипторов. Первый описывает параметры чтения. Следующие дескрипторы описывают параметры для записи данных. Общий размер данных в этом случае ограничен 16 Кбайт (размером буфера ПДП).

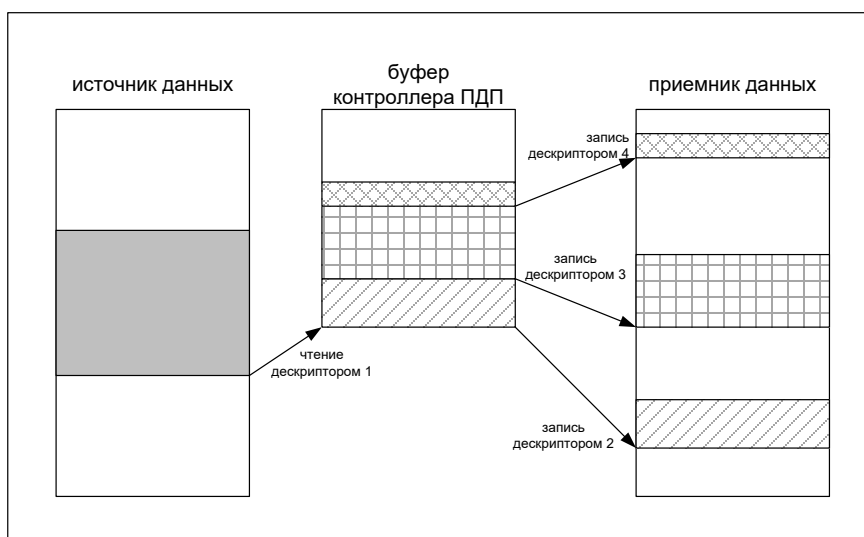


Рисунок 5.27 – Распределенная запись данных контроллером ПДП

При распределенном чтении (Gathering mode) данные читаются из нескольких разных областей и пишутся в одну область, как показано на рисунке 5.28. При этом используется несколько дескрипторов. Первые несколько дескрипторов описывают параметры для чтения

										Лист
										463
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

данных. Последний дескриптор описывает параметры записи. Общий размер данных в этом случае ограничен 16 Кбайт (размером буфера ПДП).

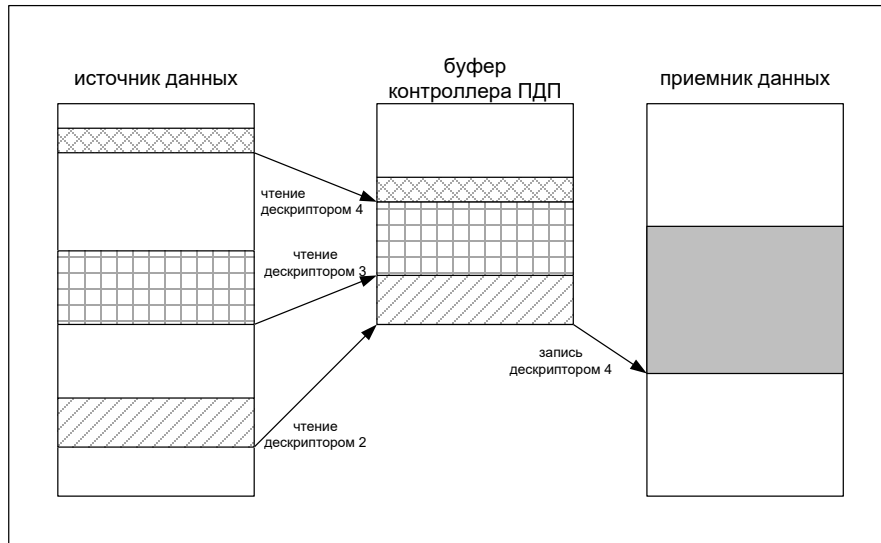


Рисунок 5.28 – Распределенное чтение данных контроллером ПДП

										Лист
										464
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Дескриптор транзакции ПДП

Содержание дескриптора транзакции ПДП приведено в таблице 5.199.

Таблица 5.199 – Содержание дескриптора транзакции ПДП

Смещение от базового адреса дескриптора, байт	Размер, байт	Разряды	Описание
0	4	31:0	Начальный адрес считываемых/записываемых по шине AXI данных. Базовое преобразование адресов не применяется к этому адресу. Трансляция входящих транзакций применяется к этому адресу.
Управляющие параметры шины AXI			
4	4	31:8	Reserved
		7	AxLOCK[0]
		6:3	AxCACHE[3:0]
		2:0	AxPROT[2:0]
Параметры заголовков TLP-сообщений			
8	8	63:0	Начальный адрес считываемых/записываемых по шине PCIe данных
16	4	31:26	Reserved
		25:10	Используемый ID
		9	Установка разрешает использование поля [25:10]
		8:6	Reserved
		5:3	PCIe Transfer Class
		2	ID-Based Ordering
		1	Relaxed Ordering
0	No Snoop		
20	3	23:0	Количество пересылаемых данных в байтах. При равенстве нулю пересылается 2 ²⁴ байт.
Общие настройки дескриптора			
23	1	7:6	Reserved
		5	Разрешение перехода к следующему дескриптору по окончании текущего
		4:3	Reserved
		2:1	Назначение текущего дескриптора: 00 – блочное чтение и запись 01 – чтение данных во внутренний буфер при распределенных транзакциях (по шине AXI или PCIe) 10 – выдача данных из внутреннего буфера при распределенных транзакциях (по шине AXI или PCIe)
		0	Разрешение прерывания после выполнения операции.
Состояние шины AXI			
24	1	7:3	Reserved
		2	Обнаружена внутренняя ошибка четности данных (при обращении к шине AXI)
		1:0	BRESP[1:0] или RRESP[1:0]

					Лист
					465
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 5.199

Смещение от базового адреса дескриптора, байт	Размер (байт)	Разряды	Описание
Состояние шины PCIe			
25	1	7:4	Reserved
		3:0	Статус завершения TLP-сообщения: 0000 – нормальное завершение (normal completion); 0001 – ошибочное завершение (TLP poisoned); 0010 – ошибочное завершение (UR, CA или CRS); 0011 – ошибочное завершение (отсутствие данных); 0100 – сообщение завершения несет неправильные ID, класс трафика или атрибуты; 0101 – сообщение завершения несет неправильную младшую часть адреса; 0110 – сообщение завершения несет неправильный тэг; 0111 – время ожидания завершения истекло; 1000 – сообщение завершения несет неправильное количество данных; 1001 .. 1011 – Reserved; 1100 – внутренняя ошибка четности данных (при обращении к шине PCIe); 1101 .. 1110 – Reserved; 1111 – ошибки нескольких типов обнаружены.
Состояние канала ПДП			
26	1	7	Buffer Not Empty: Показывает наличие данных в буфере ПДП после завершения исполнения связанного списка дескрипторов.
		6	Buffer Underflow: устанавливается в режиме распределенной записи (Scattering data), если не хватает данных в буфере ПДП.
		5	Buffer Overflow: устанавливается в режиме распределенного чтения (Gathering data), если данных в буфере ПДП слишком много.
		4	Descriptor Error: устанавливается при неправильном дескрипторе.
		3	Data Integrity Error: устанавливается при ошибке четности при обращении к буферам контроллера ПДП.
		2	Устанавливается, если по шине AXI были переданы не все данные.
		1	Устанавливается, если по шине PCIe были переданы не все данные.
		0	Устанавливается по окончании работы контроллера ПДП с данным дескриптором.
27	1	7:0	Reserved
28	4	31:0	Указатель на следующий дескриптор в связанном списке. Базовое преобразование адресов не применяется к этому адресу. Трансляция входящих транзакций применяется к этому адресу.

					Лист
					466
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

5.12.4 Управление прерываниями

5.12.4.1 Исходящие прерывания

Контроллер PCIe, находясь в режиме конечного устройства (EndPoint), позволяет генерировать два типа прерываний – Legacy и MSI.

Legacy-прерывания: в этом случае контроллер в режиме EP имитирует четыре вывода шины PCI: INTA, INTB, INTC и INTD. Вызов прерывания осуществляется программно через системный контроллер CSC. Прерывание от CSC может быть аппаратно преобразовано в разные Legacy-прерывания. Параметры настраиваются в регистре PCIe_EP_i_intrpt_line_intrpt_pin контроллера PCIe.

Для установки прерывания необходимо:

- установить бит int_pending_status_reg в регистре ARMSC_PCIE_REG_1;
- установить бит assert200 в регистре ARMSC_PCIE_REG_3;
- дождаться установки бита int_rdy_200 в регистре ARMSC_PCIE_REG_3.

Для снятия прерывания необходимо:

- установить бит deassert200 в регистре ARMSC_PCIE_REG_3;
- дождаться установки бита int_rdy_200 в регистре ARMSC_PCIE_REG_3;
- сбросить бит int_pending_status_reg в регистре ARMSC_PCIE_REG_1.

MSI прерывания - в этом случае прерывания передаются от конечного устройства (EP) к хост-контроллеру (RP) при помощи обычных Memory или IO транзакций. Транзакция генерируется процессором на основе предварительно считанных и проанализированных данных из контроллера PCIe (из MSI Capability Structure). Транзакция передается по AXI и далее по PCIe как обычная запись данных.

5.12.4.2 Входящие прерывания

Legacy-прерывания: контроллер PCIe в режиме хост-контроллера выдает отдельно все четыре (INTA, INTB, INTC и INTD) возможных Legacy-прерывания на контроллер прерываний GIC. Они попадают туда, соответственно, под номерами 42, 43, 44 и 45.

MSI-прерывания - контроллер PCIe в режиме хост-контроллера никак не отличает входящие MSI-прерывания от пакетов записи данных и выдает их на мастер AXI. Дальнейшее прохождение прерывания не зависит от интерфейса PCIe, но можно предположить следующие варианты. Первый – данные записываются в память, которая периодически проверяется программно. В случае обнаружения нужного значения процессор распознает

										Лист
										467
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

прерывание. Второй – данные записываются в GIC в регистр программных прерываний. Прерывание вызывается и обрабатывается немедленно.

5.13 Системный контроллер CSC

Системный контроллер CSC выполняет следующие функции:

- содержит идентификатор центральной управляющей процессорной системы CCPU,
- содержит регистр режима начальной загрузки,
- содержит регистр управления характеристиками буферов ввода-вывода микросхемы,
- управляет инициализацией контроллера PCI Express,
- реализует интерфейс программных межпроцессорных прерываний между процессорными системами.

5.13.1 Внешние выводы системного контроллера CSC

В таблице 5.200 приведен список внешних выводов, относящихся к системному контроллеру. Их функциональное назначение описано в подразделе 5.17.

Таблица 5.200 – Выводы микросхемы, относящиеся к системному контроллеру

Вывод	Тип буфера	Примечание
BOOTM2, BOOTM1, BOOTM0	I	Режим начальной загрузки процессора
WKUPRQ	I	Запрос на вывод процессора из спящего режима
WKUPAK	O	Разрешение на снятие запроса на вывод процессора из спящего режима

Программно доступные регистры системного контроллера, приведенные в таблице 5.201, расположены в области памяти периферийных устройств REG_CCPU и имеют базовое смещение 000C_B000h.

Таблица 5.201 – Регистры системного контроллера CSC

Адрес	Название	Доступ	Описание
000C B000h	CLUSTERID	ЧТ	Идентификатор центральной управляющей процессорной системы.
000C B004h	BOOTMODE	ЧТ	Регистр режима начальной загрузки.
000C B008h	IOBCTRL	ЧТ/ЗП	Регистр управления характеристиками буферов ввода-вывода.
000C B00Ch	PCIE RST	ЧТ/ЗП	Регистр сброса PCIe.
000C B010h	RCVREQ	ЧТ/ЗП	Регистр приёма межпроцессорных прерываний.
000C B014h	DRVREQ	ЧТ/ЗП	Регистр выдачи межпроцессорных прерываний.
000C B018h	PCIE REG 1	ЧТ/ЗП	Регистр управления базовыми настройками PCIe.
000C B01Ch	PCIE REG 2	ЧТ/ЗП	Регистр управления потреблением функции.
000C B020h	PCIE REG 3	ЧТ/ЗП	Регистр управления Legacy-прерываниями.

					Лист
					468
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Идентификатор центральной управляющей процессорной системы (CLUSTERID)

Регистр идентификации центральной управляющей процессорной системы доступен только для чтения. Он содержит 32-разрядный идентификатор, равный 4, что и означает идентификатор ССРU.

Регистр режима начальной загрузки (BOOTMODE)

Регистр режима начальной загрузки, формат которого приведен в таблице 5.202, отображает состояние внешних входов BOOTM0, BOOTM1, BOOTM2. Данное значение используется начальным загрузчиком микросхемы для определения способа загрузки.

Таблица 5.202 – Формат регистра BOOTMODE

Разряды	Название	Доступ	Описание
[31:3]	-	-	Зарезервировано
[2]	BOOTM2	ЧТ	Значение входа BOOTM2
[1]	BOOTM1	ЧТ	Значение входа BOOTM1
[0]	BOOTM0	ЧТ	Значение входа BOOTM0

Регистр управления характеристиками буферов ввода-вывода (IOBCTRL)

Регистр управления характеристиками буферов ввода-вывода, формат которого приведен в таблице 5.203, позволяет программно управлять характеристиками буферов ввода-вывода микросхемы. Для некоторых выводов можно устанавливать следующие характеристики:

- ST0, ST1 – ширина гистерезиса триггеров Шмита на входах (значения: ST0=0, ST1=0 – без гистерезиса; ST0=1, ST1=0 – 0,11-0,17 В; ST1=1 – 0,21-0,28 В),
- SL (slew rate enable) – сглаживание выбросов выходного фронта за счет времени переключения (1 – есть сглаживание, 0 – нет),
- PE (pullup enable) – включение подтягивающего резистора (1 – включен, 0 – выключен).

									Лист
									469
Изм.	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.			Подп. и дата		Взам.инв.№		Инвар.№дубл.		Подп. и дата
31406-4			09.11.2020		31406-3				

Таблица 5.203 – Формат регистра IOCTRL

Разряды	Характеристи-ка	Начальное значение	Выводы
[31:22]	-	-	Зарезервировано
[21]	PE	1	SRSTn
[20]	PE	1	GPIOC0,GPIOC1,GPIOC2,GPIOC3,GPIOC4,GPIOC5,GPIOC6,GPIOC7
[19]	PE	1	GPIO30,GPIO31,GPIO32,GPIO33,GPIO34,GPIO35,GPIO36,GPIO37
[18]	PE	1	GPIO20,GPIO21,GPIO22,GPIO23,GPIO24,GPIO25,GPIO26,GPIO27
[17]	PE	1	GPIO10,GPIO11,GPIO12,GPIO13,GPIO14,GPIO15,GPIO16,GPIO17
[16]	PE	1	GPIO00,GPIO01,GPIO02,GPIO03,GPIO04,GPIO05,GPIO06,GPIO07
[15]	SL	0	GPIOC0,GPIOC1,GPIOC2,GPIOC3,GPIOC4,GPIOC5,GPIOC6,GPIOC7
[14]	SL	0	GPIO30,GPIO31,GPIO32,GPIO33,GPIO34,GPIO35,GPIO36,GPIO37
[13]	SL	0	GPIO20,GPIO21,GPIO22,GPIO23,GPIO24,GPIO25,GPIO26,GPIO27
[12]	SL	0	GPIO10,GPIO11,GPIO12,GPIO13,GPIO14,GPIO15,GPIO16,GPIO17
[11]	SL	0	GPIO00,GPIO01,GPIO02,GPIO03,GPIO04,GPIO05,GPIO06,GPIO07
[10]	SL	0	WKUPRQ,WKUPAK,TDO SWO,TMS SWDIO,SRSTn,WDT
[9]	ST1	0	XRSTn,WKUPRQ
[8]	ST0	0	XRSTn,WKUPRQ
[7]	ST1	0	BS_TDI,BS_TCK,BS_TMS,BS_TRSTn,TDI,TCK_SWCLK,TMS_SWDIO,TRSTn,SRSTn
[6]	ST0	0	BS_TDI,BS_TCK,BS_TMS,BS_TRSTn,TDI,TCK_SWCLK,TMS_SWDIO,TRSTn,SRSTn
[5]	ST1	0	SPI_RXD
[4]	ST0	0	SPI_RXD
[3]	ST1	0	ETH_MDIO
[2]	ST0	0	ETH_MDIO
[1]	ST1	0	GPIOC0,GPIOC1,GPIOC2,GPIOC3,GPIOC4,GPIOC5,GPIOC6,GPIOC7,GPIO30,GPIO31,GPIO32,GPIO33,GPIO34,GPIO35,GPIO36,GPIO37,GPIO20,GPIO21,GPIO22,GPIO23,GPIO24,GPIO25,GPIO26,GPIO27,GPIO10,GPIO11,GPIO12,GPIO13,GPIO14,GPIO15,GPIO16,GPIO17,GPIO00,GPIO01,GPIO02,GPIO03,GPIO04,GPIO05,GPIO06,GPIO07
[0]	ST0	0	GPIOC0,GPIOC1,GPIOC2,GPIOC3,GPIOC4,GPIOC5,GPIOC6,GPIOC7,GPIO30,GPIO31,GPIO32,GPIO33,GPIO34,GPIO35,GPIO36,GPIO37,GPIO20,GPIO21,GPIO22,GPIO23,GPIO24,GPIO25,GPIO26,GPIO27,GPIO10,GPIO11,GPIO12,GPIO13,GPIO14,GPIO15,GPIO16,GPIO17,GPIO00,GPIO01,GPIO02,GPIO03,GPIO04,GPIO05,GPIO06,GPIO07

					Лист
					470
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистры приёма и выдачи межпроцессорных прерываний (DRVREQ и RCVREQ)

Регистр выдачи межпроцессорных прерываний, формат которого приведен в таблице 5.204, используется для выдачи запросов к другим процессорным системам СнК. Регистр приёма межпроцессорных прерываний, формат которого приведен в таблице 5.205, используется для обработки запросов от других процессорных систем СнК. Разряды регистров DRVREQ и RCVREQ влияют на состояние соответствующих регистров другой процессорной системы. Соответствие разрядов регистров показано в таблице 5.206.

Таблица 5.204 – Формат регистра выдачи межпроцессорных прерываний (DRVREQ)

Разряды	Название	Доступ	Описание
[31:8]	-	-	Зарезервировано
[7:0]	DRVREQ	ЧТ/ЗП	Один бит поля GENREQ соответствует одному биту поля RCVREQ другого ПУ. Запись значения 1 в бит поля GENREQ вызывает аппаратную установку соответствующего бита RCVREQ другого ПУ. Программный сброс бита RCVREQ другого ПУ системы сбрасывает аппаратно бит поля GENREQ.

Таблица 5.205 – Формат регистра приёма межпроцессорных прерываний (RCVREQ)

Разряды	Название	Доступ	Описание
[31:8]	-	-	Зарезервировано
[7:0]	RCVREQ	ЧТ/ЗП	Один бит поля RCVREQ соответствует одному биту GENREQ другого ПУ. Программная установка соответствующего бита GENREQ в другой процессорной системе устанавливает бит RCVREQ. Запись значения 1 в бит поля RCVREQ сбрасывает этот бит и инициирует аппаратный сброс соответствующего бита GENREQ. Установка бита поля RCVREQ вызывает запрос на прерывание.

Таблица 5.206 – Соответствие разрядов регистров GENREQ и RCVREQ и запросов на прерывание

Разряд регистра DRVREQ	Разряд регистра RCVREQ	Запрос на прерывание
DRVREQ[7]	RCVREQ[7]	Низкоприоритетное межпроцессорное прерывание 7 к/от PC3
DRVREQ[6]	RCVREQ[6]	Низкоприоритетное межпроцессорное прерывание 6 к/от PC2
DRVREQ[5]	RCVREQ[5]	Низкоприоритетное межпроцессорное прерывание 5 к/от PC1
DRVREQ[4]	RCVREQ[4]	Низкоприоритетное межпроцессорное прерывание 4 к/от PC0
DRVREQ[3]	RCVREQ[3]	Высокоприоритетное межпроцессорное прерывание 3 к/от PC3
DRVREQ[2]	RCVREQ[2]	Высокоприоритетное межпроцессорное прерывание 2 к/от PC2
DRVREQ[1]	RCVREQ[1]	Высокоприоритетное межпроцессорное прерывание 1 к/от PC1
DRVREQ[0]	RCVREQ[0]	Высокоприоритетное межпроцессорное прерывание 0 к/от PC0

Системный контроллер также содержит регистры управления контроллером PCIe, форматы которых приведены в таблицах 5.207 – 5.210:

- регистр сброса PCIe – PCIE_RST (см. таблицу 5.207),
- регистр управления базовыми настройками PCIe – PCIE_REG_1 (см. таблицу 5.208),
- регистр управления потреблением функции – PCIE_REG_2 (см. таблицу 5.209),
- регистр управления Legacy-прерываниями – PCIE_REG_3 (см. таблицу 5.210).

									Лист
									471
Изм.	Лист	№ докум.	Подп.	Дата					
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 5.207 – Формат регистра PCIE_RST

Биты	Тип доступа	Начальное значение	Описание
0	RW	0x0	Resetn: запись 1 – запуск последовательности включения интерфейса; запись 0 – ничего не произойдет; чтение 0 – последовательность включения не выполнена; чтение 1 – последовательность включения выполнена. Сразу после записи 1 чтение должно выдавать 0. Включение здесь показывает готовность блока (стабилизацию PLL) и не имеет отношения к установлению связи с ответным устройством ни на каком уровне.
31:1	R	0x0	Reserved

Таблица 5.208 – Формат регистра PCIE_REG_1

Биты	Тип доступа	Начальное значение	Описание
0	R/W	1	pcie_generation_sel: версия PCIe: 0 - Gen1 (2.5Gbs per lane); 1 - Gen1 (2.5Gbs per lane) или Gen2 (5Gbs per lane) после переобучения, инициированного RC. Изменение этого значения допустимо только до снятия сброса.
1	R/W	0	mode_select: 0 – Endpoint; 1 – Root Complex. Изменение этого значения допустимо только до снятия сброса.
3:2	R/W	2	lane_count_in: количество используемых линий: 00 – линия №0; 01 – линии №0 и №1; 10 – линии №0, №1, №2, и №3; 11 – reserved. Этот параметр должен быть одинаковым у обоих соединенных устройств. Изменение этого значения допустимо только до снятия сброса.
4	R/W	1	link_training_enable_reg: разрешение инициации последовательности обучения: 0 – запрещено; 1 – разрешено.
5	R/W	1	config_enable_reg: 0 – входящие конфигурационные запросы запрещены; возвращается ошибка (CRS Completion) по шине PCIe; 1 – входящие конфигурационные запросы разрешены.
6	R/W	0	req_pm_transition_l23_ready_reg: только для Endpoint. Установка этого бита переводит контроллер PCIe в состояние L23_READY и, впоследствии, в состояние L2. Это следует делать после того, как PCI-функции перешли в состояние D3. После снятия этого бита контроллер должен быть сброшен.
7	R/W	0	client_req_exit_l2_reg: может быть программно установлено после входа линка в состояние L2 и до отключения питания системы. Пока питание и тактовый сигнал еще присутствуют, можно программно установить этот бит, чтобы инициировать переход из состояния L2_IDLE в DETECT.

					Лист
					472
Изм.	Лист	№ докум.	Подп.	Дата	
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 5.208

Биты	Тип доступа	Начальное значение	Описание
8	R/W	0	int_pending_status_reg: должно быть установлено, если требуется передача Legacy прерывания, но оно замаскировано.
9	R/W	0	down_cfg_susp_ln_00: питание линии №0: 0 – включено; 1 – выключено. Изменение этого значения допустимо только до снятия сброса.
10	R/W	0	down_cfg_susp_ln_01: питание линии №1: 0 – включено; 1 – выключено. Изменение этого значения допустимо только до снятия сброса.
11	R/W	0	down_cfg_susp_ln_02: питание линии №2: 0 – включено; 1 – выключено. Изменение этого значения допустимо только до снятия сброса.
12	R/W	0	down_cfg_susp_ln_03: питание линии №3: 0 – включено; 1 – выключено. Изменение этого значения допустимо только до снятия сброса.
13	R/W	0	hot_reset_in_reg: установка этого бита в режиме RC сбрасывает PCIe-линк. Не работает в режиме EP.
14	R	0	hot_reset_out_sync: устанавливается в режимах RC и EP по осуществлении горячего сброса.
15	R	0	link_down_reset_out_sync: устанавливается контроллером PCIe при обнаружении события отключения линка (link-down event – LINK_UP переключается в 0)
17:16	R	0	link_status_sync: показывает статус линка PCIe: 0 – ответное устройство не обнаружено; 1 – происходит обучение линка; 2 – линк готов, происходит инициализация на пакетном уровне; 3 – линк готов, инициализация пакетного уровня завершена.
21:18	R	0	link_power_state_sync: текущий режим потребления линка: 1 – L0; 2 – L0s; 4 – L1; 8 – L2.
31:22			Reserved

					Лист
					473
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Таблица 5.209 – Формат регистра PCIE_REG_2

Биты	Тип доступа	Начальное значение	Описание
0	R	0	int200: устанавливается контроллером при изменении режима потребления функции на D1 или D3. Сохраняется в установленном состоянии, пока не будет подтвержден. При этом контроллер PCIE не будет возвращать завершения транзакций конфигурационных чтений и записей.
1	RWOS	0	ack200: запись 1 вызовет подтверждение изменения режима потребления функции. Будет сброшен аппаратно вслед за аппаратным сбросом int200.
2	R/W	0	autoack200: 1 – разрешение автоматического подтверждения изменения режима потребления функции 0 – автоматическое подтверждение отключено
31:3			Reserved

Таблица 5.210 – Формат PCIE_REG_3

Биты	Тип доступа	Начальное значение	Описание
0	RWOS	0	assert200: запись 1 – вызовет установку Legacy-прерывания. Будет аппаратно сброшен после подтверждения установки прерывания.
1	RWOS	0	deassert200: запись 1 – вызовет снятие Legacy-прерывания. Будет аппаратно сброшен после подтверждения снятия прерывания.
2	R	0	int_rdy_200: устанавливается при получении подтверждения установки/снятия прерывания.
31:3			Reserved

									Лист
									474
Изм.	Лист	№ докум.	Подп.	Дата					
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

5.14 Контроллер синхронного последовательного интерфейса SPI

Контроллер интерфейса SPI обеспечивает обмен информацией между процессором и устройствами, подключенными к внешнему последовательному интерфейсу SPI. Контроллер обеспечивает подключение стандартных устройств со следующими разновидностями интерфейса типа SPI:

- интерфейс SPI в спецификации фирмы Motorola (Motorola SPI);
- интерфейс SPI в спецификации фирмы Texas Instruments (Texas Instruments SPI);
- интерфейс SPI в спецификации фирмы National Semiconductors (National Semiconductors Microwire).

Контроллер обеспечивает подключение до четырех внешних устройств в режиме разделения времени.

Обмен данными между внешним устройством и памятью процессора возможен как в программном режиме, так и в режиме ПДП.

Управление контроллером, программный режим работы с внешними устройствами, а также конфигурация встроенного контроллера ПДП осуществляется по 32-разрядной шине AMBA APB спецификации 3.0. Обмен данными в режиме ПДП осуществляется по 32-разрядной шине AMBA AXI спецификации 3.0, причем порт ПДП подключается к этой шине в качестве “мастера”.

Работа блока контроллера тактируется тактовым сигналом F_{SSPCLK} равным 200 МГц. Скорость передачи данных задается программистом путем деления тактовой частоты работы контроллера на программно задаваемый коэффициент. Максимальная скорость передачи данных не должна превышать 50 Мбит/с.

5.14.1 Внешние выводы интерфейса SPI

В таблице 5.211 приведен список внешних выводов SPI-порта микросхемы.

Таблица 5.211 - Выводы порта SPI микросхемы

Вывод	Тип буфера	Функциональное назначение вывода
SPICLK	O	Тактовый сигнал интерфейса SPI
SPITXD	O	Выход данных порта SPI
SPIRXD	I	Вход данных порта SPI
SPI_CS0...SPI_CS3	O	Выбор ведомого SPI устройства 0...3 (активный уровень сигнала – низкий)

										Лист
										475
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4		09.11.2020			31406-3					

5.14.2 Программно доступные регистры контроллера SPI

Программно доступные регистры контроллера порта SPI расположены в области памяти периферийных устройств REG_CCPU, имеют базовое смещение SSP Base = 0x000C_F000 hex и общий размер 4 Кбайта. Спецификация регистров представлена в таблице 5.212.

Таблица 5.212 - Спецификация регистров контроллера интерфейса SPI

Адрес (байтовый доступ)	Тип	Разрядность	Начальное значение	Имя	Описание
0x000C_F000 hex	ЧТ/ЗП	16	0x0000	SSPCR0	Регистр 0 .
0x000C_F004 hex	ЧТ/ЗП	4	0x0	SSPCR1	Регистр 1 управления режимами работы порта.
0x000C_F008 hex	ЧТ/ЗП	16	0xFFFF	SSPDR	Регистр данных порта.
0x000C_F00C hex	ЧТ	5	0x03	SSPSR	Регистр состояния порта.
0x000C_F010 hex	ЧТ/ЗП	8	0x00	SSPCPSR	Регистр множителя синхросигнала.
0x000C_F014 hex	ЧТ/ЗП	4	0x0	SSPIMSC	Регистр масок прерываний порта.
0x000C_F018 hex	ЧТ	4	0x8	SSPRIS	Регистр состояния прерываний от порта до наложения маски.
0x000C_F01C hex	ЧТ	4	0x0	SSPMIS	Регистр состояния прерываний от порта после наложения маски.
0x000C_F020 hex	ЗП	4	0x0	SSPICR	Регистр сброса прерываний порта.
0x000C_F024 hex	ЧТ/ЗП	2	0x0	SSPDMACR	Регистр управления режимом ПДП порта.
0x000C_F028 hex – 0x000C_F0FF hex	-	-	-	-	Зарезервировано.
0x000C_F100 hex	ЧТ/ЗП	32	0x0000	SSPDMATXADR	Регистр адреса передатчика контроллера ПДП порта.
0x000C_F104 hex	ЧТ/ЗП	32	0x0000	SSPDMARXADR	Регистр адреса приемника контроллера ПДП порта.
0x000C_F108 hex	ЧТ/ЗП	32	0x0000	SSPDMACNT	Счетчик данных контроллера ПДП порта.
0x000C_F10C hex	ЧТ/ЗП	1	0x0	SSPDMARXDIS	Регистр конфигурации режима приема контроллера ПДП порта.
0x000C_F110 hex	ЧТ/ЗП	1	0x0	SSPDMACTR	Регистр управления контроллером ПДП порта.
0x000C_F114 hex – 0x000C_F11B hex	-	-	-	-	Зарезервировано.

					ЮФКВ.431282.020РЭ	Лист 476
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Продолжение таблицы 5.212

Адрес (байтовый доступ)	Тип	Разряд- ность	Начальное значение	Имя	Описание
0x000C_F11C hex	ЧТ	2	0x0	SSPDMASTS	Регистр состояния контроллера ПДП порта.
0x000C_F120 hex	ЧТ/ЗП	1	0x0	SSPDMAIM	Регистр маски прерывание контроллера ПДП порта.
0x000C_F124 hex	ЧТ/ЗП	1	0x0	SSPDMAIR	Регистр запроса на прерывание от контроллера ПДП порта.
0x000C_F128 - 0x000C_F12F hex	-	-	-	-	Зарезервировано.
0x000C_F130 hex	ЧТ/ЗП	1	0x1	SSPDMAPT	Регистр упаковки данных контроллера ПДП порта.
0x000C_F134 hex - 0x000C_F13F hex	-	-	-	-	Зарезервировано.
0x000C_F140 hex	ЧТ/ЗП	4	0x1	SSPDMACS	Регистр выбора ведомого устройства порта.
0x000C_F144 hex – 0x000C_F3FF hex	-	-	-	-	Зарезервировано.

Регистр управления 0 контроллера порта SSPCR0

Формат регистра SSPCR0 приведен в таблице 5.123.

Таблица 5.213 - Формат регистра SSPCR0

Биты	Название	Тип	Описание
[15:8]	SCR	ЧТ/ЗП	Serial Clock Rate. Множитель скорости передачи данных.
[7]	SPH	ЧТ/ЗП	SSPCLKOUT Phase. Фаза сигнала SSPCLKOUT.
[6]	SPO	ЧТ/ЗП	SSPCLKOUT Polarity. Полярность сигнала SSPCLKOUT.
[5:4]	FRF	ЧТ/ЗП	Frame Format. Формат данных: 00 - Motorola SPI; 01 - Texas Instruments SPI ; 10 - National Semiconductors Microwire; 11 - не используется.
[3:0]	DSS	ЧТ/ЗП	Data Size Select. Выбор размера данных: 0000...0010 – зарезервировано; 0011 – 4-битные данные; 0100 – 5-битные данные; 0101 – 6-битные данные; 0110 – 7-битные данные; 0111 – 8-битные данные; 1000 – 9-битные данные; 1001 – 10-битные данные; 1010 – 11-битные данные; 1011 – 12-битные данные; 1100 – 13-битные данные; 1101 – 14-битные данные; 1110 – 15-битные данные; 1111 – 16-битные данные.

					Лист
					477
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инвар.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Поле **SCR** используется для определения скорости приема и передачи данных на внешних выводах контроллера. Скорость передачи данных вычисляется по следующей формуле:

$$\frac{F_{SSPCLK}}{CPSDVR \times (1+SCR)}$$

где F_{SSPCLK} – тактовая частота работы контроллера порта,

$CPSDVR$ – значение от 2 до 254, задаваемое в регистре множителя синхросигнала **SSPCPSR**.

Поле **SCR** может принимать значения от 0 до 255.

Скорость передачи данных не может превышать 50 Мбит/с.

Поля **SPO**, **SPH** и **FRF** определяют формат передачи данных. Форматы передачи данных описаны в пп. 5.14.3.1-5.14.3.3.

Поле **DSS** определяет количество бит в 16-разрядном слове данных, выдаваемых на внешние выводы интерфейса и, соответственно, принимаемых с внешних выводов. Как при выдаче, так и при приеме данные должны быть выровнены по правому краю 16-разрядного слова.

Регистр управления 1 контроллера порта **SSPCR1**

Формат регистра **SSPCR1** приведен в таблице 5.214.

Таблица 5.214 - Формат регистра **SSPCR1**

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано, при записи должен записываться 0.
[3]	-	-	Зарезервировано, при записи должен записываться 1.
[2]	-	-	Зарезервировано, при записи должен записываться 0.
[1]	SSE	ЧТ/ЗП	Synchronous Serial Port Enable. Управление портом: 0 – порт неактивен; 1 – порт активен.
[0]	LBM	ЧТ/ЗП	Loop Back Mode. Управление тестовым кольцевым режимом: 0 – нормальный режим функционирования порта; 1 – выходы передающего сдвигового регистра соединены с входами принимающего сдвигового регистра.

Регистр данных **SSPDR**

Формат регистра **SSPDR** приведен в таблице 5.215.

Таблица 5.215 - Формат регистра **SSPDR**

Биты	Название	Тип	Описание
[15:0]	DATA	ЧТ/ЗП	Если разрядность данных меньше 16 бит, то данные должны быть выровнены по правому краю слова. Старшие неиспользуемые биты игнорируются автоматически. В режиме приема происходит автоматическое выравнивание по правому краю слова.

										Лист
										478
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Запись в SSPDR приводит к записи данных в буфер передаваемых данных. Буфер передаваемых данных состоит из восьми 16-разрядных регистров, организованных в очередь по принципу FIFO. Данные из передающего буфера автоматически записываются в передающий сдвиговый регистр и последовательно выдвигаются на внешний вывод SPITXD. Количество выдвигаемых бит программируется полем **DSS** регистра **SSPCR0**.

Одновременно с выдачей данных производится защелкивание принимаемых данных с внешнего вывода SPIRXD. После накопления полного SPI-фрейма, определяемого полем **DSS** регистра **SSPCR0**, данные помещаются в приемный буфер данных. Приемный буфер данных также состоит из восьми 16-разрядных регистров, организованных в очередь по принципу FIFO.

Чтение данных из регистра SSPDR и является чтением данных из приемного буфера. Если разрядность принимаемых данных меньше, чем 16 бит, то данные автоматически выравниваются по правому краю слова.

Состояние приемного и передающего буферов отражается в регистре состояния контроллера **SSPSR**. Формат регистра SSPSR приведен в таблице 5.216.

Регистр состояния контроллера порта SSPSR

Таблица 5.216 - Формат регистра SSPSR

Биты	Название	Тип	Описание
[15:5]	-	-	Зарезервировано
[4]	BSY	ЧТ	Флаг занятости порта SPI: 0 - порт SPI простаивает; 1 - порт SPI передает и/или принимает пакет данных.
[3]	RFF	ЧТ	Признак полноты принимающего буфера данных: 0 - принимающий буфер не полон; 1 - принимающий буфер полон.
[2]	RNE	ЧТ	Признак пустоты принимающего буфера данных: 0 - принимающий буфер пуст; 1 - принимающий буфер не пуст.
[1]	TNF	ЧТ	Признак полноты передающего буфера данных: 0 - передающий буфер данных полон; 1 - передающий буфер данных не полон.
[0]	TFE	ЧТ	Признак пустоты передающего буфера данных: 0 - передающий буфер данных не пуст; 1 - передающий буфер данных пуст.

					Лист
					479
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Регистр множителя синхросигнала SSPCPSR

Формат регистра SSPCPSR приведен в таблице 5.217.

Таблица 5.217 - Формат регистра SSPCPSR

Биты	Название	Тип	Описание
[15:8]	-	-	Зарезервирован, должен быть прописан 0
[7:0]	CPSDVSР	ЧТ/ЗП	Clock Prescale Divisor. Значение делителя синхросигнала. Должен принимать четные значения от 2 до 254, в зависимости от частоты тактового сигнала работы контроллера F_{SSPCLK} . Младшие значащие биты всегда принимают значение 0 при чтении.

Регистр маски прерываний SSPIMSC

Формат регистра SSPIMSC приведен в таблице 5.218.

Таблица 5.218 - Формат регистра SSPIMSC

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано, должен быть прописан 0
[3]	TXIM	ЧТ/ЗП	Маска прерывания по заполнению передающего буфера данных более чем наполовину: 0 - прерывание замаскировано; 1 - прерывание не маскировано.
[2]	RXIM	ЧТ/ЗП	Маска прерывания по заполнению приемного буфера данных менее чем наполовину: 0 - прерывание замаскировано; 1 - прерывание не маскировано.
[1]	RTIM	ЧТ/ЗП	Маска прерывания по наличию данных в приемном буфере после завершения приема данных с внешних выводов: 0 - прерывание замаскировано; 1 - прерывание немаскировано.
[0]	RORIM	ЧТ/ЗП	Маска прерывания по переполнению приемного буфера данных: 0 - прерывание замаскировано; 1 - прерывание немаскировано.

Запись 1 в соответствующий бит регистра SSPIMSC устанавливает маску, а запись 0 – снимает её. Чтение регистра возвращает текущее значение маски.

Регистр запросов на прерывание до наложения маски SSPRIS

Формат регистра SSPRIS приведен в таблице 5.219.

Таблица 5.219 - Формат регистра SSPRIS

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано.
[3]	TXRIS	ЧТ	Запрос на прерывание по заполнению передающего буфера данных более чем наполовину.
[2]	RXRIS	ЧТ	Запрос на прерывание по заполнению приемного буфера данных менее чем наполовину.
[1]	RTRIS	ЧТ	Запрос на прерывание по наличию данных в приемном буфере после завершения приема данных с внешних выводов.
[0]	RORRIS	ЧТ	Запрос на прерывание по переполнению приемного буфера данных.

										Лист
										480
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.		Подп. и дата			
31406-4		09.11.2020		31406-3						

Регистр состояния прерывания после наложения маски SSPMIS

Формат регистра SSPMIS приведен в таблице 5.220.

Таблица 5.220 - Формат регистра SSPMIS

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано.
[3]	TXMIS	ЧТ	Запрос на прерывание по заполнению передающего буфера данных более чем наполовину.
[2]	RXMIS	ЧТ	Запрос на прерывание по заполнению приемного буфера данных менее чем наполовину.
[1]	RTMIS	ЧТ	Запрос на прерывание по наличию данных в приемном буфере после завершения приема данных с внешних выводов.
[0]	RORMIS	ЧТ	Запрос на прерывание по переполнению приемного буфера данных.

Регистр сброса запросов на прерывания SSPICR

Формат регистра SSPICR приведен в таблице 5.221.

Таблица 5.221 - Формат регистра SSPICR

Биты	Название	Тип	Описание
[15:2]	-	-	Зарезервирован, должен быть прописан 0
[1]	RTIC	ЗП	Сброс запроса на прерывание по наличию данных в приемном буфере после завершения приема данных с внешних выводов.
[0]	RORIC	ЗП	Сброс запроса на прерывание по переполнению приемного буфера данных.

Регистр управления ПДП SSPDMACR

Формат регистра SSPDMACR приведен в таблице 5.222.

Таблица 5.222 - Формат регистра SSPDMACR

Биты	Название	Тип	Описание
[15:2]	-	-	Зарезервирован, должен быть прописан 0
[1]	TXDMAE	ЧТ/ЗП	Разрешение доступа контроллера ПДП к передающему буферу данных: 0 - доступ запрещен; 1 - доступ разрешен.
[0]	RXDMAE	ЧТ/ЗП	Разрешение доступа контроллера ПДП к приемному буферу данных: 0 - доступ запрещен; 1 - доступ разрешен.

Регистр начального адреса передаваемых данных контроллера ПДП SSPDMATXADR

Формат регистра SSPDMATXADR приведен в таблице 5.223.

Таблица 5.223 - Формат регистра SSPDMATXADR

Биты	Название	Тип	Описание
[31:2]	SSDMA TXADR	ЧТ/ЗП	Начальный адрес передаваемых данных.
[1:0]	-	-	Зарезервирован, должен быть прописан 0.

										Лист
										481
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Значение адреса должно быть выровнено на границу 32-разрядного слова. В процессе выполнения процедуры ПДП значение регистра не изменяется.

Регистр начального адреса принимаемых данных контроллера ПДП SSPDMARXADR

Формат регистра SSPDMARXADR приведен в таблице 5.224.

Таблица 5.224 - Формат регистра SSPDMARXADR

Биты	Название	Тип	Описание
[31:2]	SSDMA_RXADR	ЧТ/ЗП	Начальный адрес принимаемых данных.
[1:0]	-	-	Зарезервирован, должен быть прописан 0.

Значение адреса должно быть выровнено на границу 32-разрядного слова. В процессе выполнения процедуры ПДП значение регистра не изменяется.

Регистр количества передаваемых и принимаемых данных контроллера ПДП SSPDMACNT

Формат регистра SSPDMACNT приведен в таблице 5.225.

Таблица 5.225 - Формат регистра SSPDMACNT

Биты	Название	Тип	Описание
[31:0]	SSDMA_CNT	ЧТ/ЗП	Количество передаваемых и принимаемых данных.

Количество передаваемых и принимаемых данных задается в байтах. В процессе выполнения процедуры ПДП значение регистра не изменяется.

Регистр конфигурации режима приема контроллера ПДП SSPDMARXDIS

Формат регистра SSPDMARXDIS приведен в таблице 5.226.

Таблица 5.226 - Формат регистра SSPDMARXDIS

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервирован, должен быть прописан 0.
[0]	SSDMA_RXDIS	ЧТ/ЗП	Управление записью в память в режиме ПДП: 0 - запись производится; 1 - запись не производится.

Регистр управления контроллером ПДП порта SSPDMACTR

Формат регистра SSPDMACTR приведен в таблице 5.227.

Таблица 5.227 - Формат регистра SSPDMACTR

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервирован, должен быть прописан 0
[0]	SSDMA_CTR	ЧТ/ЗП	Управление процедурой ПДП: 0 - процедура ПДП не выполняется; 1 - процедура ПДП выполняется.

										Лист
										482
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Установка регистра управления SSPDMACTR в 1 запускает выполнение процедуры ПДП. После завершения процедуры ПДП данный разряд сбрасывается аппаратно. Пользователь может остановить процедуру ПДП, сбросив данный разряд программно.

Регистр состояния контроллера ПДП порта SSPDMASTS

Формат регистра SSPDMASTS приведен в таблице 5.228.

Таблица 5.228 - Формат регистра SSPDMASTS

Биты	Название	Тип	Описание
[31:2]	-	-	Зарезервировано.
[1]	SSDMA_TXSTS	ЧТ	0 - передающая часть контроллера ПДП остановлена; 1 - передающая часть контроллера ПДП работает.
[0]	SSDMA_RXSTS	ЧТ	0 - приемная часть контроллера ПДП остановлена; 1 - приемная часть контроллера ПДП работает.

Регистр маски прерывания от контроллера ПДП порта SSPDMAIM

Формат регистра SSPDMAIM приведен в таблице 5.229.

Таблица 5.229 - Формат регистра SSPDMAIM

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервировано, должны быть прописаны все нули.
[0]	SSDMA_IM	ЧТ/ЗП	Маска прерывания от контроллера ПДП: 0 = прерывание замаскировано; 1 = прерывание немаскировано.

Регистр запроса на прерывания от контроллера ПДП порта SSPDMAIR

Формат регистра SSPDMAIR приведен в таблице 5.230.

Таблица 5.230 - Формат регистра SSPDMAIR

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервировано, должны быть прописаны все нули.
[0]	SSDMA_IR	ЧТ/ЗП	Запрос на прерывание от контроллера ПДП.

Запрос на прерывание устанавливается в регистре SSPDMAIR при аппаратном окончании процедуры ПДП. Если процедура ПДП остановлена программистом, запрос на прерывание не возникает.

Регистр упаковки данных контроллера ПДП порта SSPDMAPT

Формат регистра SSPDMAPT приведен в таблице 5.231.

Таблица 5.231 - Формат регистра SSPDMAPT

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервировано, должны быть прописаны все нули.
[0]	SSDMA_PT	ЧТ/ЗП	Режим упаковки/распаковки данных: 0 = 8-разрядные слова; 1 = 16-разрядные слова.

										Лист
										483
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата			Взам.инв.№	Инь.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр выбора ведомого устройства порта SSPDMACS

Формат регистра SSPDMACS приведен в таблице 5.232.

Таблица 5.232 - Формат регистра SSPDMACS

Биты	Название	Тип	Описание
[31:4]	-	-	Зарезервировано, должны быть прописаны все нули.
[3]	SSDMA_CS3	ЧТ/ЗП	Активное устройство подключено к SPI_CS3.
[2]	SSDMA_CS2	ЧТ/ЗП	Активное устройство подключено к SPI_CS2.
[1]	SSDMA_CS1	ЧТ/ЗП	Активное устройство подключено к SPI_CS1.
[0]	SSDMA_CS0	ЧТ/ЗП	Активное устройство подключено к SPI_CS0 (данное состояние устанавливается после системного сброса).

Путем установки в 1 соответствующего разряда выбирается, какой из выводов SPI_CS0 - SPI_CS3 будет активным при передаче данных по интерфейсу SPI.

5.14.3 Протокол передачи данных в различных режимах работы интерфейса SPI

Контроллер последовательного порта поддерживает следующие форматы обмена данными с внешними устройствами:

- спецификации фирмы Motorola (Motorola SPI);
- спецификации фирмы Texas Instruments (Texas Instruments SPI);
- спецификации фирмы National Semiconductors (National Semiconductors Microwire).

Формат передачи данных задается программистом путем определения полей SPO, SPH и FRF регистра управления 0 контроллера (SSPCR0).

5.14.3.1 Формат передачи данных спецификации Motorola SPI

Работа SPI-интерфейса при данном формате передачи данных возможна в четырех режимах (mode 0, 1, 2 и 3), отличающихся друг от друга состоянием сигнала SPICLK в неактивном состоянии и активным фронтом данного сигнала. Режим работы задается путем записи соответствующих значений в биты SPO и SPH регистра SSPCR0 контроллера.

Бит SPO управляет состоянием выхода SPICLK в неактивном состоянии. Если SPO = 0, то вывод SPICLK имеет низкий уровень в отсутствие передачи данных. Если SPO = 1, то вывод SPICLK имеет высокий уровень в отсутствие передачи данных.

Бит SPH управляет активным фронтом сигнала SPICLK. Если SPH = 0, то данные защелкиваются по первому изменению (фронту или срезу) сигнала SPICLK. Если SPH = 1, то данные защелкиваются по второму изменению (фронту или срезу) сигнала SPICLK.

При работе в формате передачи данных Motorola SPI в любом режиме (0, 1, 2 или 3) сигнал SPI_CS_i выполняет функции выборки устройства, с которым работает интерфейс.

										Лист
										484
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Активный уровень сигнала SPI_CSi – низкий. Активный уровень данного сигнала выставляется на весь период обмена данными.

Motorola SPI mode 0 (SPO=0, SPH=0)

На рисунках 5.29 – 5.30 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 0 при передаче одного слова данных и состоящей из нескольких пакетов данных.

Выдача данных происходит по срезу сигнала SPICLK, защелкивание входных данных – по фронту сигнала SPICLK. В промежутках между пакетами (словами) вывод SPI_CSx принимает значение 1 на протяжении полутакта синхросигнала SPICLK.

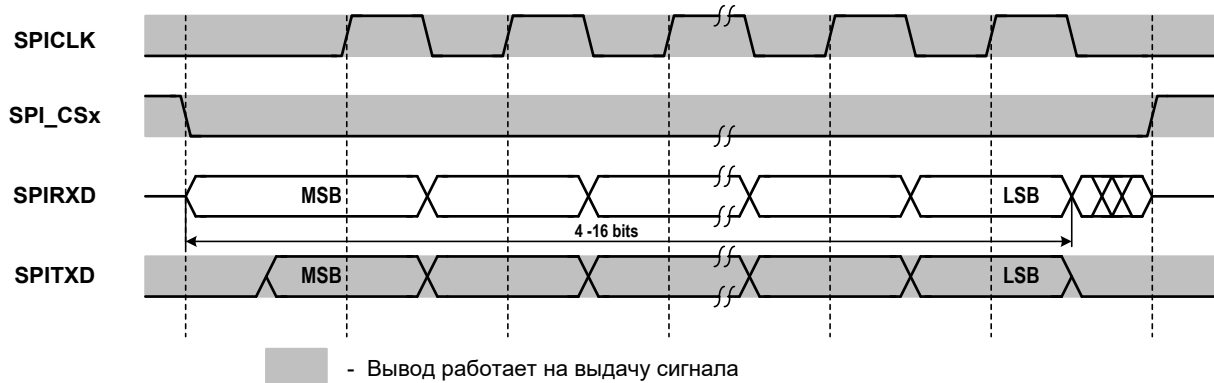


Рисунок 5.29 - Motorola SPI mode 0 (SPO=0, SPH=0) одиночная передача

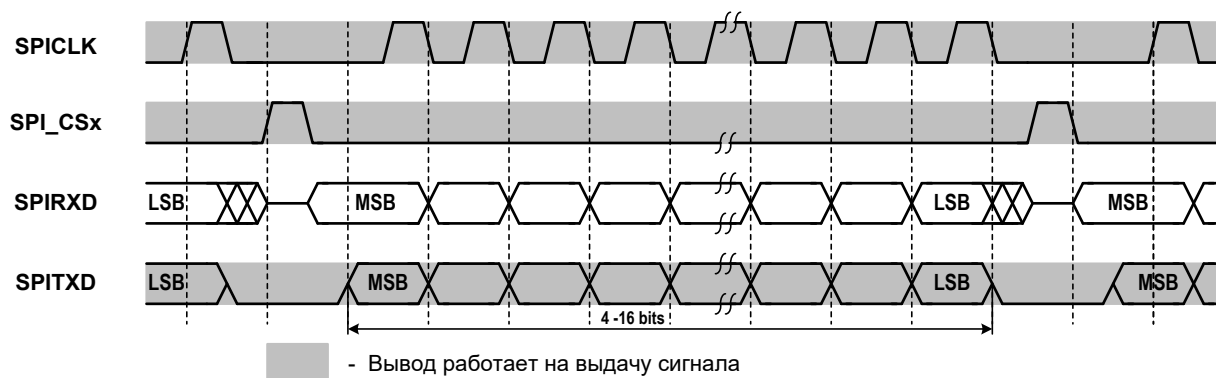


Рисунок 5.30 - Motorola SPI mode 0 (SPO=0, SPH=0) передача из нескольких пакетов

Motorola SPI mode 1 (SPO=0, SPH=1)

На рисунке 5.31 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 1.

Выдача данных происходит по фронту сигнала SPICLK, защелкивание входных данных – по срезу сигнала SPICLK. Сигнал SPI_CSx не меняет свое значение между словами в передаче из нескольких пакетов.

					Лист
					485
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

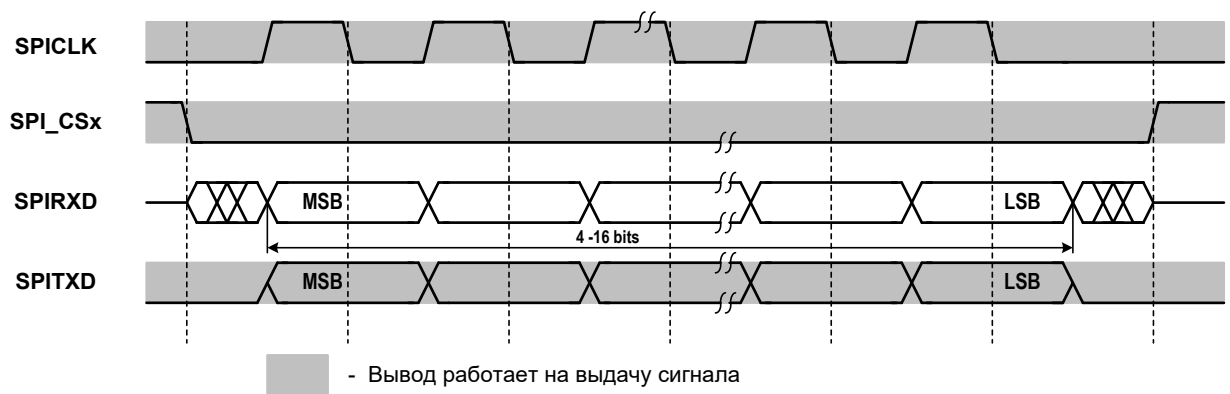


Рисунок 5.31 - Motorola SPI mode 1 (SPO=0, SPH=1) одиночная передача

Motorola SPI mode 2 (SPO=1, SPH=0)

На рисунках 5.32 – 5.33 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 2 при передаче одного слова данных и состоящей из нескольких пакетов данных.

Выдача данных происходит по фронту сигнала SPICLK, защелкивание входных данных – по срезу сигнала SPICLK. Между пакетами (словами) вывод SPI_CSx принимает значение 1 на протяжении полутакта синхросигнала SPICLK.

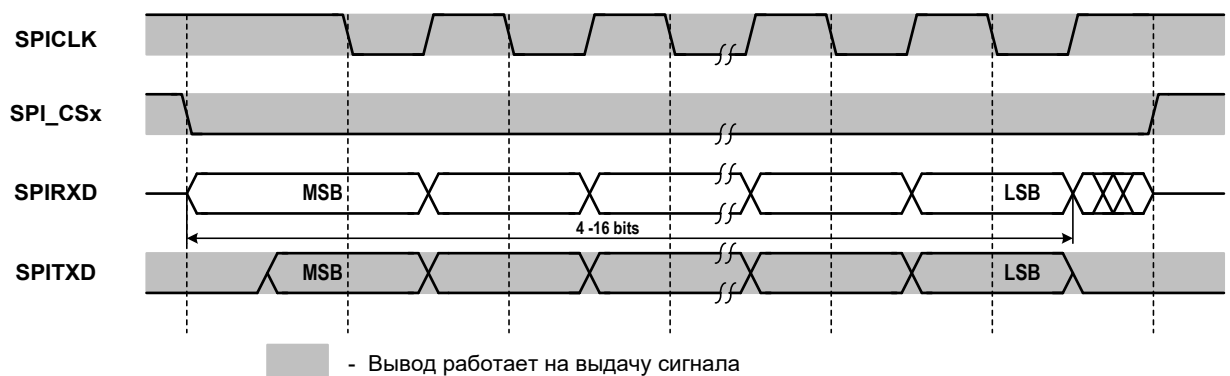


Рисунок 5.32 - Motorola SPI mode 2 (SPO=1, SPH=0) одиночная передача

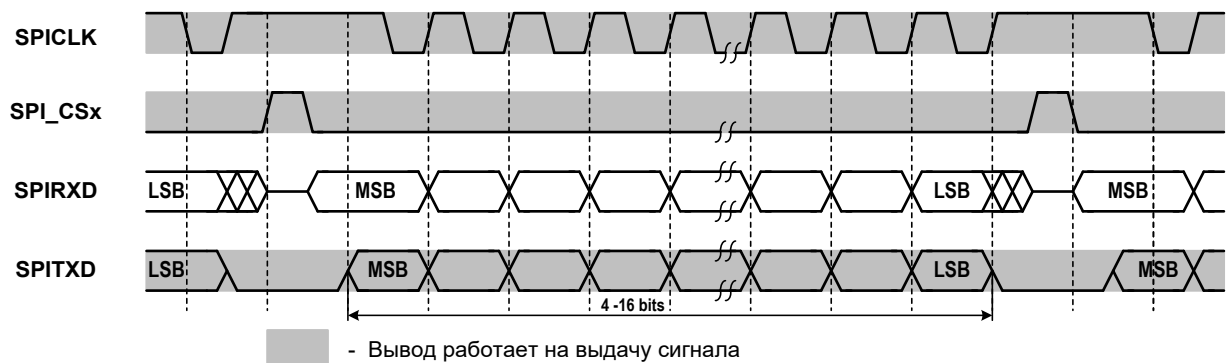


Рисунок 5.33 - Motorola SPI mode 2 (SPO=1, SPH=0) передача из нескольких пакетов

					Лист
					486
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Motorola SPI mode 3 (SPO=1, SPH=1)

На рисунке 5.34 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 3.

Выдача данных происходит по срезу сигнала SPICLK, защелкивание входных данных по фронту сигнала SPICLK.

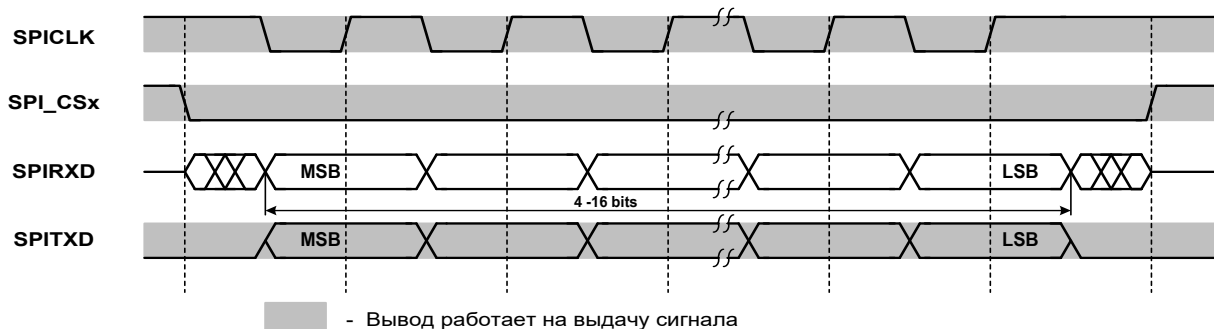


Рисунок 5.34 - Motorola SPI mode 3 (SPO=1, SPH=1) одиночная передача

При передаче нескольких пакетов сигнал SPI_CSx не меняет свое значение между словами.

5.14.3.2 Формат передачи данных спецификации Texas Instruments SPI

На рисунках 5.35 и 5.36 представлены временные диаграммы обмена по порту SPI в режиме Texas Instruments SPI при передаче одного слова данных и состоящей из нескольких пакетов данных.

При работе в формате передачи данных Texas Instruments SPI сигнал выбор устройства, с которым работает интерфейс, осуществляется путем выдачи на вывод SPI_CSi сигнала высокого уровня длительностью один такт. При последовательном обмене несколькими словами выдача на вывод SPI_CSi сигнала высокого уровня происходит в момент выдачи последнего бита предыдущего слова данных.

Работа интерфейса в данном режиме не зависит от состояния полей SPO и SPH регистра SSPCR0 контроллера.

					Лист
					487
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

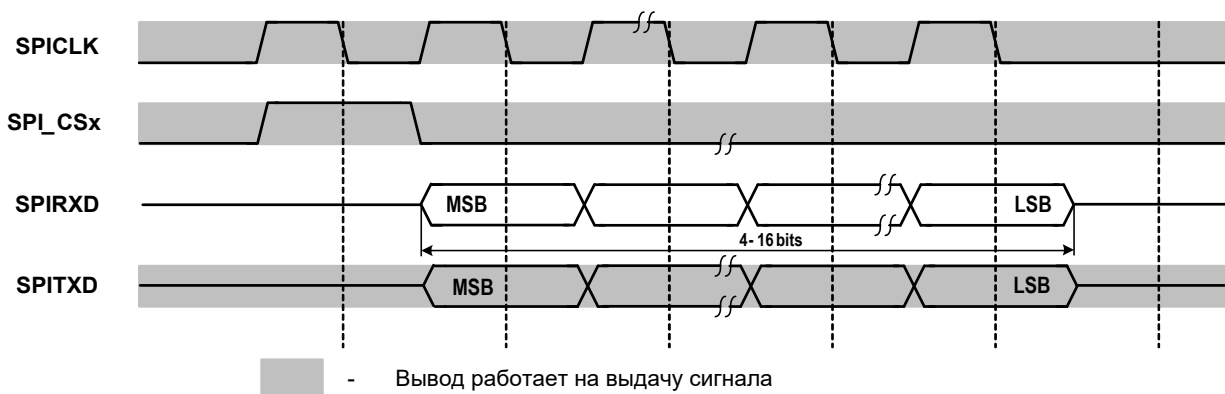


Рисунок 5.35 - Texas Instruments SPI одиночная передача

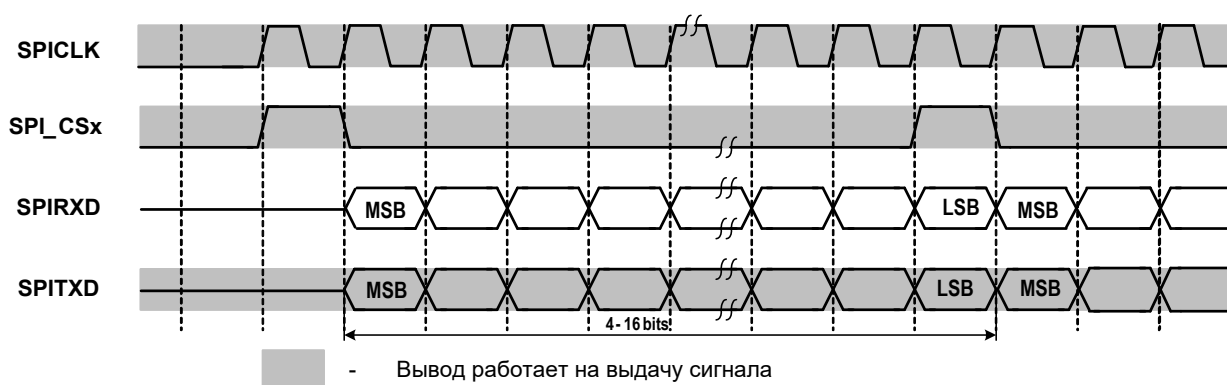


Рисунок 5.36 - Texas Instruments SPI передача из нескольких пакетов

5.14.3.3 Формат передачи данных спецификации National Semiconductors Microwire

На рисунках 5.37 и 5.38 представлены временные диаграммы обмена по порту SPI в режиме National Semiconductors Microwire при передаче одного слова данных и состоящей из нескольких пакетов данных.

					Лист
					488
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

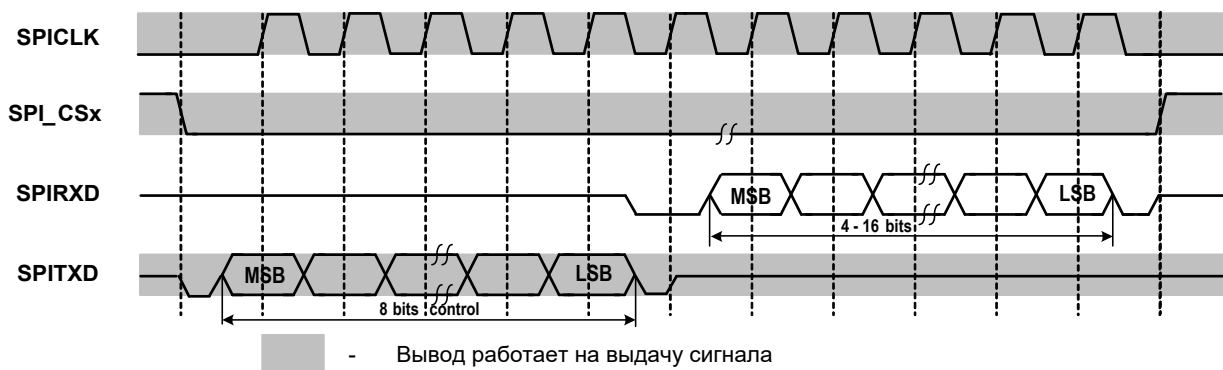


Рисунок 5.37 - National Semiconductors Microwire одиночная передача

Формат передачи данных National Semiconductors Microwire отличается от формата передачи SPI тем, что вместо полнодуплексной передачи данных происходит полудуплексная, т. е. передатчик сначала выдает управляющую информацию – 8 бит, а затем принимает данные в количестве, определяемом состоянием поля DSS регистра управления 0 контроллера SSPCR0. В качестве управляющей информации всегда берется младший байт 16-разрядного слова, записываемого в буфер передаваемых данных (регистр SSPDR) при инициализации передачи.

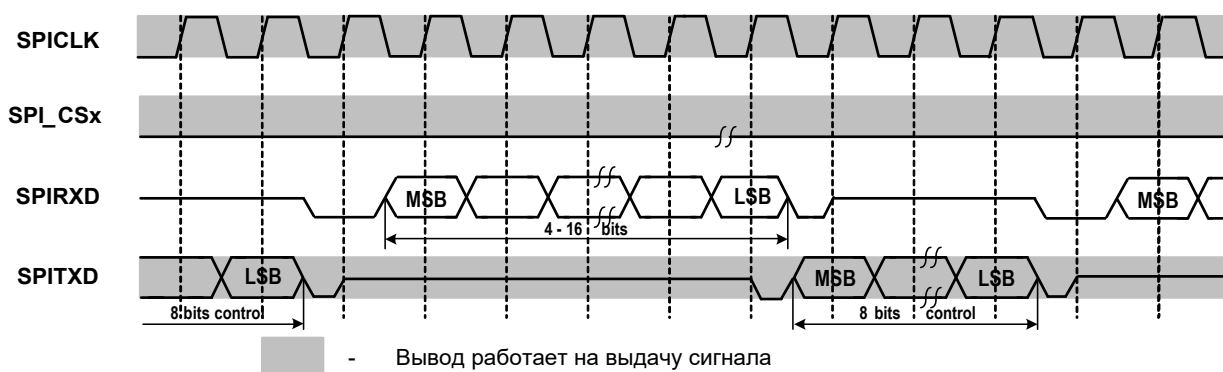


Рисунок 5.38 - National Semiconductors Microwire передача из нескольких пакетов

5.14.4 Работа контроллера ПДП интерфейса

Контроллер ПДП предназначен для обмена данными между внешними устройствами, подключенными к внешним выводам интерфейса и памятью без участия процессора. Контроллер ПДП программируется по 32-разрядной шине AMBA APB спецификации 3.0. Обмен данными в процессе выполнения процедуры ПДП производится по 32-разрядной шине AMBA AXI спецификации 3.0, к которой контроллер ПДП подключен в качестве “мастера”.

Так как обмен по интерфейсу при любом формате обмена является дуплексным (полудуплексным), т. е. одновременно идет и передача и прием данных, в контроллере ПДП

					Лист
					489
Изм.	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

нет разделения на процедуры чтения данных из памяти и записи данных в память. Эти оба процесса выполняются в рамках одной процедуры ПДП.

Перед запуском процедуры ПДП необходимо убедиться, что при инициализации контроллера интерфейса было разрешено использование режима ПДП на прием и на передачу, т. е. поля TXDMAE и RXDMAE регистра SSPDMACR установлены в 1. Кроме этого необходимо убедиться, что в приемном буфере не осталось данных от предыдущих обращений к интерфейсу. Если предыдущее обращение к интерфейсу осуществлялось в режиме ПДП, то очистку приемного буфера выполняет сам контроллер ПДП.

При запуске процедуры ПДП пользователь определяет адреса массива передаваемых и принимаемых данных и размер передачи в регистрах SSPDMATXHADR, SSPDMARXADR и SSPDMACNT соответственно. Адреса массивов данных в памяти должны быть выровнены на границу 32-разрядного слова. (Биты 1 и 0 адресов должны быть равны 0). Размер передачи задается в байтах и может быть произвольным.

Старт процедуры ПДП осуществляется установкой в 1 поля SSDMA_CTR регистра управления контроллером ПДП SSPDMACTR. После старта значения адресов и размер массива данных переписываются в адресные счетчики и счетчики данных и при дальнейшей работе не изменяются. Контроллер ПДП считывает данные из памяти, распаковывает их и записывает в буфер передаваемых данных контроллера интерфейса. По мере готовности данных в буфере принимаемых данных контроллер ПДП считывает их из буфера и, после упаковки в 32-разрядное слова, записывает в память процессора.

Упаковка и распаковка данных зависит от состояния поля SSDMA_PT регистра упаковки данных SSPDMAPT. При нулевом значении данного поля считанное из памяти процессора 32-разрядное слово данных преобразуется в четыре 16-разрядных слова, старший байт которых равен нулю, а младший байт имеет значение соответствующего байта считанного слова. Эти четыре слова последовательно записываются в буфер передаваемых данных контроллера интерфейса. Соответственно, у четырех последовательно считанных из буфера передаваемых данных 16-разрядных слов отбрасываются старшие байты, а младшие байты последовательно упаковываются в 32-разрядное слово, которое записывается в память процессора. Такая упаковка не приводит к потере данных, только если значение поля DSS регистра конфигурации 0 контроллера SSPCR0 не превышает 0111b.

									Лист
									490
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

При единичном значении поля SSDMA_PT считанное 32-разрядное слово данных преобразуется в два 16-разрядных слова, которые последовательно записываются в буфер передаваемых данных. Соответственно, два последовательно считанных из буфера передаваемых данных 16-разрядных слова упаковываются в одно 32-разрядное слово, записываемое в память процессора.

Если данные, считанные из внешнего устройства, пользователю не нужны, т. е. происходит только запись во внешнее устройство, то запись считанных данных в память процессора можно запретить, установив в 1 поле SSDMA_RXDIS регистра конфигурации режима приема SSPDMARXDIS. В этом случае чтение данных из буфера принимаемых данных осуществляется, но запись в память процессора блокируется.

Состояние контроллера ПДП отражается в регистре состояния контроллера ПДП SSPDMASTS. Поля регистра устанавливаются и сбрасываются аппаратно. Процедура ПДП окончена, когда оба поля регистра сброшены в состояние 0.

После окончания процедуры ПДП вырабатывается запрос на прерывание, который фиксируется в регистре запросов на прерывание SSPDMAIR. Данное прерывание может быть замаскировано установкой маски прерывания в регистре SSPDMAIM. Запрос на прерывание в регистре SSPDMAIR должен быть сброшен программно.

Если процедура ПДП останавливается путем сброса поля SSDMA_CTR регистра управления контроллером ПДП SSPDMACTR, то сразу прекращается считывание из памяти процессора записываемых во внешнее устройство данных. После записи в память процессора последнего считанного из внешнего устройства слова данных аппаратно сбрасываются соответствующие поля регистра состояния SSPDMASTS. Однако запрос на прерывание в данном случае не формируется.

5.14.5 Прерывания контроллера SPI

Контроллер формирует два запроса на прерывание:

DMANTR – запрос прерывание по окончании процедуры ПДП. Прерывание маскируемое. Запрос устанавливается по окончании процедуры ПДП по обнулению счетчика размера передачи. Сброс запроса на прерывание должен производиться программно.

										Лист
										491
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

SSPINTR – обобщенный запрос от контроллера интерфейса SPI. Данный запрос является комбинацией нижеперечисленных запросов на прерывание:

- **SSPRXINTR.** Запрос на прерывание по готовности принимаемых данных. Данный запрос устанавливается, когда буфер принимаемых данных содержит четыре или более слов.
- **SSPTXINTR.** Запрос на прерывание по готовности буфера передаваемых данных к приему данных. Данный запрос устанавливается, когда буфер передаваемых данных содержит менее четырех слов.
- **SSPRORINTR.** Запрос на прерывание по переполнению буфера принимаемых данных. Данный запрос устанавливается, когда буфер принимаемых данных заполнен. Прием данных продолжается, приводя к потере данных в приемном сдвиговом регистре.
- **SSPRTINTR.** Запрос на прерывание по истечении времени ожидания приема данных. Этот запрос устанавливается, когда принятые данные находятся в буфере принимаемых данных дольше 32 тактов. Этот механизм дополнительно оповещает программиста о том, что необходимо забрать данные из буфера. Прерывание SSPRTINTR снимается, когда буфер принимаемых данных становится пустым или если новые данные получены с SPI шины. Прерывание также может быть снято путем записи бита RTIC=1 в регистре SSPICR.

Каждый из четырех запросов на прерывание может быть замаскирован путем установления соответствующих масок в регистре SSPIMSC. Состояние запросов на прерывания до и после наложения маски можно узнать, прочитав SSPRIS и SSPMIS регистры.

										Лист
										492
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.15 Сторозевой таймер WDT

Сторожевой таймер служит индикатором попадания процессора в состояние «зависания». Управление блоком сторожевого таймера осуществляется по шине AMBA APB версии 2.0. Блок состоит из программируемого 32-разрядного таймера, работающего на тактовой частоте шины APB, схемы управления режимами работы таймера и схемы формирования контрольных и управляющих сигналов.

5.15.1 Организация работы сторожевого таймера

После снятия сигнала системного сброса блок находится в выключенном состоянии. Если возникла необходимость воспользоваться сторожевым таймером, то программным образом надо задать интервал счета таймера, формируя тем самым квант времени работы сторожевого таймера. После записи интервала счета счетчик начинает декрементироваться.

Когда счетчик достигает нулевого значения, генерируется сигнал прерывания WDOGINT. Одновременно в счетчик заносится начальное значение интервала счета и декремент счетчика возобновляется. Если до достижения счетчиком нулевого значения, прерывание WDOGINT не будет обработано (сброшено), то будет установлен высокий уровень на внешнем выводе WDT, на основе которого внешним образом следует сгенерировать сигнал системного сброса процессора.

Для исключения случайного сброса процессора вследствие неправильной записи в регистры блока сторожевого таймера предусмотрена возможность программно заблокировать эти регистры для записи.

5.15.2 Программно доступные регистры блока сторожевого таймера

Программно доступные регистры блока сторожевого таймера WDT расположены в области памяти периферийных устройств REG_CCPU, и имеют начальный адрес WDT Base = 0x000C_E000 hex и общий размер 4 Кбайт. Спецификация регистров блока представлена в таблице 5.233.

					ЮФКВ.431282.020РЭ			Лист 493
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020		31406-3					

Таблица 5.233 - Спецификация регистров блока WDT

Адрес (байтовый доступ)	Тип	Разрядность	Начальное значение	Имя	Описание
0x000C_E000 hex	ЧТ/ЗП	32	0xFFFFFFFF	WdogLoad	Регистр загрузки
0x000C_E004 hex	ЧТ	32	0xFFFFFFFF	WdogValue	Регистр значения
0x000C_E008 hex	ЧТ/ЗП	2	0x0	WdogControl	Регистр управления.
0x000C_E00C hex	ЗП	-	-	WdogIntClr	Регистр сброса прерываний
0x000C_E010 hex	ЧТ	1	0x0	WdogRIS	Регистр состояния прерывания до наложения маски.
0x000C_E014 hex	ЧТ	1	0x0	WdogMIS	Регистр состояния прерывания после наложения маски.
0x000C_E018 hex - 0x000C_EBFF hex	-	-	-	-	Зарезервировано
0x000C_EC00 hex	ЧТ/ЗП	32	0x0	WdogLock	Регистр блокировки.
0x000C_EC04 hex - 0x000C_EEFF hex	-	-	-	-	Зарезервировано
0x000C_EF00 hex	ЧТ/ЗП	1	0x0	WdogITCR	Регистр управления тестом интеграции.
0x000C_EF04 hex	ЗП	2	0x0	WdogITOP	Регистр управления тестом интеграции.
0x000C_EF08 hex - 0x000C_EFDC hex	-	-	-	-	Зарезервировано.
0x000C_EFE0 hex	ЧТ	8	0x05	WdogPeriphID0	Идентификатор периферийного устройства.
0x000C_EFE4 hex 0x3F9	ЧТ	8	0x18	WdogPeriphID1	Идентификатор периферийного устройства.
0x000C_EFE8 hex	ЧТ	8	0x14	WdogPeriphID2	Идентификатор периферийного устройства.
0x000C_EFEC hex	ЧТ	8	0x00	WdogPeriphID3	Идентификатор периферийного устройства
0x000C_EFF0 hex	ЧТ	8	0x0D	WdogPCellID0	Идентификатор PrimeCell
0x000C_EFF4 hex	ЧТ	8	0xF0	WdogPCellID1	Идентификатор PrimeCell
0x000C_EFF8 hex	ЧТ	8	0x05	WdogPCellID2	Идентификатор PrimeCell
0x000C_EFFC hex	ЧТ	8	0xB1	WdogPCellID3	Идентификатор PrimeCell

WdogLoad – регистр загрузки – 32-битный регистр, доступный по записи и по чтению. Данный регистр хранит значение интервала счета, с которого счетчик начинает декрементироваться. Если значение регистра WdogLoad установлено в нуль, то прерывания сторожевым таймером вырабатываются незамедлительно. Если содержимое регистра отлично от нуля, то это значение загружается в счетчик незамедлительно после записи регистра.

WdogValue – регистр значения счетчика – 32-битный регистр, доступный только на чтение. При чтении этого регистра выдается текущее значение декрементирующего счетчика.

										Лист
										494
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

WdogControl – регистр управления – 2-битный регистр, доступный на запись и чтение, который разрешает программному обеспечению (ПО) управлять сторожевым таймером. В таблице 5.234 приведен формат регистра WdogControl.

Таблица 5.234 - Формат регистра WdogControl

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервировано.
[1]	RESEN	ЧТ/ЗП	Разрешающий сигнал блока WDOG для сброса выхода, WDOGRST. Работает как маска для сброса выхода. Если установлен высокий уровень, то разрешен сброс, если низкий, то сброс неактивен.
[0]	INTEN	ЧТ/ЗП	Сигнал, разрешающий прерывание события WDOGINT. Если установлен высокий уровень, то счетчик находится в активном состоянии и разрешены прерывания, если установлен низкий уровень, то счетчик и прерывания неактивны. Нужно перезагрузить счетчик значением, которое хранится в WdogLoad, если прерывание ранее было неактивным, но затем стало разрешенным.

WdogIntClr – регистр сброса прерываний. Любая запись в данный регистр снимает прерывание WDOG и перезагружает счетчик значением регистра WdogLoad.

WdogRIS – регистр состояния прерывания до наложения маски. Данный регистр определяет состояние прерываний, формируемых счетчиком, до наложения маски. Регистр WdogRIS возводится в единицу в момент, когда счетчик сторожевого таймера достигает нуля. В таблице 5.235 приведен формат регистра WdogRIS.

Таблица 5.235 - Формат регистра WdogRIS

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервировано
[0]	WDOGRIS	ЧТ	Состояние прерывания от счетчика до наложения маски.

WdogMIS – регистр состояния прерывания после наложения маски. Данный регистр определяет состояние прерывания счетчика после наложения маски. Это состояние формируется логической функцией «И» между битом WDOGRIS и битом INTEN регистра управления. В таблице 5.236 приведен формат регистра WdogMIS.

Таблица 5.236 - Формат регистра WdogMIS

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервировано.
[0]	WDOGMIS	ЧТ	Состояние прерывания от счетчика после наложения маски.

WdogLock – регистр блокировки записи. Запись любого значения кроме 0x1ACCE551 в данный регистр блокирует программную запись во все другие регистры блока. Запись значения 0x1ACCE551 разблокирует программную запись во все регистры блока. Таким

										Лист
										495
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

образом, можно защитить регистры WDOG от некорректно работающего программного обеспечения. Чтение из этого регистра возвращает состояние блокировки:

0 – доступ по записи разрешен (нет блокировки);

1 – доступ по записи запрещен (заблокирован).

В таблице 5.237 приведен формат регистра WdogLock.

Таблица 5.237 - Формат регистра WdogLock

Биты	Название	Тип	Выполняемая функция
[31:0]	WDOGLOCK	ЧТ/ЗП	Запись значения 0x1ACCE551 в этот регистр разрешает запись во все регистры. Запись любого другого значения делает невозможным доступ по записи ко всем регистрам. Чтение возвращает состояние блокировки: 0x00000000 – запись во все регистры разрешена; 0x00000001 – запись во все регистры запрещена.

WdogPeriphID0-3 – Идентификатор периферийного устройства. Регистр TimerPeriphID0-3 представляет четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр. В таблице 5.238 и на рисунке 5.39 приведен формат этого регистра.

Таблица 5.238 - Формат регистра WdogPeriphID0-3

Биты	Выполняемые функции
PartNumber[11:0]	Содержит шифр компонента периферийного блока. Для DIT 0x805
DesignerID[19:12]	Идентификационный номер проектировщика блока. Для ARM 0x41 (ASCII A)
Revision[23:20]	Является номером ревизии периферийного блока. Номер ревизии начинается с нуля
Configuration[31:24]	Является вариантом конфигурации периферии. Для DIT 0x0

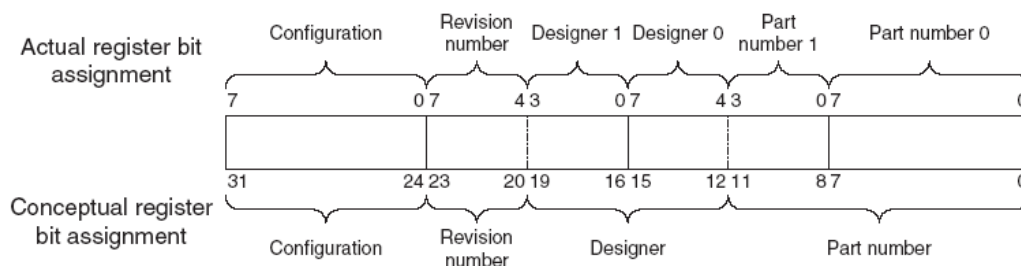


Рисунок 5.39 - Формат регистра WdogPeriphID0-3

Обращение к периферийным регистрам должно быть 32-битным, независимо от их реальной разрядности.

WdogPCellID0-3 – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, программно доступные только по чтению, могут быть

										Лист
										496
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр WdogPCellID установлен в 0xB105F00D. На рисунке 5.40 приведен формат этого регистра.

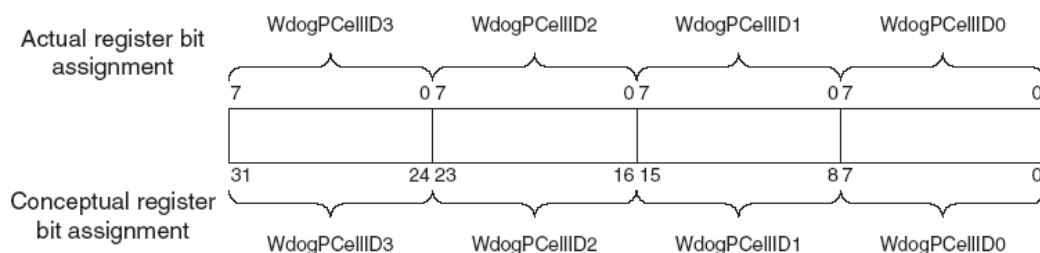


Рисунок 5.40 - Формат регистра WdogPCellID0-3

WdogITCR – регистр управления тестом интеграции. Данный однобитный регистр используется для активации тестового режима проверки правильности интеграции периферийного блока в систему – далее «теста интеграции». Когда используется этот режим, прерывание WDOGINT и сигнал сброса WDOGRST контролируются регистром WdogITOP. Формат регистра приведен в таблице 5.239.

Таблица 5.239 - Формат регистра WdogITCR

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервированы.
[0]	ITEN	ЧТ/ЗП	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, WDOG переходит в режим теста интеграции, иначе находится в нормальном режиме.

WdogITOP – регистр управления выходными сигналами В режиме теста интеграции, на выходные сигналы прерывания подаются соответствующие разряды данного регистра. Формат регистра приведен в таблице 5.240.

Таблица 5.240 - Формат регистра WdogITOP

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули .
[0]	WDOGINT	ЗП	Значение выхода WDOGINT в режиме теста интеграции.
[1]	WDOGRST	ЗП	Значение выхода WDOGRST в режиме теста интеграции.

5.16 Контроллер измерения температуры кристалла с температурным датчиком Temp Sens

Контроллер измерения температуры кристалла предназначен для формирования тактового сигнала датчика измерения температуры, управления датчиком и оценки результатов измерения в режиме реального времени. Измерение температуры производится в диапазоне от -40 до +125 °С с точностью ± 5 °С.

Температурный датчик реализован на температурно чувствительной ячейке, аналоговый выход которой непрерывно оцифровывается АЦП последовательного приближения с частотой оцифровки не более 50 кГц.

После фиксации значения температуры на выходе АЦП контроллер производит сравнение полученного значения с порогом, задаваемым программно. В случае превышения порога формируется прерывание по превышению температуры, которое может быть обработано стандартным образом.

Управление контроллером осуществляется по 32-разрядной шине AMBA APB спецификации 3.0. Работа блока контроллера тактируется тактовым сигналом шины APB.

5.16.1 Программно доступные регистры контроллера измерения температуры

Программно доступные регистры контроллера измерения температуры расположены в области памяти периферийных устройств, имеют базовый адрес TS Base = 0x000D_1000 и общий размер 4 Кбайт. Спецификация регистров представлена в таблице 5.241.

										Лист
										498
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

Таблица 5.241 - Спецификация регистров контроллера измерения температуры

Адрес (байтовый доступ)	Тип	Разрядность	Начальное значение	Имя	Описание
0x000D_1000	ЧТ/ЗП	1	0x1	TS_PWDN	Регистр управления режимом пониженного потребления
0x000D_1004	ЧТ/ЗП	1	0x0	TS_START	Регистр управления режимом измерения температуры
0x000D_1008	ЧТ/ЗП	1	0x0	TS_IR	Регистр запроса на прерывание по превышению температуры.
0x000D_100C	ЧТ/ЗП	1	0x0	TS_IM	Регистр маски прерываний температурного датчика.
0x000D_1010	ЧТ/ЗП	12	0xFFF	TS_CLK_DIV	Регистр делителя частоты АЦП температурного датчика.
0x000D_1014	ЧТ/ЗП	12	0xFFF	TS_LEVEL	Регистр порога температуры.
0x000D_1018	ЧТ/ЗП	12	0x000	TS_DATA	Регистр текущего значения температуры.
0x000D_101C	ЧТ/ЗП	1	0x0	TS_ENZC	Регистр управления режимом калибровки датчика.
0x000D_1020 - 0x000D_1FFF	-	-	-	-	Зарезервировано

Регистр **TS_PWDN** – регистр управления режимом пониженного потребления. Регистр доступен по чтению и записи и управляет режимом пониженного потребления датчика измерения температуры. В таблице 5.242 приведен формат регистра TS_PWDN.

Таблица 5.242 - Формат регистра TS_PWDN

Биты	Название	Тип	Описание
[0]	PWDN	ЧТ/ЗП	0 – Датчик температуры находится в рабочем режиме; 1 – Датчик температуры находится в режиме пониженного потребления.

Регистр **TS_START** – регистр управления режимом измерения температуры. Регистр доступен по чтению и записи и управляет режимом измерения температуры контроллера. В таблице 5.243 приведен формат регистра TS_START.

Таблица 5.243 - Формат регистра TS_START

Биты	Название	Тип	Описание
[0]	START	ЧТ/ЗП	0 – контроллер находится в пассивном режиме; 1 – контроллер находится в режиме измерения температуры.

										Лист
										499
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Регистр **TS_IR** – регистр запроса на прерывание по превышению температуры. Регистр доступен по чтению и по записи. В таблице 5.244 приведен формат регистра **TS_IR**.

Таблица 5.244 - Формат регистра TS_IR

Биты	Название	Тип	Описание
[0]	IR	ЧТ/ЗП	Запрос на прерывание по превышению температуры

Регистр **TS_IM** – регистр маски запроса на прерывание по превышению температуры. Регистр доступен по чтению и по записи. В таблице 5.245 приведен формат регистра **TS_IM**.

Таблица 5.245 - Формат регистра TS_IM

Биты	Название	Тип	Описание
[0]	IM	ЧТ/ЗП	Маска прерывания по превышению температуры: 0 – маска установлена; 1 – маска сброшена.

Регистр **TS_CLK_DIV** – 12-битный регистр делителя частоты АЦП температурного датчика. Регистр доступен по чтению и по записи. Формат регистра представлен в таблице 5.246.

Таблица 5.246 - Формат регистра TS_CLK_DIV

Биты	Название	Тип	Описание
[11:0]	CLK_DIV	ЧТ/ЗП	Значение делителя частоты.

Тактовый сигнал, подаваемый на АЦП, формируется из тактового сигнала работы контроллера (т. е. тактового сигнала шины APB) путем деления на коэффициент, задаваемый в регистре **TS_CLK_DIV**. Частота тактового сигнала, подаваемого на АЦП, вычисляется по формуле:

$$F_{\text{АЦП}} = \frac{F_{\text{apb}}}{2 * (N + 1)},$$

где $F_{\text{АЦП}}$ - тактовая частота АЦП датчика температуры,

F_{apb} - тактовая частота работы контроллера (тактовая частота шины APB),

N - значение, задаваемое в регистре **TS_CLK_DIV**.

Частота тактового сигнала, подаваемого на АЦП температурного датчика, не должна превышать 50 кГц.

Регистр **TS_LEVEL** – регистр порога температуры. Регистр доступен по чтению и по записи. В таблице 5.247 приведен формат регистра **TS_LEVEL**.

									Лист
									500
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Таблица 5.247 - Формат регистра TS_LEVEL

Биты	Название	Тип	Описание
[11:0]	LEVEL	ЧТ/ЗП	Значение порога температуры, с которым будет сравниваться выход АЦП температурного датчика.

Регистр TS_DATA – регистр текущего значения температуры. Регистр доступен по чтению и по записи. В таблице 5.248 приведен формат регистра TS_DATA.

Таблица 5.248 - Формат регистра TS_DATA

Биты	Название	Тип	Описание
[11:0]	DATA	ЧТ/ЗП	Последний отсчет значения температуры с выхода АЦП.

Регистр TS_ENZC – регистр управления режимом калибровки. Регистр доступен по чтению и записи и управляет режимом калибровки датчика. В таблице 5.249 приведен формат регистра TS_ENZC.

Таблица 5.249 - Формат регистра TS_ENZC

Биты	Название	Тип	Описание
[0]	ENZC	ЧТ/ЗП	0 – контроллер находится в рабочем режиме; 1 – контроллер находится в режиме калибровки.

5.16.2 Работа с контроллером измерения температуры кристалла

Процедура активизации датчика измерения температуры на кристалле должны происходить следующим образом:

- сначала необходимо задать тактовую частоту работы АЦП, записав значение делителя частоты в регистр TS_CLK_DIV. Значение делителя частоты должно быть таким, чтобы частота тактового сигнала АЦП не превышала 50 кГц;
- далее в регистре TS_LEVEL задается порог температуры, с которым будет сравниваться измеряемое значение температуры на выходе АЦП. Соответствие значения температуры на кристалле коду на выходе АЦП представлено в таблице 5.250.

										Лист
										501
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.250 - Соответствие измеренной температуры кристалла коду на выходе АЦП

Температура, °С	Код на выходе АЦП	Температура, °С	Код на выходе АЦП	Температура, °С	Код на выходе АЦП
- 40	3795	+ 20	3683	+ 80	3543
- 35	3787	+ 25	3673	+ 85	3529
- 30	3779	+ 30	3663	+ 90	3515
- 25	3769	+ 35	3651	+ 95	3501
- 20	3761	+ 40	3641	+ 100	3487
- 15	3751	+ 45	3629	+ 105	3471
- 10	3743	+ 50	3617	+ 110	3457
- 5	3733	+ 55	3605	+ 115	3441
0	3723	+ 60	3593	+ 120	3425
+ 5	3713	+ 65	3581	+ 125	3409
+ 10	3703	+ 70	3569	-	-
+ 15	3693	+ 75	3555	-	-

После установки порога АЦП датчик температуры выводится из режима пониженного потребления путем записи значения 0 в регистр TS_PWDN. Измерение температуры начинается после установки значения 1 в регистре TS_START.

Текущее значение температуры можно посмотреть, программно считав значение кода из регистра TS_DATA. Первое измеренное значение записывается в регистр TS_DATA через семь тактов частоты работы АЦП датчика температуры после перевода датчика из состояния пониженного потребления в рабочий режим.

5.16.3 Прерывания контроллера измерения температуры на кристалле

Контроллер формирует следующий запрос на прерывание:

- TSINT – запрос на прерывание по превышению температуры порога, установленного в регистре TS_LEVEL. Прерывание маскируемое. Запрос на прерывание фиксируется в регистре TS_IR независимо от состояния маски. Сброс запроса на прерывание должен производиться программно.

										Лист
										502
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.17 Загрузочное ПЗУ BR0M и начальная загрузка микросхемы 1879BM8Я

Микросхема 1879BM8Я имеет банк памяти ПЗУ объёмом 8 Кбайт, который содержит программу начального загрузчика.

Начальный загрузчик – это программа, которая начинает выполняться после снятия внешнего сигнала сброса и инициализации схемы ФАПЧХ внутри СБИС 1879BM8Я. Задача этой программы загрузить во внутреннюю память процессора ARM Cortex-A5 центрального управляющего узла образ программы и передать ей управление. Загружаемой программой может быть, например, загрузчик операционной системы.

Начальная загрузка микросхемы возможна через интерфейсы:

- SPI – в этом случае начальный загрузчик самостоятельно извлекает образ из флэш-памяти, доступной по интерфейсу SPI,
- PCIe или Ethernet (Ethernet Debug Communication Link, EDCL) – в этом случае образ программы должен быть загружен внешним хост-контроллером через соответствующий интерфейс.

Выбор режима загрузки осуществляется начальным загрузчиком в зависимости от состояния внешних входов BO0TM2, BO0TM1, BO0TM0 в соответствии с таблицей 5.251.

Таблица 5.251 – Варианты начальной загрузки микросхемы 1879BM8Я

BO0TM2	BO0TM1	BO0TM0	Режим загрузки
0	0	0	Загрузка по SPI.
0	0	1	Загрузка только по Ethernet.
0	1	0	Загрузка только по PCIe.
0	1	1	Загрузка по Ethernet или PCIe (ожидается из любого источника).
1	0	0	Загрузка по SPI с индикацией на GPIOC.
1	0	1	Загрузка только по Ethernet с индикацией на GPIOC.
1	1	0	Загрузка только по PCIe с индикацией на GPIOC.
1	1	1	Зарезервировано (тестовый режим).

Код начального загрузчика всегда доступен для чтения по адресу 0x000C4000 управляющего процессорного узла CCPU. Однако после начального сброса микросхемы содержимое ПЗУ копируется во внутренний банк памяти CCMB1 по адресу 0x00030000, исполнение кода начального загрузчика производится далее из этого банка.

Блок-схема алгоритма начального загрузчика показана на рисунке 5.41.

										Лист
										503
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

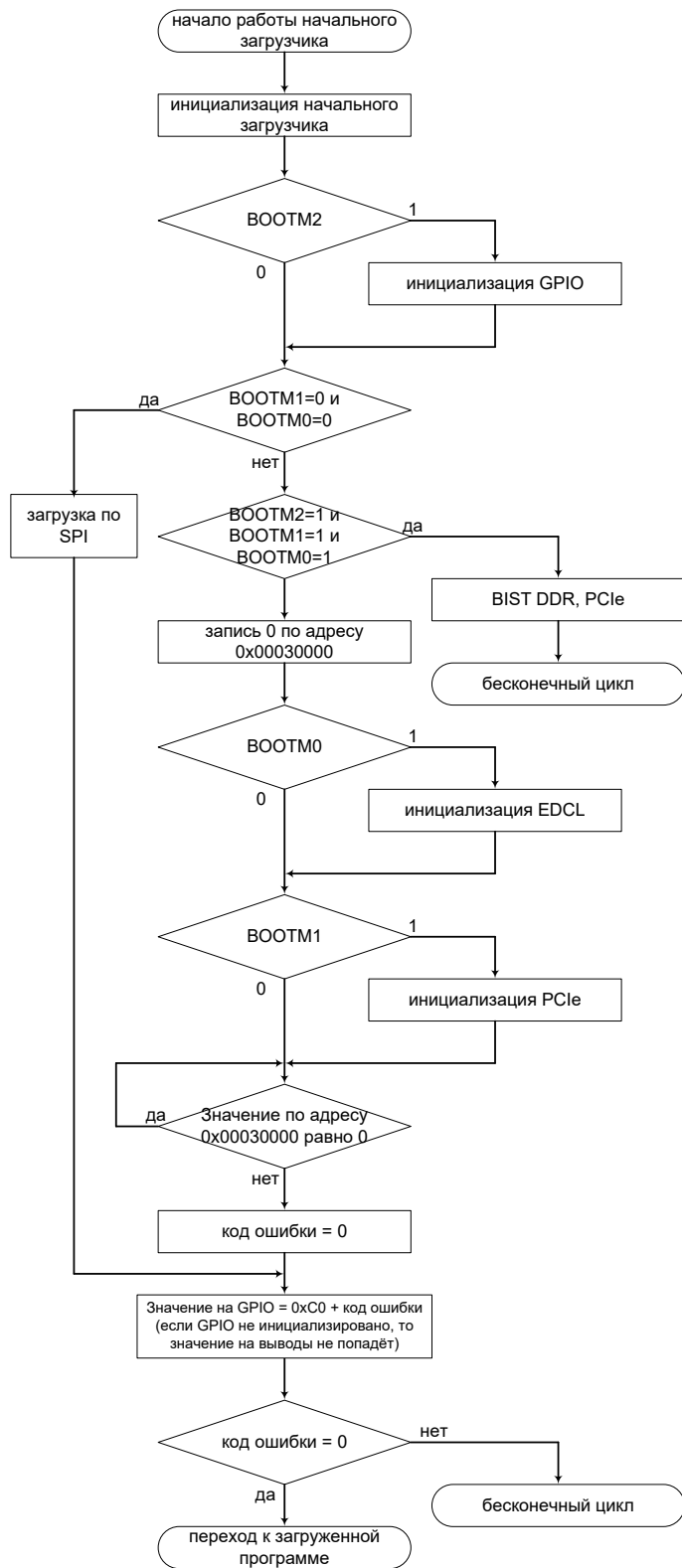


Рисунок 5.41 – Блок-схема алгоритма начального загрузчика

					Лист
					504
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Образ загружаемой программы в случае загрузки по SPI помещается в банк ССМВ0 по адресу 0x00000000. При загрузке хост-контроллером программа может быть расположена в любом месте, кроме адресов 0x00030000 - 0x0003FFFF банка ССМВ1 (где работает начальный загрузчик).

Независимо от способа загрузки:

- выполнение загруженной программы начинается с адреса 0x00000000,
- в момент старта загружаемой программы процессор находится в режиме супервизора (CPSR[4:0]=b10011).

Следует обратить внимание, что внутренний банк памяти ССМВ0 виден хост-контроллеру по адресам с базовым смещением 0x60000000.

5.17.1 Загрузка хост-контроллером

В режиме загрузки хост-контроллером начальный загрузчик настраивает интерфейсы Ethernet и/или PCIe таким образом, что обеспечивает хост-контроллеру произвольный доступ в адресное пространство микросхемы:

- по Ethernet – специальные пакеты протокола EDCL (п. 5.11.7) преобразуются аппаратно в транзакции чтения и записи в адресном пространстве микросхемы,
- по PCIe – загрузчик настраивает два окна по 2 Гбайта BAR0 и BAR1 таким образом, что всё адресное пространство микросхемы (4 Гбайта) становится доступным хост-контроллеру.

Предполагаемый сценарий работы хост-контроллера:

- загрузить программу во внутреннюю память микросхемы с помощью произвольного доступа через PCIe или EDCL,
- записать ненулевое значение по адресу 0x00030000 (или 0x60030000 с точки зрения хост-контроллера).

Поскольку хост-контроллер имеет произвольный доступ к ресурсам микросхемы, то он не обязан следовать приведённому выше сценарию. Допускается, например, напрямую загружать другие процессорные ядра микросхемы или инициализировать внешнюю память DDR и только потом загружать программу.

					ЮФКВ.431282.020РЭ		Лист
							505
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
31406-4	09.11.2020		31406-3				

5.17.2 Начальная загрузка через порт SPI

Загрузка через SPI предполагает загрузку программы из флэш-памяти с интерфейсом SPI. Если предполагается этот способ начальной загрузки, то подключаемая микросхема памяти должна удовлетворять следующим условиям:

- поддержка SPI mode 3,
- частота работы не менее 10 МГц, т. к. начальное значение делителя опорного синхросигнала, выставяемое загрузчиком, равно 20,
- поддержка команды FAST_READ (код – 0x0B),
- загрузочная flash-память должна быть подключена к выводу SPI_CS0.

Считывание данных из флэш-памяти

При считывании данных из флэш-памяти загрузчик передает и принимает данные через SPI 16-разрядными словами. На приведенном далее примере каждое такое слово представлено как пара <старший байт> <младший байт>.

Для считывания фрагмента данных из флэш-памяти загрузчик через SPI передает следующую последовательность слов:

Ст a2

a1 a0

xx xx

xx xx

...

...

Значения байтов передаваемой последовательности слов таковы:

ст – команда быстрого чтения из флэш-памяти (FAST_READ = 0x0B);

a2, a1, a0 – 24-разрядный адрес первого считываемого из флэш-памяти байта;

xx – байты с любым значением.

В ответ загрузчик получает через SPI следующую последовательность слов:

xx xx

xx xx

xx b0

b1 b2

b3 b4

...

...

									Лист
									506
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4		09.11.2020		31406-3					

Значения байтов принимаемой последовательности слов таковы:

b0, b1, b2... – следующие друг за другом байты из флэш-памяти;
 xx – байты с любым значением.

Число принятых слов совпадает с числом переданных.

Последовательность загрузки через порт SPI

Образ загружаемой программы должен состоять из:

- дескриптора,
- бинарного файла загружаемой программы,
- контрольной суммы.

Загрузка через SPI выполняется в три этапа. На первом этапе считывается дескриптор образа программы, расположенный по младшему адресу флэш-памяти и занимающий восемь байт, как показано на рисунке 5.42.

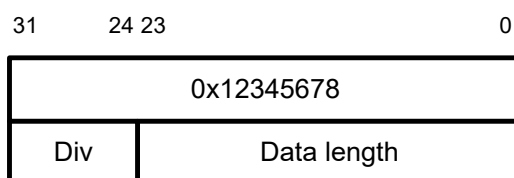


Рисунок 5.42 – Дескриптор образа загружаемой программы

Поля дескриптора:

- Data length – размер загружаемой программы в байтах (без учёта дескриптора и с учётом контрольной суммы),
- Div – делитель частоты контроллера SPI (регистр SSP_CPSR).

Перед вторым этапом загрузки начальный загрузчик выполняет следующие действия:

- проверяет что первое слово дескриптора содержит код 0x12345678 и выходит с кодом ошибки, если условие не выполняется,
- проверяет, что значение поля Data length не больше допустимого 0x30000 (192 Кбайта), и выходит с кодом ошибки, если условие не выполняется.

После успешной проверки SPI инициализируется с делителем частоты равным значению поля Div из дескриптора загружаемой программы или 20, если это значение равно нулю. Затем из флэш-памяти, начиная с адреса 0x00000008, считывается в ССМВ0 собственно бинарный файл загружаемой программы. Количество считываемых байтов равно значению поля Data length из дескриптора загружаемой программы.

На последнем этапе загрузчик проверяет контрольную сумму в конце образа.

										Лист
										507
Изм.	Лист	№ докум.	Подп.	Дата						
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№дубл.	Подп. и дата					
31406-4	09.11.2020		31406-3							

Для подсчёта контрольной суммы при создании образа следует использовать показанный на рисунке 5.43 алгоритм (приведён в псевдокоде, бинарный файл программы расположен в массиве 32-разрядных целочисленных слов words размером size).

```
CRC32 = 0xffffffff
for i=0..size-1
  CRC32 = CRC32 xor words[i]
  for j=0..31
    if ( (CRC32>>31) = 1 )
      CRC32 = (CRC32<<1) xor 0x04C11DB7
    else
      CRC32 = CRC32<<1
  CRC32 = CRC32 xor 0xffffffff
```

Рисунок 5.43 – Алгоритм расчёта контрольной суммы

На рисунке 5.44 для примера приведён исходный код короткой загружаемой программы, состоящей из одного ассемлерного файла.

```
.global main

main:
  B mmm

LOOP:
  B LOOP
  .word 0x09002002
  .word 0x0a003003
  .word 0x0b004004
  .word 0x0c005005

mmm:
  LDR R0, =str
  LDR R0, [R0]
  LDR R1, =0x000CD800
  STR R0, [R1]
  MOV R0, #-1
  STR R0, [R1, #0x0c]
  B LOOP

DDD: .word 0x12345678
str: .ascii "KOKO"
```

Рисунок 5.44 – Пример загружаемой программы

После подстановки дескриптора и добавления контрольной суммы образ данной программы должен выглядеть так, как показано на рисунке 5.45.

										Лист
										508
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

```

00000000: 78 56 34 12 74 00 00 10
00000008: 04 00 00 EA FE FF FF EA
00000010: 02 20 00 09 03 30 00 0A
00000018: 04 40 00 0B 74 00 00 00
00000020: 1C 00 9F E5 00 00 90 E5
00000028: 18 10 9F E5 00 00 81 E5
00000030: 00 00 E0 E3 0C 00 81 E5
00000038: F3 FF FF EA 78 56 34 12
00000040: 4B 4F 4B 4F 38 00 00 00
00000048: 00 D8 0C 00 00 00 00 00
00000050: 00 00 00 00 00 00 00 00
00000058: 00 00 00 00 00 00 00 00
00000060: 00 00 00 00 00 00 00 00
00000068: 00 00 00 00 00 00 00 00
00000070: 00 00 00 00 00 00 00 00
00000078: B9 33 D1 15 00 00 00 00

```

Рисунок 5.45 – Образ загружаемой программы

Выделенные байты – дескриптор и контрольная сумма, 0x74 – значение Data length.

5.17.3 Использование GPIOC для индикации состояния начального загрузчика

Использование выводов порта общего назначения центрального управляющего ПУ (GPIOC) для индикации состояния начального загрузчика зависит от состояния внешнего входа микросхемы BOOTM2. Если BOOTM2 = 0, то загрузчик конфигурирует все разряды GPIO как входы и индикации состояния начального загрузчика не происходит.

Если BOOTM2 = 1, то:

- в момент старта загрузчик конфигурирует разряды GPIOC [7:0] как выходы. Остальные разряды GPIOC конфигурируются как входы.
- значение 0x00 на GPIOC[7:0] говорит о том, что процесс загрузки стартовал,
- значение 0xC0 говорит об успешном завершении загрузки,
- значение 0xCe говорит об ошибке загрузки, где e – код ошибки.

Возможные коды ошибки загрузки:

- 2 – «магический код» не найден в образе при загрузке по SPI,
- 3 – неправильный размер загружаемого образа при загрузке по SPI,
- 4 – неправильная контрольная сумма загружаемого образа при загрузке по SPI.

5.18 Подсистема генераторов тактового сигнала и сигналов сброса

Для обеспечения тактирования и сброса как всей микропроцессорной системы, так и отдельных иерархических уровней микропроцессорной системы, была разработана иерархическая система из блоков генератора тактовых сигналов и сигналов сброса, представленная на рисунке 5.46.

					Лист
					509
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

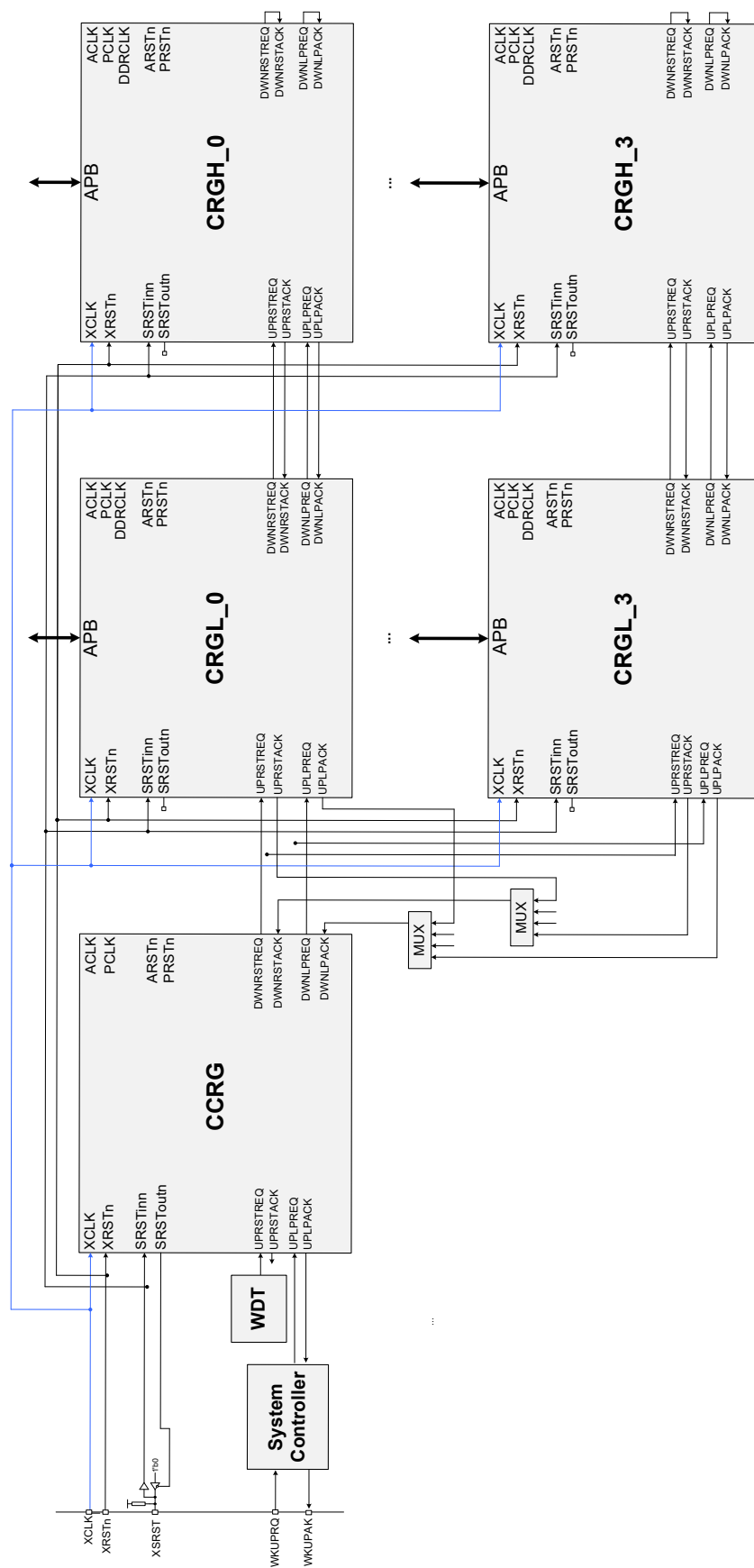


Рисунок 5.46 - Иерархия генераторов тактовых сигналов и сигналов сброса в микропроцессорной системе 1879BM8A

					Лист 510
ЮФКВ.431282.020РЭ					
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

В микропроцессорной системе 1879BM8Я задействовано 9 генераторов тактовых сигналов и сигналов сброса:

- **CCRG** – центральный генератор тактовых сигналов и сигналов сброса. Осуществляет тактирование и сброс центрального управляющего скалярного процессорного ядра ARM Cortex-A5 и других устройств процессорной системы CСРU,
- **CRGL0, CRGL1, CRGL2, CRGL3** – генераторы тактовых сигналов и сигналов сброса, осуществляющие тактирование и сброс всех устройств, относящихся к процессорным кластерам PC0, PC1, PC2, PC3,
- **CRGH0, CRGH1, CRGH2, CRGH3** – генераторы тактовых сигналов и сигналов сброса, осуществляющие тактирование и сброс вычислительных процессорных ядер NMC внутри процессорных кластеров. Каждый блок CRGH работает с четырьмя процессорными системами NMPU внутри своего кластера.

Генераторы тактовых сигналов и сигналов сброса связаны между иерархическими уровнями с помощью системы «запрос-подтверждение». Если на CСRG сброс был запрошен программно (путём записи в регистр управления CRGCR в поле бита SWRSTREQ значения «1»), CСRG отправляет сигнал запроса на сброс DWNRSTREQ на CRGL0 – CRGL3. Генераторы тактовых сигналов CRGL0 – CRGL3 отправляют запрос на сброс DWNRSTREQ на CRGH0 – CRGH3 таким же образом. После сброса процессорных ядер NMPU, на CRGH0 – CRGH3 выставляется сигнал подтверждения DWNRSTACK. Затем CRGH0 – CRGH3 отправляют сигнал подтверждения UPRSTREQ на CRGL0 – CRGL3 и, если сброс процессорных кластеров PC0-3 был осуществлен, CRGL0 – CRGL3 отправляют сигнал подтверждения UPRSTACK на CСRG.

Подобным образом осуществляется и запрос на отключение тактовых сигналов. Если от системного контроллера на CСRG приходит сигнал запроса на отключение тактового сигнала UPLPREQ, CСRG отправляет запрос на отключение тактовых сигналов DWNLPREQ на CRGL0 – CRGL3, которые, соответственно, отправляют запрос на отключение тактовых сигналов на CRGH0 – CRGH3. После того, как сигнал разрешения подачи тактовых сигналов CLK_EN перейдет в неактивное состояние, на CRGH0 – CRGH3 выставляется сигнал подтверждения DWNLPACK, что вызовет отправку подтверждения UPLPACK на верхний уровень иерархии на CRGL0 – CRGL3, а CRGL0 – CRGL3, соответственно, отправят подтверждение отключения тактовых сигналов на CСRG.

										Лист
										511
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата				Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020				31406-3					

Система «запрос-подтверждение» обеспечивает уверенность в том, что пока не осуществится сброс или отключение тактирования на нижнем иерархическом уровне и не будет получено подтверждение, ответ системы о том, что вся система сброшена или в ней отключено тактирование, не будет осуществлен.

5.18.1 Генераторы тактовых сигналов и сигналов сброса CRGL0 - CRGL3

Данные генераторы предназначены для управления со стороны CСPU сигналами синхронизации и сброса для управляющих ПУ в, соответственно, кластере PC0 - PC3. CRGL0 - CRGL3 по составу и функциональным особенностям работы полностью идентичны генератору GRGH, который был описан в подразделе 4.15. Исключением являются только адреса программно доступных регистров этих устройств, для каждого устройства они свои.

В таблицах 5.252 - 5.255 приведены спецификации регистров для CRGL0 - CRGL3 с указанием их адресов.

Таблица 5.252 - Спецификация регистров генератора тактовых сигналов и сигналов сброса CRGL0

Адрес (байтовый доступ)	Тип	Имя регистра	Описание
0x000C_6000 hex	ЧТ/ЗП	PLLCR	Регистр управления PLL.
0x000C_6004 hex	ЧТ	PLLRDYMR	Регистр готовности PLL.
0x000C_6008 hex	ЧТ/ЗП	IMACR	Регистр маски прерывания от PLL.
0x000C_600C hex	ЗП	PICR	Регистр снятия прерывания от PLL.
0x000C_6010 hex	ЧТ	CLKDIV	Регистр управления выходными делителями.
0x000C_6014 hex	ЧТ	CRGCR	Регистр управления CRGL0.
0x000C_6018 hex	ЧТ/ЗП	PSCR	Регистр запуска процессора.
0x000C_601C hex	ЧТ/ЗП	CRGSR	Регистр состояния CRGL0.

												Лист
												512
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ							
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата						
31406-4	09.11.2020			31406-3								

Таблица 5.253 - Спецификация регистров генератора тактовых сигналов и сигналов сброса CRGL1

Адрес (байтовый доступ)	Тип	Имя регистра	Описание
0x000C_7000 hex	ЧТ/ЗП	PLLCR	Регистр управления PLL.
0x000C_7004 hex	ЧТ	PLLRDYMR	Регистр готовности PLL.
0x000C_7008 hex	ЧТ/ЗП	IMACR	Регистр маски прерывания от PLL.
0x000C_700C hex	ЗП	PICR	Регистр снятия прерывания от PLL.
0x000C_7010 hex	ЧТ	CLKDIV	Регистр управления выходными делителями.
0x000C_7014 hex	ЧТ	CRGCR	Регистр управления CRGL1.
0x000C_7018 hex	ЧТ/ЗП	PSCR	Регистр запуска процессора.
0x000C_701C hex	ЧТ/ЗП	CRGSR	Регистр состояния CRGL1.

Таблица 5.254 - Спецификация регистров генератора тактовых сигналов и сигналов сброса CRGL2

Адрес (байтовый доступ)	Тип	Имя регистра	Описание
0x000C_8000 hex	ЧТ/ЗП	PLLCR	Регистр управления PLL.
0x000C_8004 hex	ЧТ	PLLRDYMR	Регистр готовности PLL.
0x000C_8008 hex	ЧТ/ЗП	IMACR	Регистр маски прерывания от PLL.
0x000C_800C hex	ЗП	PICR	Регистр снятия прерывания от PLL.
0x000C_8010 hex	ЧТ	CLKDIV	Регистр управления выходными делителями.
0x000C_8014 hex	ЧТ	CRGCR	Регистр управления CRGL2.
0x000C_8018 hex	ЧТ/ЗП	PSCR	Регистр запуска процессора.
0x000C_801C hex	ЧТ/ЗП	CRGSR	Регистр состояния CRGL2.

Таблица 5.255 - Спецификация регистров генератора тактовых сигналов и сигналов сброса CRGL3

Адрес (байтовый доступ)	Тип	Имя регистра	Описание
0x000C_9000 hex	ЧТ/ЗП	PLLCR	Регистр управления PLL.
0x000C_9004 hex	ЧТ	PLLRDYMR	Регистр готовности PLL.
0x000C_9008 hex	ЧТ/ЗП	IMACR	Регистр маски прерывания от PLL.
0x000C_900C hex	ЗП	PICR	Регистр снятия прерывания от PLL.
0x000C_9010 hex	ЧТ	CLKDIV	Регистр управления выходными делителями.
0x000C_9014 hex	ЧТ	CRGCR	Регистр управления CRGL3.
0x000C_9018 hex	ЧТ/ЗП	PSCR	Регистр запуска процессора.
0x000C_901C hex	ЧТ/ЗП	CRGSR	Регистр состояния CRGL3.

										Лист
										513
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.431282.020РЭ					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.18.2 Генератор тактовых сигналов и сигналов сброса CCRG

Данный генератор предназначен для управления со стороны внешнего хоста сигналами синхронизации и сброса центрального управляющего ПУ (CCPU). CCRG по составу и функциональным особенностям работы полностью идентичны генератору GRGH, который был описан в подразделе 4.15. Исключением являются только адреса программно доступных регистров этих устройств, для каждого устройства они свои.

В таблице 5.256 приведена спецификация регистров для CCRG с указанием его адресов.

Таблица 5.256 - Спецификация регистров генератора тактовых сигналов и сигналов сброса CCRG

Адрес (байтовый доступ)	Тип	Имя регистра	Описание
0x000C_A000	ЧТ/ЗП	PLLCR	Регистр управления PLL
0x000C_A004	ЧТ	PLLRDYMR	Регистр готовности PLL
0x000C_A008	ЧТ/ЗП	IMACR	Регистр маски прерывания от PLL
0x000C_A00C	ЗП	PICR	Регистр снятия прерывания от PLL
0x000C_A010	ЧТ	CLKDIV	Регистр управления выходными делителями
0x000C_A014	ЧТ	CRGCR	Регистр управления CCRG
0x000C_A018	ЧТ/ЗП	PSCR	Регистр запуска процессора
0x000C_A01C	ЧТ/ЗП	CRGSR	Регистр состояния CCRG

5.18.3 Синхросигналы и сигналы сброса блоков микросхемы

В таблице 5.257 показано подключение синхросигналов от блоков CRG к компонентам микросхемы. Приведена также начальная настройка CRG на момент завершения процедуры сброса (при старте микросхемы).

										Лист
										514
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.257 - Тактирование блоков микросхемы

Экземпляр CRG	Тактовый сигнал	Частота при старте	Максимальная частота	Перечень блоков
CRGH (4 экземпляра - по 1 на каждый кластер)	ACLK	1000 МГц	1000 МГц	NMPU0-3 (процессорное ядро, внутренняя память и собственная периферия), шинный коммутатор AXI_NMPU
	PCLK	-	-	
	DDRCLK	-	-	
CRGL0-3	ACLK	800 МГц (1/2 от 1600 МГц)	800 МГц	Процессорное ядро Cortex-A5 и контроллер прерываний (GIC), внутренние банки памяти СМВ0-3, контроллеры ПДП коммуникационных портов (CP0-3) и коммутаторы каналов связи (LC0-3), контроллер ПДП MDMAC, шинные коммутаторы кластера (AXI_CPU и AXI_P32F), блок защиты памяти (MPU)
	PCLK	200 МГц (1/2 от 400 МГц)	200 МГц	Медленные периферийные устройства кластера (DIT, GERA, системный контроллер), медленная периферийная шина (управление контроллером памяти и контроллером внешних линков)
	DDRCLK	800 МГц	800 МГц	Контроллер внешней памяти DDR
CCRG	ACLK	400 МГц (1/2 от 800 МГц)	600 МГц	Центральное процессорное ядро Cortex-A5 и контроллер прерываний (GIC), внутренние банки памяти ССМВ0-3, шинные коммутаторы AXI_CCPU, AXI_CCMB, AXI_PC, контроллеры ПДП коммуникационных портов (CP0-3) и контроллер ПДП MDMAC
	PCLK	200 МГц (1/2 от 400 МГц)	200 МГц	Медленные периферийные устройства центральной процессорной системы (DIT, WDT, GERA, системный контроллер, температурный датчик, контроллер SPI, контроллер Ethernet), медленная периферийная шина (управление контроллером памяти и контроллером PCIe)
	DDRCLK	800 МГц	800 МГц	Контроллер внешней памяти DDR (центральный)

5.18.4 Максимальная частота тактового сигнала ACLK центральной процессорной системы

Как показано в таблице 5.257, центральная процессорная система начинает работу не на максимальной частоте. Следующая последовательность действий позволяет настроить блок CCRG на выдачу максимальной частоты 600 МГц на выходе ACLK:

- записать значение 0x0810012A в регистр PLLCR (адрес 0x000CA000),
- подождать 250 нс (выключение PLL),
- дождаться установки бита 0 регистра PLLRDYCR (адрес 0x000CA004),
- записать значение 0x40 в регистр CLKDIV (адрес 0x000CA010).

В ходе данного алгоритма происходит выключение PLL и, как следствие, выключение тактового сигнала контроллера внешней памяти DDR. Для сохранения содержимого внешней памяти в этом случае могут потребоваться дополнительные действия (например, перевод микросхемы внешней памяти в режим self-refresh).

										Лист
										515
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

5.18.5 Режимы пониженного потребления микросхемы

В микросхеме заложены механизмы понижения энергопотребления в случае бездействия отдельных компонентов. Уменьшение потребления компонентом достигается за счёт:

- отключения тактового сигнала, подаваемого на компонент,
- удержания сигнала аппаратного сброса на отдельных компонентах.

Механизмы понижения потребления питания при бездействии:

- 1) выключение тактового сигнала на четырёх процессорных системах NMPU в составе каждого кластера,
- 2) выключение (сброс) четырёх процессорных систем NMPU в составе каждого кластера,
- 3) выключение внешних линков (каждого в отдельности),
- 4) выключение внешней памяти DDR (отключение тактового сигнала, подаваемого на микросхемы внешней памяти),
- 5) выключение тактовых сигналов в процессорных системах CPU и NMPU каждого кластера,
- 6) выключение (сброс) каждого кластера,
- 7) выключение тактовых сигналов в процессорных системах всей микросхемы.

Механизм 1 – выключение тактового сигнала на четырёх процессорных системах NMPU:

- установить бит REFLEN регистра CRGCR экземпляра CRGH – данный бит определяет, каким образом будут обрабатываться запросы (если они будут) в выключенный блок,
- записать значение 1 в бит SWLPREQ регистра CRGCR.

Для выхода из режима пониженного энергопотребления при использовании механизма 1 следует:

- записать значение 0 в бит SWLPREQ регистра CRGCR.

Механизм 2 – сброс четырёх процессорных систем NMPU:

- установить бит REFLEN регистра CRGCR экземпляра CRGH,
- записать значение 1 в бит SWRSTREQ регистра CRGCR.

Для выхода из режима пониженного энергопотребления при использовании механизма 2 следует:

- записать значение 0 в бит SWRSTREQ регистра CRGCR,

										Лист
										516
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
31406-4		09.11.2020			31406-3					

- заново загрузить процессорные ядра NMC.

Механизм 3 – отключение внешних линков кластера – производится программно по алгоритму, описанному в п. 0.

Механизм 4 – выключение внешней памяти DDR. Следует производить отдельно для каждого интерфейса (как у каждого кластера, так и для центральной управляющей процессорной системы). Подробное описание механизмов снижения потребления интерфейса DDR дано в п. 4.9.3.1.

Механизм 5 – отключение тактовых сигналов кластера:

- установить бит REFLen регистра CRGCR экземпляра CRGL,
- записать значение 1 в бит SWLPREQ регистра CRGCR.

Для выхода из режима пониженного энергопотребления при использовании механизма 5 следует:

- записать значение 0 в бит SWLPREQ регистра CRGCR.

Механизм 6 – сброс кластера:

- установить бит REFLen регистра CRGCR экземпляра CRGL,
- записать значение 1 в бит SWRSTREQ регистра CRGCR.

Для выхода из режима пониженного энергопотребления при использовании механизма 6 следует:

- записать значение 0 в бит SWRSTREQ регистра CRGCR,
- заново загрузить процессорное ядро ARM.

Механизм 7 – выключение тактовых сигналов на всей микросхеме. Выполнение команды WFI на центральном управляющем процессорном ядре ARM вызывает запрос на отключение тактовых сигналов, аналогичный биту SWLPREQ регистра CRGCR. В этом случае происходит отключение всех тактовых сигналов ACLK и PCLK всех экземпляров CRG в микросхеме. Следует использовать только механизм WFI и **не использовать** бит SWLPREQ регистра CRGCR экземпляра CCRG.

Механизм 7 затрагивает только сигналы ACLK и PCLK всех CRG. Для максимального снижения потребления, прежде чем задействовать механизм 7, следует задействовать механизмы снижения потребления для всех контроллеров DDR и линков ELC.

					ЮФКВ.431282.020РЭ	Лист
						517
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

5.19 Последовательный порт доступа для тестовых и отладочных данных DAP

Данный порт реализован на основе JTAG-порта, но, помимо чисто тестовых функций, может выполнять также задачи мониторинга и отладки на основе технологии CoreSight фирмы ARM с помощью штатных аппаратных и программных средств указанной фирмы. С помощью порта можно реализовать следующие действия:

- 1) Системный сброс всех процессорных ядер или отдельного ядра,
- 2) Изменение частоты работы центрального управляющего ПУ (CCPU), а также управляющего ПУ (CPU) и четырех ПУ на базе NMC4 (NMPU) в каждом кластере,
- 3) Запись начальных данных и программ во внутреннюю память микросхемы 1879BM8Я,
- 4) Запуск всех или конкретных процессорных ядер для выполнения своей программы,
- 5) Проверка корректности выполнения программ с помощью чтения результата из внутренней памяти микросхемы 1879BM8Я,
- 6) Пошаговая отладка программ и их трассировка (только для управляющих ПУ на основе ядер ARM Cortex-A5).

5.19.1 Внешние выводы DAP

В таблице 5.258 приведен список внешних выводов, относящихся к последовательному порту.

Таблица 5.258 – Выводы микросхемы, относящиеся к последовательному порту доступа для тестовых и отладочных данных DAP

Вывод	Тип буфера	Примечание
TDO_SWO	O(Z)	Выход данных порта JTAG отладочного модуля
TDI	I	Вход данных тестового порта JTAG
TCK_SWCLK	I	Тактовый сигнал тестового порта отладочного модуля
TMS_SWDIO	I/O	Выбор режима работы отладочного модуля
TRSTn	I	Сброс порта JTAG отладочного модуля
SRSTn	I/O	Сброс отладочного модуля (pullup 80 кОм)

										Лист
										518
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4		09.11.2020			31406-3					

5.19.2 Рекомендуемая схема подключения DAP

Аппаратный отладчик подключается к плате с микросхемой 1879BM8Я при помощи 14-выводной вилки типа IDC14M с шагом выводов 2,54 мм (ARM JTAG 14), как показано на рисунке 5.47.

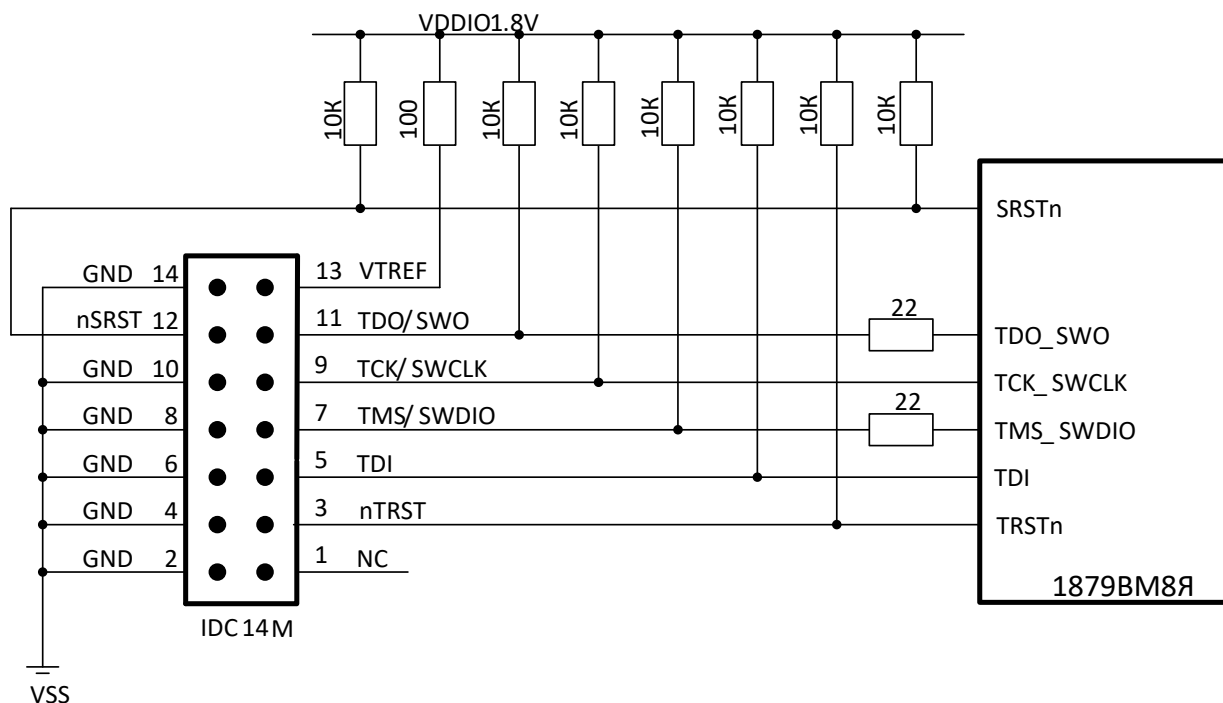


Рисунок 5.47 – Типовая схема подключения ARM JTAG 14 к микросхеме 1879BM8Я

Дополнительно рекомендуется устанавливать микросхемы монитора питания с выходом типа «открытый коллектор» (например, STM1001) на входы микросхемы SRSTn и TRSTn для обеспечения стабильной работы.

Микросхема поддерживает отладку по стандарту JTAG, а также по стандарту SWD. Описанная схема подключения позволяет использовать оба стандарта для отладки ПО на микросхеме 1879BM8Я.

Частота обмена по отладочному интерфейсу зависит от длины соединительного кабеля. Приведенная схема применима для коротких кабелей (около 30 см). В этом случае теоретически достижимы следующие максимальные частоты:

- 10 МГц при использовании JTAG интерфейса;
- 50 МГц при использовании SWD интерфейса.

Для кабелей средней длины мощности выходных буферов микросхемы (сигналов TDO_SWO, TMS_SWDIO и SRSTn) может быть недостаточно из-за высокой емкостной нагрузки от кабеля. В этом случае необходимо рассматривать кабель как длинную линию и

					Лист
					519
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

добавлять на плату дополнительные буфера с высокой нагрузочной способностью для этих сигналов и согласующие резисторы, чтобы избежать отражений сигнала в кабеле.

В таблице 5.259 приведено описание сигналов ARM JTAG 14 и особенностей работы интерфейса при подсоединении микросхемы 1879BM8Я к аппаратному отладчику DSTREAM фирмы ARM.

										Лист
										520
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Таблица 5.259 – Описание контактов ARM JTAG 14

Контакт	I/O	Описание
TDI	O	Вход данных тестового порта от отладчика. Этот сигнал должен иметь pullup-резистор.
TDO	I	Выход данных тестового порта к отладчику. Этот сигнал должен иметь pullup-резистор. Рекомендуется установка последовательного согласующего резистора вблизи СБИС на данный сигнал.
TMS	O	Выбор режима тестирования от отладчика. Этот сигнал должен иметь pullup-резистор.
TCK	O	Тактовый сигнал тестового порта от отладчика. TDI и TMS выдаются синхронно с этим синхросигналом. Этот сигнал должен иметь pullup-резистор.
nTRST	O	Сброс тестового порта в микросхеме от отладчика. Сигнал с активным низким уровнем. Этот сигнал должен иметь pullup-резистор.
nSRST	I/O	Внешний программный сброс микросхемы от отладчика. Сигнал с активным низким уровнем. Сигнал может быть выставлен в активное состояние как отладчиком DSTREAM, так и самой СБИС. DSTREAM способен отслеживать выставление этого сигнала со стороны СБИС. СБИС содержит встроенный pullup-резистор с типовым значением 80 кОм на данном выводе для исключения случайного сброса при отсутствии подключения к DSTREAM. Но т. к. этот pullup-резистор может быть программно отключен, то рекомендуется дублировать его на печатной плате.
SWDIO (SWD-режим)	I/O	Двунаправленные данные отладочного порта в режиме Serial Wire Debug (SWD). Этот сигнал должен иметь pullup-резистор. Рекомендуется установка последовательного согласующего резистора вблизи СБИС на данный сигнал.
SWCLK (SWD-режим)	O	Синхросигнал отладочного порта в режиме Serial Wire Debug (SWD). Этот сигнал должен иметь pullup-резистор.
SWO (SWD-режим)	I	Выходной сигнал трасс отладочного порта в режиме Serial Wire Debug (SWD). Этот сигнал должен иметь pullup-резистор. Рекомендуется установка последовательного согласующего резистора вблизи микросхемы 1879BM8Я на данный сигнал.
VTREF	I	Напряжение смещения. DSTREAM определяет наличие питания в отлаживаемой системе, питание должно быть как минимум 0,6 В. Используется для сопряжения логических уровней DSTREAM с уровнями буферов ввода/вывода отлаживаемой микросхемы 1879BM8Я. Этот сигнал может иметь pullup-резистор для защиты от КЗ, но не более 100 Ом.
GND	-	Общий

					Лист
					521
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

6 Электрические, динамические и конструктивные характеристики микросхемы 1879ВМ8Я

6.1 Состав и расположение внешних выводов микросхемы 1879ВМ8Я

Микросхема 1879ВМ8Я изготавливается в 1444-выводном корпусе HFСВGA (High Performance Flip Chip Ball Grid Array). Расположение внешних выводов микросхемы представлено на рисунке 6.1.

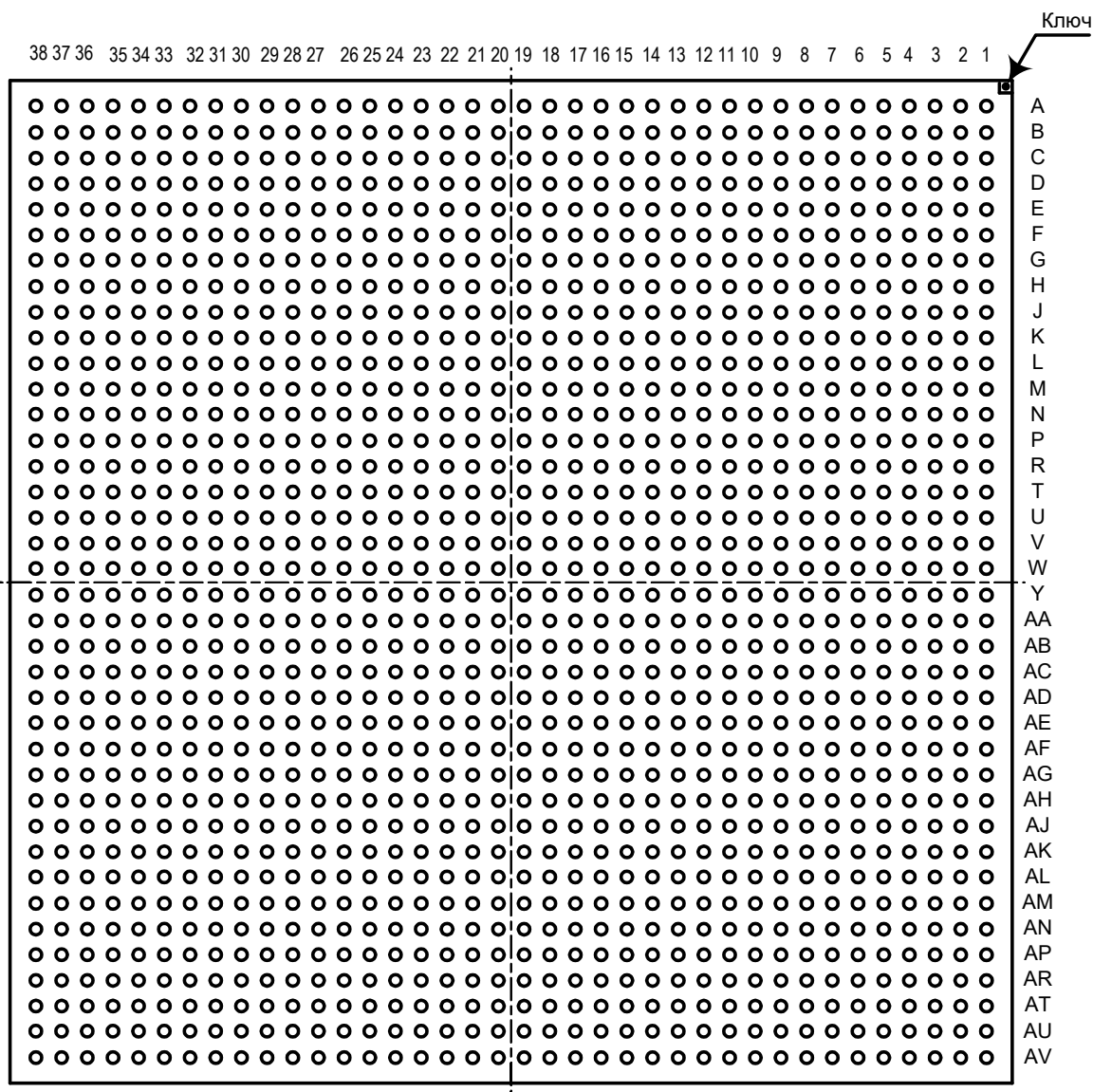


Рисунок 6.1 - Расположение внешних выводов микросхемы 1879ВМ8Я
(вид со стороны выводов)

										Лист
										522
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

В таблице 6.1 приводятся выводы микросхемы, сгруппированные по их функциональному назначению.

Таблица 6.1 - Выводы микросхемы 1879ВМ8Я в соответствии с их функциональным назначением

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Общее управление (8 выводов)				
CLK REF1	1	I	Вход опорного тактового сигнала	AU1
CLK REFO	1	O	Выход опорного тактового сигнала	AT1
XRSTn	1	I	Системный сброс	AV2
BOOTM0, BOOTM1, BOOTM2	3	I	Режим начальной загрузки процессора	AR3, AR1, AT3
TM	1	I	Режим тестирования процессора, при нормальной работе на вход подаётся лог. ноль	AT2
VPD	1	I	Управление статическим током, при нормальной работе на вход подаётся лог. ноль	AV3
Управление спящим режимом процессора (2 вывода)				
WKUPRQ	1	I	Запрос на вывод процессора из спящего режима	AP1
WKUPAK	1	O	Разрешение на снятие запроса на вывод процессора из спящего режима	AP2
JTAG-интерфейс (5 выводов)				
BS TDO	1	O(Z)	Выход данных тестового порта JTAG	D37
BS TDI	1	I	Вход данных тестового порта JTAG	A38
BS TCK	1	I	Тактовый сигнал тестового порта JTAG	B37
BS TMS	1	I	Выбор режима тестирования JTAG	C37
BS TRSTn	1	I	Сброс тестового порта JTAG	A37
Debug-интерфейс (6 выводов)				
TDO_SWO	1	O(Z)	Выход данных порта JTAG отладочного модуля	F1
TDI	1	I	Вход данных тестового порта JTAG	A1
TCK_SWCLK	1	I	Тактовый сигнал тестового порта отладочного модуля	B2
TMS_SWDIO	1	I/O	Выбор режима работы отладочного модуля	C1
TRSTn	1	I	Сброс порта JTAG отладочного модуля	A2
SRSTn	1	I/O	Сброс отладочного модуля	C2
Выводы SPI-интерфейса (7 выводов)				
SPI CLK	1	O	Синхросигнал SPI-интерфейса	AV38
SPI TXD	1	O	Передаваемые данные	AT37
SPI RXD	1	I	Принимаемые данные	AV37
SPI CS0n	1	O	Выбор приемника 0	AT38
SPI CS1n	1	O	Выбор приемника 1	AU38
SPI CS2n	1	O	Выбор приемника 2	AR38
SPI CS3n	1	O	Выбор приемника 3	AU37

					Лист
ЮФКВ.431282.020РЭ					523
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы Ethernet-интерфейса (14 выводов)				
EDCLA0, EDCLA1, EDCLA2, EDCLA3	4	I	Выводы конфигурации MAC-адреса при загрузке по EDCL	AV35, AU35, AV36, AR35
ETH_ENABLE	1	I	Конфигурационный вход наличия микросхемы физического уровня	AM29
ETH_TXD0, ETH_TXD1	2	O	Выходные данные интерфейса	AL27, AM28
ETH_TXEN	1	O	Разрешение передачи данных	AM27
ETH_RXD0, ETH_RXD1	2	I	Входные данные интерфейса	AK27, AN29
ETH_CRSDV	1	I	Признак обнаружения несущей и наличия данных	AK29
ETH_REFCLK	1	I	Входной опорный тактовый сигнал 50 МГц	AL29
ETH_MDC	1	O	Выходной тактовый сигнал для микросхемы физического уровня	AN27
ETH_MDIO	1	I/O	Шина управления микросхемой физического уровня	AN28
Выводы WatchDog-таймера (1 вывод)				
WDT	1	O	Выход сторожевого таймера	AN20
Выводы порта общего назначения управляющей части (8 выводов)				
GPIOC0 - GPIOC7	8	I/O	Программируемы входы/выходы	AK23, AM23, AL23, AN25, AN23, AL25, AM25, AK25

									ЮФКВ.431282.020РЭ	Лист 524
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы DDR-контроллера управляющей части (76 выводов)				
DDRC_CK, DDRC_CK _n	2	O	Тактовый сигнал DDR-памяти	B22, C22
DDRC_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления	G18
DDRC_A0 - DDRC_A14	15	O	Шина адреса памяти	J20, G22, H23, J22, J23, G23, J17, H17, H16, H20, J16, F15, H15, G19, G15
DDRC_BA0 - DDRC_BA2	3	O	Выбор адресуемых банков в микросхемах памяти	H19, J21, H22
DDRC_CS _n	1	O	Выбор внешней памяти	G17
DDRC_RAS _n	1	O	Строб адреса строки внешней памяти	H18
DDRC_CAS _n	1	O	Строб адреса столбца внешней памяти	J19
DDRC_WEn	1	O	Признак операции записи	J18
DDRC_RESET _n	1	O	Асинхронный сброс микросхем внешней DDR-памяти	H21
DDRC_DM0 - DDRC_DM3	4	O	Сигналы маскирования байтов данных при операциях записи	B20, E24, D18, D15
DDRC_DQ0 - DDRC_DQ31	32	I/O	Шина данных	E22,C21,B21,D21,E21,C20,D20,E20, C24,B24,E25, D24,B23,E23,D23,C23, B17,C17,E17,E18,D17,C18,B18,C19, E14,C14,D14,B14,E15,C15,B15,C16
DDRC_DQS0, DDRC_DQS0 _n - DDRC_DQS3, DDRC_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных	A20, A21, A24, A23, A17, A18, A15, A14
DDRC_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти	F17
DDRC_ATB0, DDRC_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса	G14, J15
DDRC_CAL0	1	I	Вывод для подключения калибровочного резистора	G16
DDRC_PLL_TESTO_P, DDRC_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса (в рабочем режиме можно оставить неподключенными)	F20, F21
Выводы контроллера PCI Express (21 вывод)				
PCI_CLKREF_P, PCI_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера PCI Express	AT19, AR19
PCI_TXP0, PCI_TXN0 - PCI_TXP3, PCI_TXN3	8	O	Парафазные выходы данных	AT21, AR21,AT23, AR23, AT17, AR17,AT15, AR15
PCI_RXP0, PCI_RXN0 - PCI_RXP3, PCI_RXN3	8	I	Парафазные входы данных	AV20, AU20,AV22, AU22, AV18, AU18,AV16, AU16
PCI_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)	AR20
PCI_ATB0, PCI_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	AU21, AV19

					Лист
					525
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 6.1

Обозначение	Кол	Тип	Функциональное назначение	Номер вывода
Выводы кластера 0				
Выводы порта общего назначения (8 выводов)				
GPIO00 - GPIO7	8	I/O	Программируемы входы/выходы	F37, F36, E38, F35, F38, D38, E37, C38
Выводы DDR-контроллера (76 выводов)				
DDR0_CK, DDR0_CK _n	2	O	Тактовый сигнал DDR-памяти	P33, N33
DDR0_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления	L33
DDR0_A0 - DDR0_A14	15	O	Шина адреса памяти	T32, V31, R31, R32, P31, U31, K31, J33, J32, J31, H32, H33, H31, L31, L32
DDR0_BA0 - DDR0_BA2	3	O	Выбор адресуемых банков в микросхемах памяти	T31, V33, V32
DDR0_CS _n	1	O	Выбор внешней памяти	K32
DDR0_RAS _n	1	O	Строб адреса строки внешней памяти	W31
DDR0_CAS _n	1	O	Строб адреса столбца внешней памяти	W32
DDR0_WEn	1	O	Признак операции записи	U32
DDR0_RESET _n	1	O	Асинхронный сброс микросхем внешней DDR-памяти	P32
DDR0_DM0 - DDR0_DM3	4	O	Сигналы маскирования байтов данных при операциях записи	V34, P34, M36, J34
DDR0_DQ0 - DDR0_DQ31	32	I/O	Шина данных	V36, W36, V37, V35, U34, U35, U36, U37, R36, T36, R34, R35, R37, P36, P35, P37, M34, N34, M35, M37, L34, L35, L37, L36, J36, K36, J37, J35, H34, H35, H36, H37
DDR0_DQS0, DDR0_DQS0 _n - DDR0_DQS3, DDR0_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных	V38, U38, P38, R38, M38, L38, J38, H38
DDR0_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти	N32
DDR0_ATB0, DDR0_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	M32, M31
DDR0_CAL0	1	I	Вывод для подключения калибровочного резистора	N31
DDR0_PLL_TESTO_P, DDR0_PLL_TESTO_N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса (в рабочем режиме можно оставить неподключенными)	N36, N37

					Лист
					526
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 0				
Выводы последовательного порта кластера (21 вывод)				
CP0_CLKREF_P, CP0_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера последовательного порта	A31, B31
CP0_TXP0, CP0_TXN0 - CP0_TXP3, CP0_TXN3	8	O	Парафазные выходы данных	A33, B33, A35, B35, A29, B29, A27, B27
CP0_RXP0, CP0_RXN0 - CP0_RXP3, CP0_RXN3	8	I	Парафазные входы данных	C32, D32, C34, D34, C30, D30, C28, D28
CP0_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)	A34
CP0_ATB0, CP0_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	A32, D31

										Лист
										527
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 1				
Выводы порта общего назначения (8 выводов)				
GPIO10 - GPIO17	8	I/O	Программируемы входы/выходы	E1, F3, E2, D1, F2, F4, D2, E3
Выводы DDR-контроллера (76 выводов)				
DDR1_CK, DDR1_CK _n	2	O	Тактовый сигнал DDR-памяти	P6, N6
DDR1_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления	N8
DDR1_A0 - DDR1_A14	15	O	Шина адреса памяти	T7, V6, T8, R7, R8, N7, J6, H7, J7, K7, J8, H8, K8, L8, L7
DDR1_BA0 - DDR1_BA2	3	O	Выбор адресуемых банков в микросхемах памяти	U7, V7, V8
DDR1_CS _n	1	O	Выбор внешней памяти	H6
DDR1_RAS _n	1	O	Строб адреса строки внешней памяти	W8
DDR1_CAS _n	1	O	Строб адреса столбца внешней памяти	W7
DDR1_WEn	1	O	Признак операции записи	U8
DDR1_RESE _{Tn}	1	O	Асинхронный сброс микросхем внешней DDR памяти	P8
DDR1_DM0 - DDR1_DM3	4	O	Сигналы маскирования байтов данных при операциях записи	V2, P5, M3, J2
DDR1_DQ0 - DDR1_DQ31	32	I/O	Шина данных	V4, W3, V3, V5, U5, U4, U3, U2, R5, T3, R4, R3, R2, P3, P4, P2, M4, N5, M5, M2, L4, L5, L2, L3, J4, K3, J3, J5, H5, H4, H3, H2
DDR1_DQS0, DDR1_DQS0 _n - DDR1_DQS3, DDR1_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных	V1, U1, P1, R1, M1, L1, J1, H1
DDR1_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR памяти	P7
DDR1_ATB0, DDR1_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	M7, M8
DDR1_CAL0	1	I	Вывод для подключения калибровочного резистора	L6
DDR1_PLL_TESTO _P , DDR1_PLL_TESTO _N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса (в рабочем режиме можно оставить неподключенными)	N3, N2

				ЮФКВ.431282.020РЭ		Лист
						528
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020			31406-3		

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 1				
Выводы последовательного порта кластера (21 вывод)				
CP1_CLKREF_P, CP1_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера последовательного порта	A8, B8
CP1_TXP0, CP1_TXN0 - CP1_TXP3, CP1_TXN3	8	O	Парафазные выходы данных	A6, B6, A4, B4, A10, B10 A12, B12
CP1_RXP0, CP1_RXN0 - CP1_RXP3, CP1_RXN	8	I	Парафазные входы данных	C7, D7, C5, D5, C9, D9, C11, D11
CP1_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)	A5
CP1_ATB0, CP1_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	A7, D8

									Лист
									529
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 2				
Выводы порта общего назначения (8 выводов)				
GPIO20 - GPIO27	8	I/O	Программируемые входы/выходы	AP38, AP37, AP36, AT36, AP35, AR36, AT35, AR37
Выводы DDR-контроллера (76 выводов)				
DDR2_CK, DDR2_CK _n	2	O	Тактовый сигнал DDR-памяти	AE33, AF33
DDR2_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления	AH33
DDR2_A0 - DDR2_A14	15	O	Шина адреса памяти	AD31, AC32, AE32, AE31, AF32, AD32, AK33, AK32, AJ31, AM33, AK31, AL32, AL31, AM31, AM32
DDR2_BA0 - DDR2_BA2	3	O	Выбор адресуемых банков в микросхемах памяти	AA33, AB32, AC31
DDR2_CS _n	1	O	Выбор внешней памяти	AJ32
DDR2_RAS _n	1	O	Строб адреса строки внешней памяти	AA31
DDR2_CAS _n	1	O	Строб адреса столбца внешней памяти	AA32
DDR2_WEn	1	O	Признак операции записи	AB31
DDR2_RESE _{Tn}	1	O	Асинхронный сброс микросхем внешней DDR-памяти	AF31
DDR2_DM0 - DDR2_DM3	4	O	Сигналы маскирования байтов данных при операциях записи	AB37, AE37, AG37, AL34
DDR2_DQ0 - DDR2_DQ31	32	I/O	Шина данных	AA35, AA37, AA36, AA34, AB35, AB34, AC36, AB36, AD35, AD37, AD36, AD34, AE36, AE35, AE34, AF34, AG35, AG36, AG34, AH34, AH36, AH35, AJ36, AH37, AK35, AK37, AK36, AK34, AL35, AL36, AL37, AM34
DDR2_DQS0, DDR2_DQS0 _n - DDR2_DQS3, DDR2_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных	AA38, AB38, AD38, AE38, AG38, AH38, AK38, AL38
DDR2_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти	AG32
DDR2_ATB0, DDR2_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	AG31, AH31
DDR2_CAL0	1	I	Вывод для подключения калибровочного резистора	AH32
DDR2_PLL_TESTO _P , DDR2_PLL_TESTO _N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса (в рабочем режиме можно оставить неподключенными)	AF36, AF37

					Лист
					530
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инвар.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 2				
Выводы последовательного порта кластера (21 вывод)				
CP2_CLKREF_P, CP2_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера последовательного порта	AR29, AT29
CP2_TXP0, CP2_TXN0 - CP2_TXP3, CP2_TXN3	8	O	Парафазные выходы данных	AT31, AR31, AT33, AR33, AT27, AR27, AT25, AR25
CP2_RXP0, CP2_RXN0 - CP2_RXP3, CP2_RXN3	8	I	Парафазные входы данных	AV30, AU30, AV32, AU32, AV28, AU28, AV26, AU26
CP2_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)	AR30
CP2_ATB0, CP2_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	AR32, AV29

										Лист
										531
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 3				
Выводы порта общего назначения (8 выводов)				
GPIO30 - GPIO37	8	I/O	Программируемы входы/выходы	AK10, AL10, AK11, AL11, AL12, AM10, AN11, AM12
Выводы DDR-контроллера (76 выводов)				
DDR3_CK, DDR3_CK _n	2	O	Тактовый сигнал DDR-памяти	AE6, AF6
DDR3_CKE	1	O	Сигнал управления для перевода микросхем памяти в режим пониженного энергопотребления	AH6
DDR3_A0 - DDR3_A14	15	O	Шина адреса памяти	AD8, AC8, AE7, AE8, AF7, AD7, AK6, AJ8, AK7, AM6, AK8, AL7, AM7, AM8, AL8
DDR3_BA0 - DDR3_BA2	3	O	Выбор адресуемых банков в микросхемах памяти	AA6, AB8, AC7
DDR3_CS _n	1	O	Выбор внешней памяти	AJ7
DDR3_RAS _n	1	O	Строб адреса строки внешней памяти	AA8
DDR3_CAS _n	1	O	Строб адреса столбца внешней памяти	AA7
DDR3_WEn	1	O	Признак операции записи	AB7
DDR3_RESE _{Tn}	1	O	Асинхронный сброс микросхем внешней DDR-памяти	AF8
DDR3_DM0 - DDR3_DM3	4	O	Сигналы маскирования байтов данных при операциях записи	AB5, AE2, AG2, AL5
DDR3_DQ0 - DDR3_DQ31	32	I/O	Шина данных	AA4, AA2, AA3, AA5, AB4, AB3, AC3, AB2, AD4, AD2, AD3, AD5, AE3, AE4, AE5, AF5, AG4, AG3, AG5, AH5, AH3, AH4, AJ3, AH2, AK4, AK2, AK3, AK5, AL4, AL3, AL2, AM5
DDR3_DQS0, DDR3_DQS0 _n - DDR3_DQS3, DDR3_DQS3 _n	8	I/O	Дифференциальный строб байтов на шине данных	AA1, AB1, AD1, AE1, AG1, AH1, AK1, AL1
DDR3_ODT	1	O	Управление согласующими резисторами, встроенными в микросхемы DDR-памяти	AG7
DDR2_ATB0, DDR1_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	AG8, AH8
DDR2_CAL0	1	I	Вывод для подключения калибровочного резистора	AH7
DDR3_PLL_TESTO _P, DDR3_PLL_TESTO _N	2	I/O	Дифференциальные тестовые выводы PLL интерфейса (в рабочем режиме можно оставить неподключенными)	AF3, AF2

				ЮФКВ.431282.020РЭ		Лист
						532
Изм.	Лист	№ докум.	Подп.	Дата		
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата	
31406-4	09.11.2020		31406-3			

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Выводы кластера 3				
Выводы последовательного порта кластера (21 вывод)				
CP3_CLKREF_P, CP3_CLKREF_M	2	I	Опорный парафазный тактовый сигнал физического интерфейса контроллера последовательного порта	AR9, AT9
CP3_TXP0, CP3_TXN0 - CP3_TXP3, CP3_TXN3	8	O	Парафазные выходы данных	AT7, AR7, AT5, AR5, AT11, AR11, AT13, AR13
CP3_RXP0, CP3_RXN0 - CP3_RXP3, CP3_RXN3	8	I	Парафазные входы данных	AV8, AU8, AV6, AU6, AV10, AU10, AV12, AU12
CP3_REXT	1	I	Вход калибровочного резистора (3,1 кОм 1 %)	AR8
CP3_ATB0, CP3_ATB1	2	I/O	Выводы тестовой аналоговой шины интерфейса (в рабочем режиме можно оставить неподключенными)	AR6, AU5

									Лист
									533
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
Цепи питания				
VCC3	297	S	Напряжение питания ядра (0,9 В)	M11, M12, M13, M14, M15, M16, M17, M18, M19, M20, M21, M22, M23, M24, M25, M26, M27, M28, N11, N12, N13, N14, N15, N16, N17, N18, N19, N20, N21, N22, N23, N24, N25, N26, N27, N28, P11, P12, P13, P14, P15, P16, P17, P18, P19, P20, P21, P22, P23, P24, P25, P26, P27, P28, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26, R27, R28, T11, T12, T13, T14, T15, T16, T17, T18, T19, T20, T21, T22, T23, T24, T25, T26, T27, T28, U11, U12, U13, U14, U15, U16, U17, U18, U19, U20, U21, U22, U23, U24, U25, U26, U27, U28, V11, V12, V13, V14, V15, V16, V17, V18, V19, V20, V21, V22, V23, V24, V25, V26, V27, V28, W11, W12, W13, W14, W15, W16, W17, W18, W19, W20, W21, W22, W23, W24, W25, W26, W27, W28, Y11, Y12, Y13, Y14, Y15, Y16, Y17, Y18, Y19, Y20, Y21, Y22, Y23, Y24, Y25, Y26, Y27, Y28, AA11, AA12, AA13, AA14, AA15, AA16, AA17, AA18, AA19, AA20, AA21, AA22, AA23, AA24, AA25, AA26, AA27, AA28, AB11, AB12, AB13, AB14, AB15, AB16, AB17, AB18, AB19, AB20, AB21, AB22, AB23, AB24, AB25, AB26, AB27, AB28, AC11, AC12, AC13, AC14, AC15, AC16, AC17, AC18, AC19, AC20, AC21, AC22, AC23, AC24, AC25, AC26, AC27, AC28, AD11, AD12, AD13, AD14, AD15, AD16, AD17, AD18, AD19, AD20, AD21, AD22, AD23, AD24, AD25, AD26, AD27, AD28, AE11, AE12, AE13, AE14, AE15, AE16, AE17, AE18, AE19, AE20, AE21, AE22, AE23, AE24, AE25, AE26, AE27, AE28, AF11, AF12, AF13, AF14, AF15, AF16, AF17, AF18, AF19, AF20, AF21, AF22, AF23, AF24, AF25, AF26, AF27, AF28, AG11, AG12, AG13, AG14, AG15, AG16, AG17, AG18, AG19, AG20, AG21, AG22, AG23, AG24, AG25, AG26, AG27, AG28, AL17, G28, F11, AL20, AN15, J28, K12, AL21, AK16
VCC2	25	S	Напряжение питания интерфейса DDR3 +1,5 В	L17, L18, L19, L20, L21, N29, P29, R29, T29, U29, N10, P10, R10, T10, U10, AB29, AC29, AD29, AE29, AF29, AB10, AC10, AD10, AE10, AF10
VCC1	7	S	Напряжение питания КМОП-буферов ввода/вывода +1,8 В	B1, B38, AL28, AM11, AN21, AR2, AU36

									Лист
									534
Изм.	Лист	№ докум.	Подп.	Дата					
Изм.№подл.	Подп. и дата			Взам.инв.№	Изм.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
GND	474	S	Общий	A3,A11,A13,A16,A19,A22,A25,A26,A28,A36, B3,B5,B7,B9,B11,B13,B16,B19,B25,B26,B28, B30,B32,B34,B36,C3,C13,C25,C26,C36,D3, D4,D12,D13,D16,D19,D22,D25,D26,D27,D35, D36,E4,E5,E6,E7,E8,E9,E10,E11,E12,E13, E16,E19,E26,E27,E28,E29,E30,E31,E32,E33, E34,E35,E36,F5,F6,F7,F8,F9,F10,F13,F14,F16, F18,F19,F22,F23,F24,F25,F26,F29,F30,F31, F32,F33,F34,G1,G2,G3,G4,G5,G6,G7,G8,G9, G10,G13,G20,G21,G24,G25,G26,G29,G30, G31,G32,G33,G34,G35,G36,G37,G38,H9,H10, H11,H12,H13,H14,H24,H25,H26,H27,H28, H29,H30,J9,J10,J13,J14,J24,J25,J26,J29,J30, K1,K2,K4,K5,K6,K9,K10,K13,K14,K15,K16, K17,K18,K19,K20,K21,K22,K23,K24,K25, K26,K29,K30,K33,K34,K35,K37,K38,L9,L10, L11,L12,L13,L14,L15,L16,L22,L23,L24,L25, L26,L27,L28,L29,L30,M6,M9,M10,M29,M30, M33,N1,N4,N9,N30,N35,N38,P9,P30,R6,R9, R30,R33,T1,T2,T4,T5,T6,T9,T30,T33,T34, T35,T37,T38,U6,U9,U30,U33,V9,V10,V29, V30,W1,W2,W4,W5,W6,W9,W10,W29,W30, W33,W34,W35,W37,W38,Y1,Y2,Y3,Y4,Y5, Y6,Y7,Y8,Y9,Y10,Y29,Y30,Y31,Y32,Y33, Y34,Y35,Y36,Y37,Y38,AA9,AA10,AA29, AA30,AB6,AB9,AB30,AB33,AC1,AC2,AC4, AC5,AC6,AC9,AC30,AC33,AC34,AC35, AC37,AC38,AD6,AD9,AD30,AD33,AE9, AE30,AF1,AF4,AF9,AF30,AF35,AF38,AG6, AG9,AG10,AG29,AG30,AG33,AH9,AH10, AH11,AH12,AH13,AH14,AH15, AH16, AH17, AH18,AH19,AH20,AH21,AH22,AH23,AH24, AH25,AH26,AH27,AH28,AH29,AH30,AJ1, AJ2,AJ4,AJ5,AJ6,AJ9,AJ10,AJ11,AJ12,AJ13, AJ14,AJ15,AJ16,AJ17,AJ18,AJ19,AJ20,AJ21, AJ22,AJ23,AJ24,AJ25,AJ26,AJ27,AJ28,AJ29, AJ30,AJ33,AJ34,AJ35,AJ37,AJ38,AK9, AK12, AK13,AK14,AK24,AK26,AK28,AK30,AL6, AL9,AL13,AL14,AL24,AL26,AL30,AL33, AM1,AM2,AM3,AM4,AM9,AM13,AM14, AM18,AM19,AM20,AM21,AM22,AM24, AM26,AM30,AM35,AM36,AM37,AM38,AN1, AN2,AN3,AN4,AN5,AN6,AN7,AN8,AN9, AN10,AN12,AN13,AN14,AN19,AN22,AN24, AN26,AN30,AN31,AN32,AN33,AN34,AN35, AN36,AN37,AN38,AP3,AP4,A5P,AP6,AP7, AP8,AP9,AP10,AP11,AP12,AP13,AP14,AP15, AP16,AP17,AP18,AP19,AP20,AP21,AP22, AP23,AP24,AP25,AP26,AP27,AP28,AP29, AP30,AP31,AP32,AP33,AP34,AR4,AR12, AR14,AR16,AR24,AR26,AR34,AT4,AT6, AT8,AT10,AT12,AT14,AT16,AT18,AT20, AT22,AT24,AT26,AT28,AT30,AT32,AT34, AU2,AU3,AU4,AU14,AU24,AU34,AV1,AV4, AV5,AV13,AV14,AV15,AV23,AV24,AV25, AV33,AV34

					Лист
					535
Изм.	Лист	№ докум.	Подп.	Дата	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

Продолжение таблицы 6.1

Обозначение	Кол.	Тип	Функциональное назначение	Номер вывода
VCC1A	6	S	Аналоговое напряжение питания +1,8 В	AR22, C35, C4, AU33, AV9, AM17
VCC3A	44	S	Аналоговое напряжение питания +0,9 В	AU19, C31, C8, AU27, AU11, AR18, C27, C12, AV31, AV7, AV21, D33, D6, AR28, AR10, AU15, A30, A9, AV27, AV11, AU23, D29, D10, AU31, AU7, AU17, C33, C6, AU25, AU13, AV17, C29, C10, AU29, AU9, AL18, G27, F12, AL19, AM15, K28, K11, AK21, AL15
GNDА	11	S	Аналоговая земля	AK18, F27, G11, AK19, AM16 K27, J11, AK22, AK15, AN17, AN18
GND_PLL	9	S	Земля PLL	AK17, F28, G12, AK20, AN16 J27, J12, AL22, AL16

Примечания 1 Для выводов с символом «п» на конце имени сигнала активным является низкий уровень сигнала.
 2 Используемые обозначения типов выводов:
 I – вход;
 O - выход;
 O(Z) - выход с высокоимпедансным состоянием;
 I/O – двунаправленный вывод;
 S – питание.

										Лист
										536
Изм.	Лист	№ докум.	Подп.	Дата						
Инвар.№подл.	Подп. и дата			Взам.инвар.№	Инвар.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

6.2 Конструктивные характеристики

Микросхема 1879ВМ8Я изготавливается в 1444-выводном корпусе типа High-Performance Flip Chip Ball Grid Array (HFCBGA). Внешний вид корпуса микросхемы представлен на рисунке 6.2 с указанием сведений о габаритных и установочных размерах. Для повышения отводимого тепла корпуса HFCBGA дополняют металлической пластиной, которая контактирует с обратной стороной кристалла и уменьшает термическое сопротивление кристалл-среда.

Основные характеристики корпуса:

Механические характеристики:

- размер – 40×40 мм;
- шаг выводов – 1,00 мм;
- размер вывода – 0,60 мм.

Электрические характеристики:

- индуктивность вывода – не более 6,5 нГн;
- сопротивление вывода – не более 0,27 Ом;
- ёмкость вывода – не более 1,5 пФ.

Тепловые характеристики:

- Тепловое сопротивление при скорости обдува 0 м/с – 6,84 °С/Вт;
- Тепловое сопротивление при скорости обдува 1 м/с – 5,99 °С/Вт;
- Тепловое сопротивление при скорости обдува 2 м/с – 5,49 °С/Вт.

									Лист
									537
Изм.	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата			Взам.инв.№	Инвар.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

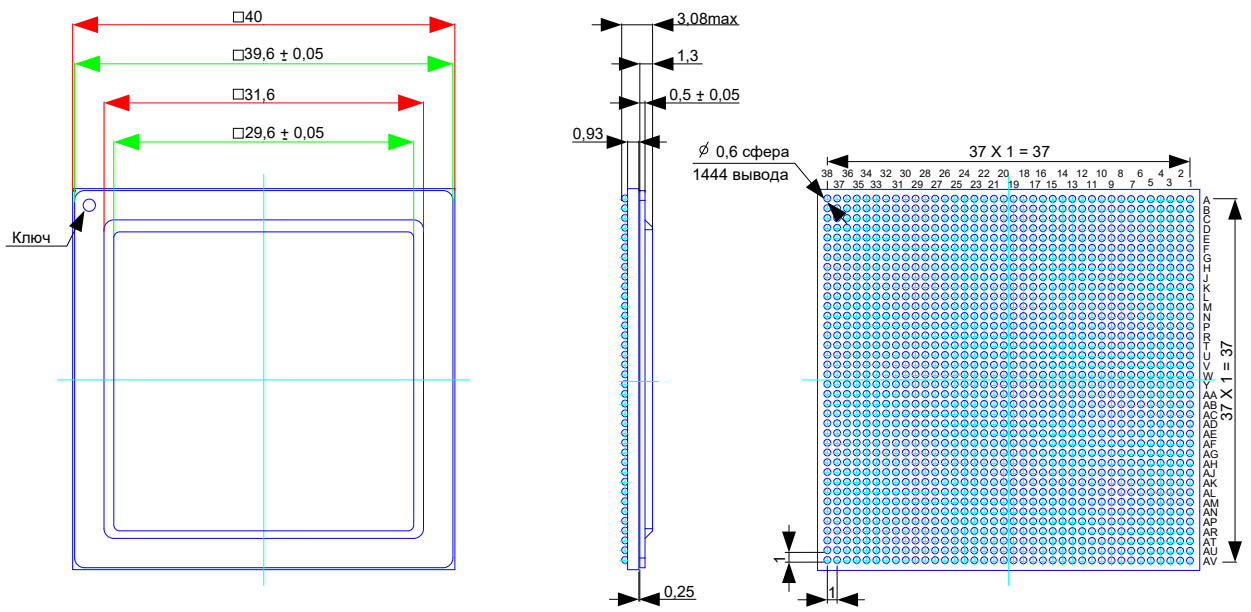


Рисунок 6.2 - Корпус микросхемы 1879BM8Я

					ЮФКВ.431282.020РЭ			Лист
								538
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020		31406-3					

6.3 Электрические характеристики

Электрические параметры микросхем должны соответствовать нормам, приведенным в таблице 6.2.

Таблица 6.2 – Электрические параметры микросхемы

Наименование параметра, единица измерения	Обозначение	Норма параметра,		Режим измерения	Температура среды, °C
		не менее	не более		
Выходное напряжение низкого уровня буферов КМОП, В	U_{OL1}	0,0	0,2	$U_{CC1} = 1,98$ В, втекающий выходной ток $I_{OL1} = 100$ мкА	+25 минус 60 + 85
Выходное напряжение высокого уровня буферов КМОП, В	U_{OH1}	1,4	1,62	$U_{CC1} = 1,62$ В, вытекающий выходной ток $I_{OH1} = -100$ мкА	+25 минус 60 + 85
Входной ток утечки низкого уровня, мкА	I_{ILL}	-	10	$U_{IL} = 0$ В	+25 минус 60 + 85
Входной ток утечки высокого уровня, мкА	I_{ILH}	-	10	$U_{IH} = U_{CC1}$	+25 минус 60 + 85
Ток утечки низкого уровня в состоянии «Выключено», мкА	I_{OZL}	-	10	$U_{IL} = 0$ В	+25 минус 60 + 85
Ток утечки высокого уровня в состоянии «Выключено», мкА	I_{OZH}	-	10	$U_{IH} = U_{CC1}$	+25 минус 60 + 85
Динамический ток потребления буферов КМОП, А	I_{CC1}	-	3	$U_{CC1} = 1,98$ В	+25 минус 60 + 85
Динамический ток потребления буферов DDR3, А	I_{CC2}	-	3,8	$U_{CC2} = 1,60$ В	+25 минус 60 + 85
Динамический ток потребления ядра, А	I_{CC3}	-	26	$U_{CC3} = 0,95$ В	+25 минус 60 + 85

										Лист
										539
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Номинальное значение напряжений питания микросхемы должно быть:

- буфер ввода/вывода КМОП: (U_{CC1}) ($1,8 \pm 0,18$) В;
- буфер ввода/вывода DDR3: (U_{CC2}) ($1,5 \pm 0,075$) В / ($1,35 \pm 0,07$) В;
- ядро: (U_{CC3}) ($0,9 \pm 0,05$) В.

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхем в диапазоне рабочих температур среды должны соответствовать нормам, приведенным в таблице 6.3 .

Таблица 6.3 – Нормы предельно-допустимых и предельных электрических режимов эксплуатации микросхем

Наименование параметра режима, единица измерения	Обозначение	Норма параметра			
		предельно-допустимого режима,		предельного режима,	
		не менее	не более	не менее	не более
Напряжение питания буферов ввода/вывода, В	U_{CC1}	1,62	1,98	минус 0,2	2,5
Напряжение питания интерфейса с памятью DDR3/DDR3L, В	U_{CC2}	1,425/1,28	1,575/1,42	минус 0,2	2,0
Напряжение питания ядра, В	U_{CC3}	0,85	0,95	минус 0,2	1,2
Напряжение на выводах «вход-выход» в состоянии «выключено», В	U_{IOZ}	0	1,98	минус 0,2	2,5
Входное напряжение высокого уровня, В	U_{IH}	1,45	1,98	-	2,5
Входное напряжение низкого уровня, В	U_{IL}	0	0,4	минус 0,2	-
Выходной ток буферов, мА	I_O	минус 4	4	минус 13	13

										Лист
										540
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

6.4 Временные характеристики

На рисунках 6.3 – 6.6 приведены временные диаграммы и временные параметры сигналов микросхемы 1879ВМ8Я. Временные параметры микросхемы определялись в полном диапазоне внешних воздействий (см. таблицу 6.4).

6.4.1 Временные диаграммы и временные параметры тактовых сигналов и сигналов общего назначения

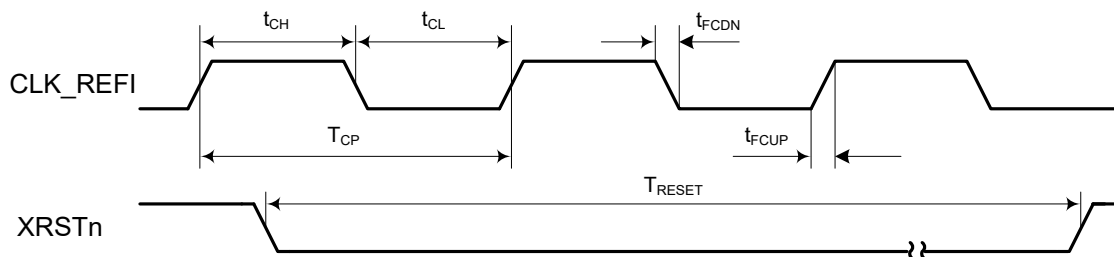


Рисунок 6.3 - Временная диаграмма тактового сигнала и сигнала сброса процессора

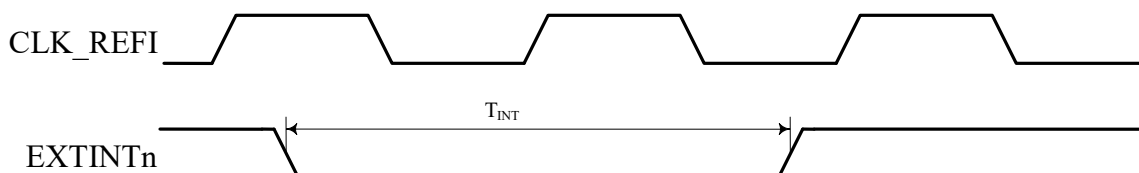


Рисунок 6.4 - Временная диаграмма входов прерываний

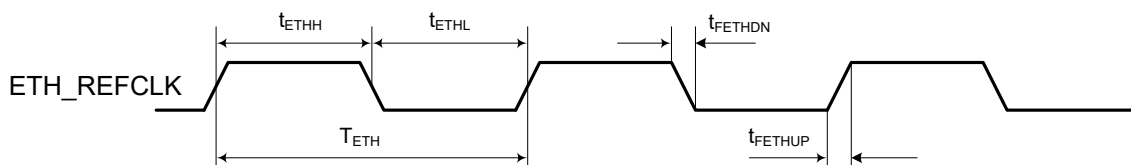


Рисунок 6.5 - Временная диаграмма тактового сигнала Ethernet-интерфейса

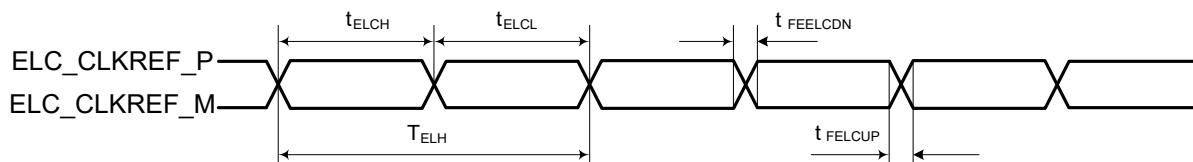


Рисунок 6.6 - Временная диаграмма тактового парафазного сигнала PCI Express и последовательных портов кластеров

					Лист
					541
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
31406-4	09.11.2020		31406-3		

ЮФКВ.431282.020РЭ

Таблица 6.4 – Временные параметры тактовых сигналов и входных сигналов общего назначения

Обозначение	Функциональное описание	Временной параметр, нс	
		не менее	не более
T _{CP}	Период сигнала тактового сигнала CLK_REFI		62,50
t _{CH}	Длительность сигнала высокого уровня на входе CLK_REFI	40 % периода тактового сигнала	60 % периода тактового сигнала
t _{CL}	Длительность сигнала низкого уровня на входе CLK_REFI	40 % периода тактового сигнала	60 % периода тактового сигнала
t _{FCUP}	Длительность фронта сигнала CLK_REFI		0,2
t _{FCDN}	Длительность среза сигнала CLK_REFI		0,2
T _{RESET}	Длительность сигнала системного сброса процессора	50*P	
T _{INT}	Длительность сигнала низкого уровня на входе маскируемых прерываний	1,5*P	
T _{ETH}	Период сигнала тактового сигнала ETH_REFCLK		20
T _{ETH}	Длительность сигнала высокого уровня на входе ETH_REFCLK	40 % периода тактового сигнала	60 % периода тактового сигнала
T _{ETHL}	Длительность сигнала низкого уровня на входе ETH_REFCLK	40 % периода тактового сигнала	60 % периода тактового сигнала
t _{FETHUP}	Длительность фронта сигнала ETH_REFCLK		0,2
t _{FETHDN}	Длительность среза сигнала ETH_REFCLK		0,2

Примечание - Параметр P равен периоду выбранного тактового сигнала CLK_REFI

										Лист
										542
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

Продолжение таблицы 6.4

Обозначение	Функциональное описание	Временной параметр, нс	
T_{ELH}	Период сигнала тактового сигнала ELC_CLKREF		10
T_{ELCH}	Длительность сигнала высокого уровня на входе ELC_CLKREF	40 % периода тактового сигнала	60 % периода тактового сигнала
T_{ELCL}	Длительность сигнала низкого уровня на входе ELC_CLKREF	40 % периода тактового сигнала	60 % периода тактового сигнала
t_{FECLUP}	Длительность фронта сигнала ELC_CLKREF		0,2
t_{FECLDN}	Длительность среза сигнала ELC_CLKREF		0,2

										Лист
										543
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

6.5 Порядок подачи питания при включении

Последовательность подачи напряжений питания и сигналов при включении:

- 1) Напряжение питания для ядра U_{CC3} (0,9 В);
- 2) Напряжение питание для аналоговых блоков (0,9 В и 1,8 В);
- 3) Напряжение питания для буферов ввода/вывода: U_{CC1} (1,8 В) и U_{CC2} (1,5 В);
- 4) Тактовый сигнал CLK_REFI;
- 5) Системный сброс XRSTn.

Последовательность подачи остальных сигналов не регламентируется. Выключение напряжений питания производится в порядке, обратном включению.

									Лист
									544
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
31406-4	09.11.2020			31406-3					

ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ

АГ – адресный генератор
 АЛУ – арифметико-логическое устройство
 АЦП – аналого-цифровой преобразователь
 БД – буфер данных
 БПФ – быстрое преобразование Фурье
 БУ – блок управления
 КЗ – короткое замыкание
 КИХ-фильтр – фильтр с конечной импульсной характеристикой
 ККП – контроллер коммуникационного порта
 КМО – канал межпроцессорного обмена
 КОП СК – код операции системы команд
 КП – коммуникационный порт
 ПЗУ – постоянное запоминающее устройство
 ПО – программное обеспечение
 ПДП – прямой доступ к памяти
 ПУ – процессорный узел
 СБИС – сверхбольшая интегральная схема
 СнК – система на кристалле
 ФАПЧ – фазовая автоподстройка частоты

										Лист
										545
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
31406-4	09.11.2020			31406-3						

